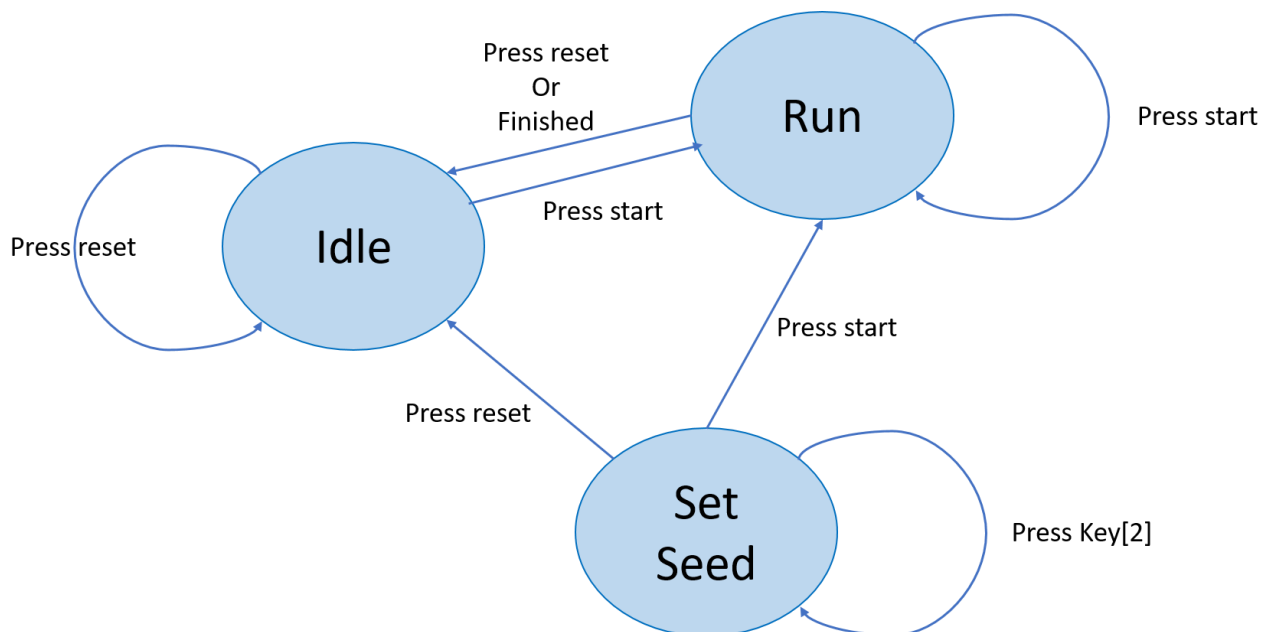


## 數位電路實驗：Lab1 — 點名控制器

Team07:劉力仁 b04901068、洪鈺萌 b04901111、李旻芳 b04901013

### 一、使用說明

1. **Reset**：按下模擬器中的 key[1] 或 FPGA 上右邊數來第二個按鈕後可將所有資料歸零，並進入 idle stage (stage 0)，在 idle stage 中點名器數字固定不改變
2. **Start**
  - (1) 按下模擬器中的 key[0] 或 FPGA 上右邊數來第一個按鈕後，進入 Run state (stage 1) 可觀察到數字開始隨機改變
  - (2) 數字跳動情形可分以下四個階段：
    - (a) Fast：跳動頻率最快，停留 1.5 秒後進入 Medium
    - (b) Medium：跳動頻率次之，停留 3.5 秒後進入 Slow
    - (c) Slow：跳動頻率最慢，停留 4.5 秒後回到 Idle
    - (d) Idle：停在 Slow 最後一個顯示的數字，並等待下一次按鈕訊號進入
  - (3) 不論在 idle state、run state 或 set seed state 中，當按下 key[0] 皆會使點名器進入 run stage，按下 key[1] 則會使點名器歸零並進入 idle stage
3. **Set Seed**
  - (1) 按下模擬器中的 key[2] 或 FPGA 上右邊數來第三個按鈕後，進入 Set Seed State，可觀察到數字顯示要輸入的 seed
  - (2) 每按一次 key[2]，seed 會加一並顯示在 FPGA 上，按 reset 回到 idle state，按 key[0]則進入 Run state，而 seed 會作為 Random 產生的初始值，進行 Linear congruential generator (LCG)，finite state machine 如下圖：



## 二、教學說明

### 1. 實驗目的

透過實作一個點名控制器來學習 SystemVerilog 之基本語法，並練習基本的狀態圖設計，以及熟悉 Quartus II 和 FPGA 之基本操作。

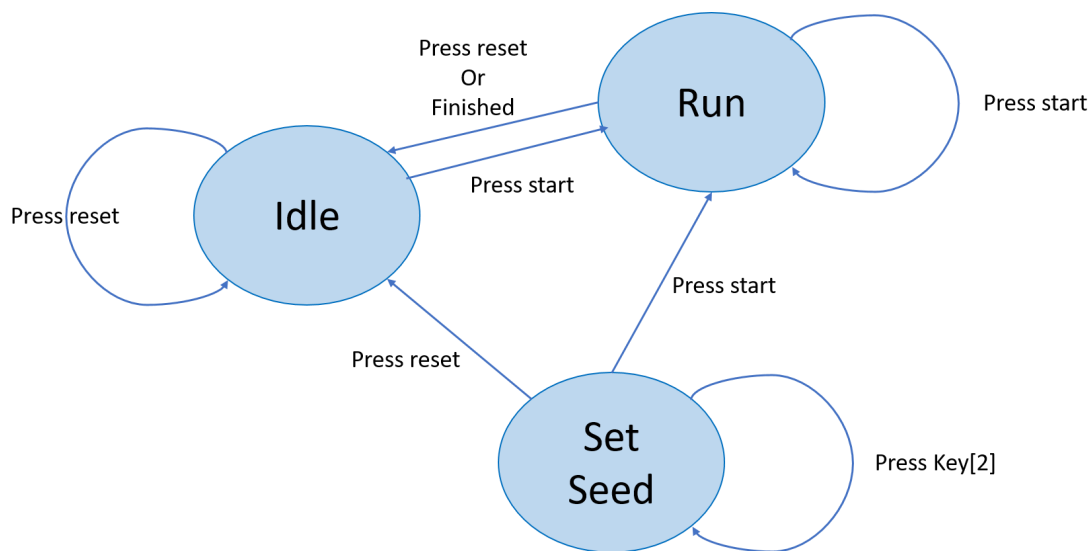
### 2. 安裝 Quartus II

建議下載 15.0 版本，可從 NAS 或官方網站直接下載，並需同時下載 Cyclone IV 的驅動程式，這樣才能讓 Quartus II 支援本實驗所使用之 FPGA 開發板 (DE2-115)。

### 3. 實驗說明

希望在按下按鈕後，點名器會產生不斷跳動的亂數，數字跳動的頻率由高頻逐漸下降，最終停在某一個號碼上。

最基本的 finite state machine 概念如下圖所示：



當按下 start 按鈕（模擬器中的 key[1] 或 FPGA 上右邊數來第二個按鈕）時進入 Run state，此時數字會開始跳動，而當按下 reset 按鈕（模擬器中的 key[0] 或 FPGA 上右邊數來第一個按鈕）或 Run state 時間到時會進入 Idle state，此時七段顯示器畫面會停止改變（按下 reset 停在 0，Run state 時間到則停在 0 到 15 間某個隨機數字）。

Run state 的部分是用來實作從高頻到低頻不同的跳動頻率，跳動頻率、state 與停留在各個 state 之時間等等細節可自行設計，只要實現一個頻率看似有由快到慢的亂數產生器即可。

例如可分為：Fast、Medium、Slow 三種不同的速度，Fast 時跳動頻率最快，停留 1.5 秒（跳 6 個數字）後進入 Medium 跳動頻率次之，停留 3.5 秒（跳 5 個數字）後進入 Slow，Slow 跳動頻率最慢，停留 4.5 秒（跳 3 個數字）後回到 Idle，而不論在哪個速度，當按下 start 按鈕時均會回到 Fast 重新跳動。

亂數的產生有許多不同方法，此實驗並不要求產生之數字需要在統計上為真正的隨機，可以上網查詢各種方法。在此提供一種想法：利用 Linear congruential

generator (LCG)

$$N_{j+1} = (A \times N_j + B) \bmod M ,$$

並假設在同一時間按下按鈕的機率極小，因此搭配時間來生成隨機數。

#### 4. 遇到問題與解決

因為 FPGA 板的 clock 頻率較 testbench 的 clock 頻率快 5000 倍，所以需要注意，才能使模擬結果與實際燒入板子的結果相同。