學生姓名: 劉力仁 學號: B04901068 信箱: b04901068@ntu.edu.tw

一: CirGate 設計:

最初我只用一個 class 也就是 CirGate 做完 hw6,fanin,fanout 則是用 vector < CirGate *> 指到相對應的 gate,然而記憶體使用量有點大,(有一次上課老師有說不要亂用 vector 跟 string,很吃記憶體)所以聽完 老師上課講解後決定重新改架構,所以寫成了繼承的 class,fanin 改成用 array,pi 沒有 po 一個 aig 兩 個,記憶體使用量從原本 ref 的三倍下降成差不多。然而,好景不常,當我繼續實做 final project 的時候,到 optimize 就出現了許多問題,最主要的兩個問題:

第一: 如果 fanin 不是用 vector 要自己維持 array 麻煩很多!

第二:如果存 pointer 可能會產生 memory leak ,存到不該存的東西....而且很難找到 ORZ 所以結論是我又把 fanin 改成 vector 形式而且是 vector<size_t>存 gateid 而已,這樣到 GateList 去找才不容易 segmemtation fault。

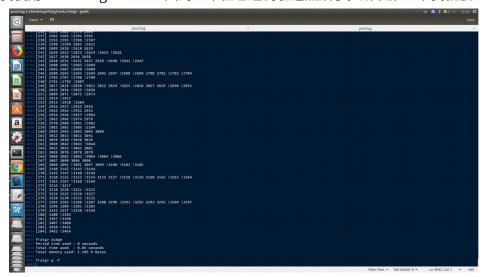
然後因為這樣我重寫了兩次 read 跟一堆 function......所以知道一個好的架構很重要 T_T

☐: Simulation:

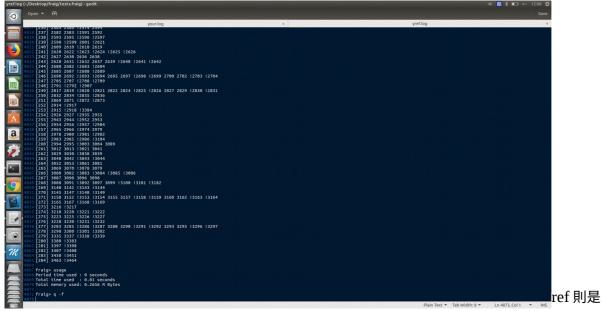
因為看不懂講義 Simulation 的 psuedo code,所以就寫了一個很耗記憶體但邏輯比較簡單的方法。也是用到 hash(hashset),我是一次把所有 pattern 都讀進來,hash funtion 是數 1 的位元有幾個,_numBuckets 是 pattern 數除二,如果 1 的位元數大於_numBuckets,就用兩倍的_numBuckets 扣掉 1 的位元數。這樣同一個 bucket 裡面才會有 IFEC。做完一次 hash 後就開始分 FECGroups。 pattern 剛讀進來後,每個 gate 會有一個 vector<size_t> _simValue 來存 simulation 的值,而在同一個 bucket 裡的 gate 就可以抓出來比較,第一層是跟這層 bucket 裡目前有的 FECGroups 比較,如果有完全一樣或完全不一樣就加入,如果都沒有就創建新的 FECGroup,而一層 bucket 算完後把只有一個 member 的 FECGroup 刪掉,push_back 進最大的 FECGroups。這樣把每層 bucket 都做完後,再排序(我用 insertion sort)就會得到正確的 FECGroups。

我後來知道老師的作法應該是一次 sim 一個 size_t 然後不斷的把 FECGroups 分小,這樣在記憶體上就不用每個 gate 存一個 vector<size_t>,明顯的節省空間,至於速度的話以下有結果。

我使用 tests.fraig/do.fsim 因為正確性已經測驗過無誤了,所以第一筆我就放 sim09.aag 的結果



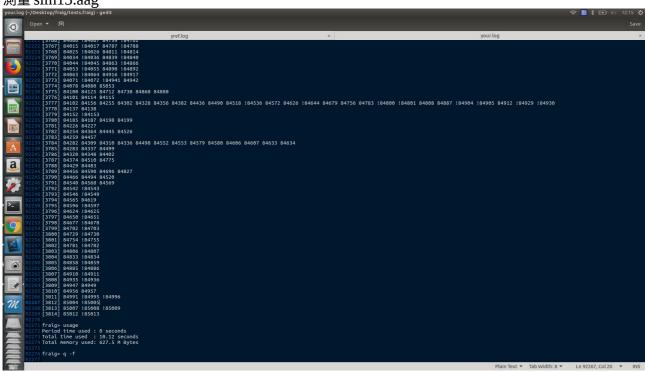
我花了 0.03s+2.105M 的記憶體。



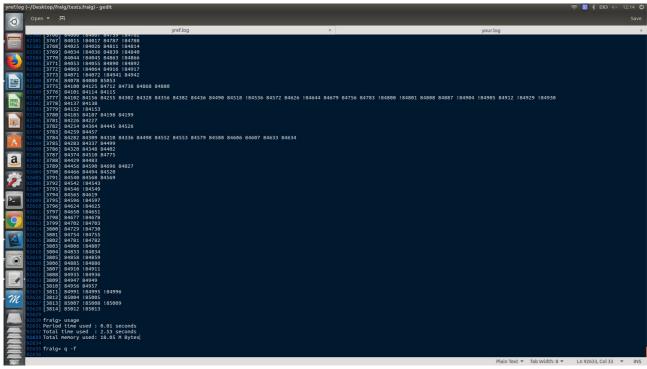
0.01s+0.2656M 的記憶體。

看目前來看速度差了三倍,記憶體約 7~8 倍(那這個差異是不 const? 還是正比 n 呢?)

測量 sim13.aag



我花了 10.12s+627M 的記憶體



ref 則是 2.53s+18.05M

速度差約為四倍,記憶體使用量三十倍 xDD

的確是蠻驚人的數字~~

sim09 178 個 PI

sim13 3464 個 PI

差異二十倍,但我的速度是從三倍變四倍,所以我的方法跟老師的演算法級數應該沒有差,是 const 的差異。而記憶體使用量,我想最大的地方沒意外就是存_simValue,因為我是一次行比對,所以會跟 pattern 數成正比,而實驗結果也的確如此。

CIRSIM -R:

我是依照 PI 的數量做直覺的計算,因為 pattern 的組合是 exponential 比上 input 的數量,而跟 AIGgate 的數量沒關係,所以我用 if else 訂了簡單的公式(也是參考 pattern01~13 的 PI 數以及 pattern 數訂出的)

我在想一次把全部的 simValue 做 hash 然後分開有什麼好處?

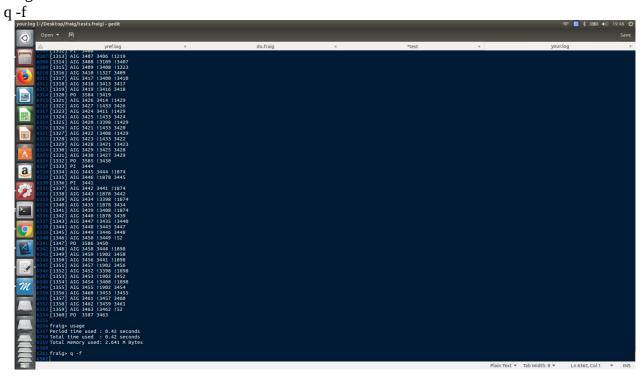
如果_numBucket 夠大,那每個_bucket 裡面有的 gate 就會很少,就不會需要太多兩兩比較,然後創建 FECGroup 的問題,這樣分 FEC 應該會比較快,但如果要更快應該要做兩層 hash,也許我可以再定義 第二個 hash function 去把同個_buckets 裡的東西再丟一個 hash 去找,但這次限於時間,就先做到這裡 了。

三: Fraig

很急的趕出來了簡單的版本,我也不是照 DFS 的順序去 merge 的,而是照 FECGroups 的順序去找。 (我將 FECGroups 存在 CirMgr 裡,一個 Group 有 FECPair 的 gateid,invert 與否,以及首項的 sim 值。 所以把所有 FEC 組合都算過了。就是把每個 FECGroup 裡頭的值兩兩丟進 SAT 驗證一次(除了已經確定可以跟別人 merge 的 gate 不用在驗證)有的就 merge。簡單的電路圖跑出來沒問題,複雜的像是 sim09跟 sim13則是電路圖長的會跟 ref 差蠻多的。

以下為實測內容: cirr sim09.aag cirstrash cirp -n cirsim -f pattern.09 cirp -fec cirfraig cirp -n

usage



我的花了 0.42 秒+2.641M



速度跟記憶體慢的比值都跟做 sim 差不多 ORZ 至於跑 sim13,我的演算法時間就爆炸了.... 不過從 sim09 可以看出,我從 FEC 找到可以 merge 的 gate 似乎比 ref 多! (ref cirp -n 有 1365 個,我只有 1360 個 xD 只能說這是 n2 算 SAT 的唯一好出了吧。

總結:這次是在期末結束後才開始實做,optimize 寫完後只剩四天,simulation 又卡很久,幾乎沒有時間改良 fraig 覺得很可惜,但要怪也得怪我期末考前沒有先做,也應該說當初沒想好架構,改了架構兩次,幾個基本的 function 也改了好幾次,剛踏進 fraig 這有趣的地方,下課鐘聲卻響了,意猶未盡的感覺。 真希望能再多個一兩天,想一些特別的方法來改進 fraig 的速度,而不是只是剛好做出功能而已。還有助教辛苦了==