

Diagramas básicos de computadoras

Docente: Lic. José E. Durán

Universidad Argentina de la Empresa

Objetivo de la presentación:

- Comprender el proceso evolutivo del desarrollo tecnológico partiendo de la máquina de *Harvard* y la máquina de *von Newman*
- Explicar el método para representar computadoras utilizado en la materia
- Introducir el concepto de diagrama en bloque "*Block Diagram*"
- Asociar los diagramas en bloques con circuitos electrónicos "*Schematics*" externos al Circuito Integrado
- Asociar los diagramas en bloques con estructuras internas del Circuito Integrado
- Dimensionar la complejidad de las estructuras de los circuitos integrados de última generación SOC "*System on Chip*"

Versión 03 35 diapositivas.

Ciudad Autónoma de Buenos Aires, República Argentina. 2015

Representación de la máquina de Harvard - Mark 1

MARK - 1

H. AIKEN

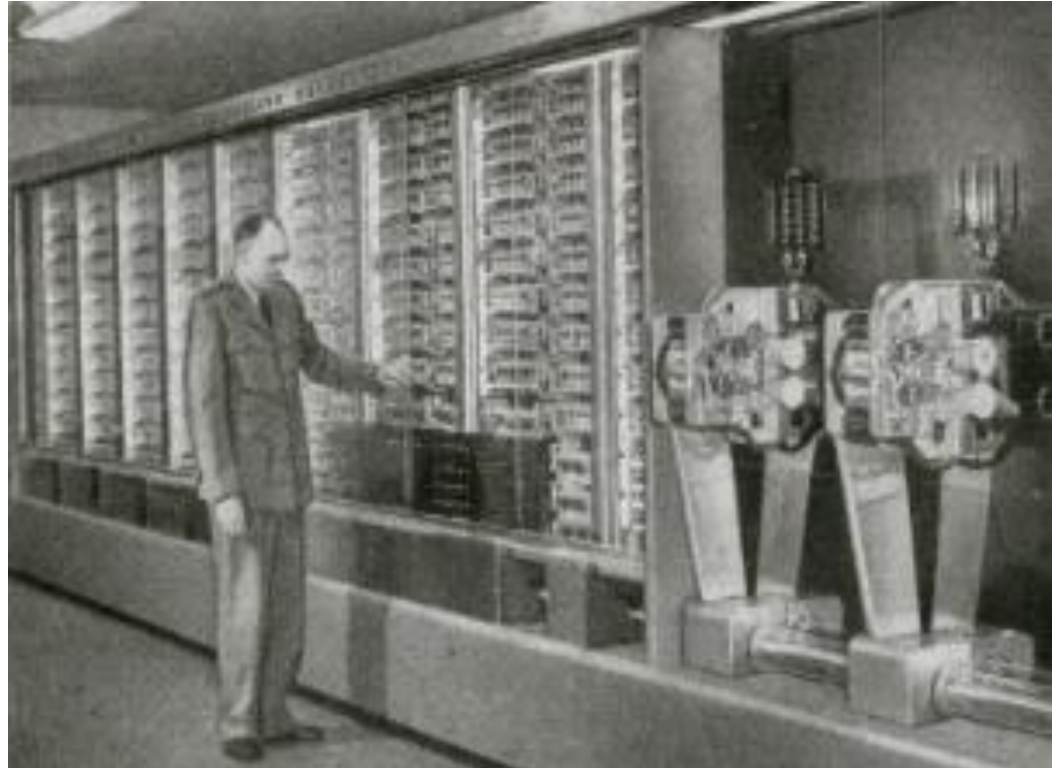
Universidad de Harvard, USA

Máquina digital basada en la máquina analítica de Babbage Siglo XIX.

Tecnología de relevadores y dispositivos electromecánicos

Memoria de programa separada de la memoria de datos

El concepto de memoria separada fue retomado en dispositivos integrados de última generación.



Representación de la máquina de Harvard - Mark 1

MARK - 1

H. AIKEN

Universidad de Harvard, USA

Máquina digital basada en la máquina analítica de Babbage Siglo XIX.

Tecnología de relevadores y dispositivos electromecánicos

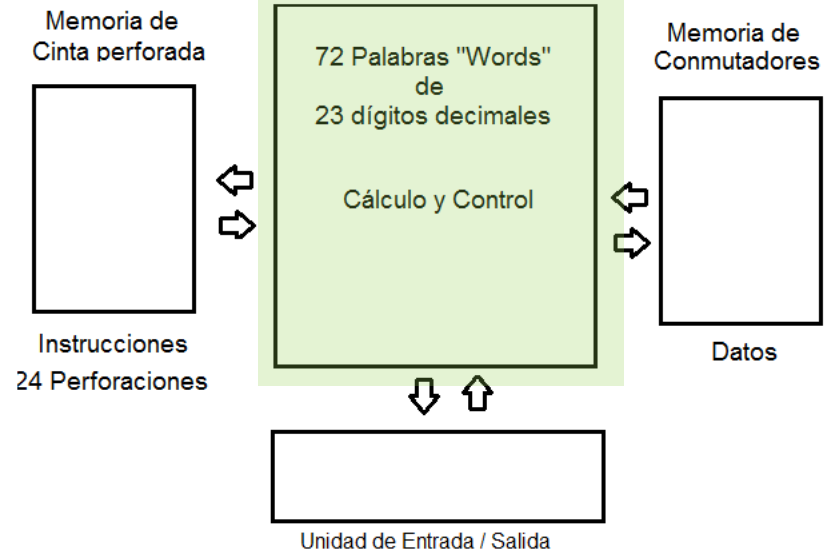
Memoria de programa separada de la memoria de datos

El concepto de memoria separada fue retomado en dispositivos integrados de última generación.

0 1 2 3 4 5 6 7 8 9
0 1 2 3 4 5 6 7 8 9



MARK-1 H. AIKEN / IBM
HARVARD CALCULATING MACHINE
Generación cero



Representación de la máquina de Harvard - Mark 1

MARK - 1

H. AIKEN

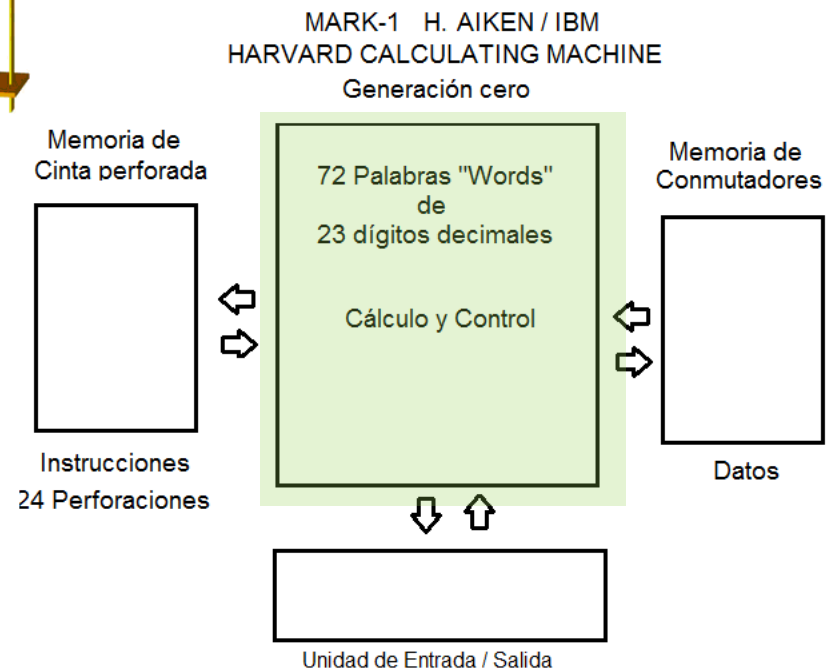
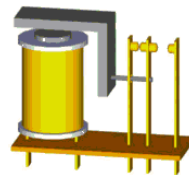
Universidad de Harvard, USA

Máquina digital basada en la máquina analítica de Babbage Siglo XIX.

[Tecnología de relevadores y dispositivos electromecánicos](#)

Memoria de programa separada de la memoria de datos

El concepto de memoria separada fue retomado en dispositivos integrados de última generación.



Representación de la máquina de Harvard - Mark 1

MARK - 1

H. AIKEN

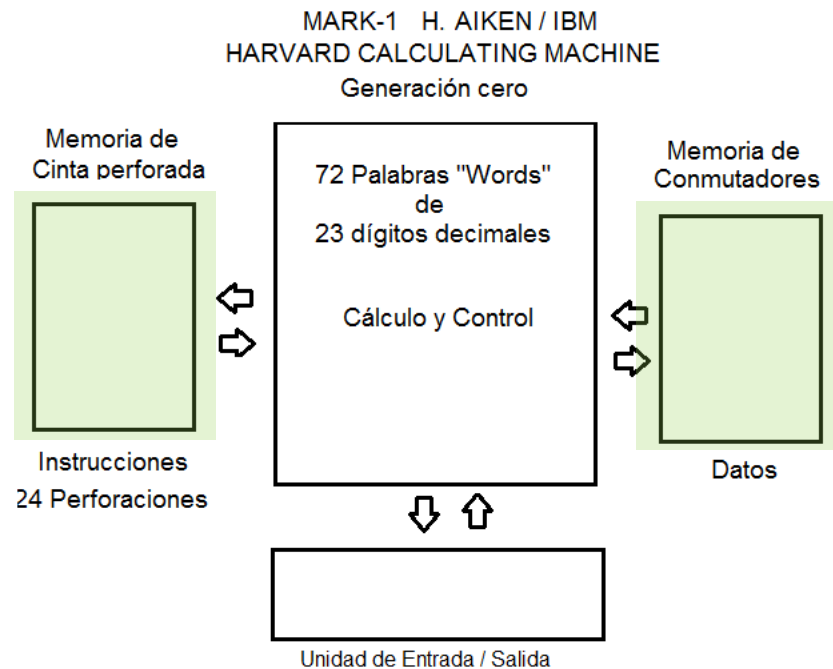
Universidad de Harvard, USA

Máquina digital basada en la máquina analítica de Babbage Siglo XIX.

Tecnología de relevadores y dispositivos electromecánicos

[Memoria de programa separada de la memoria de datos](#)

El concepto de memoria separada fue retomado en dispositivos integrados de última generación.



Representación de la máquina de Harvard - Mark 1

MARK - 1

H. AIKEN

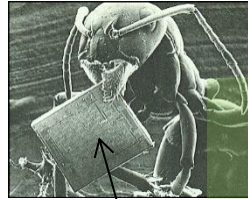
Universidad de Harvard, USA

Máquina digital basada en la máquina analítica de Babbage Siglo XIX.

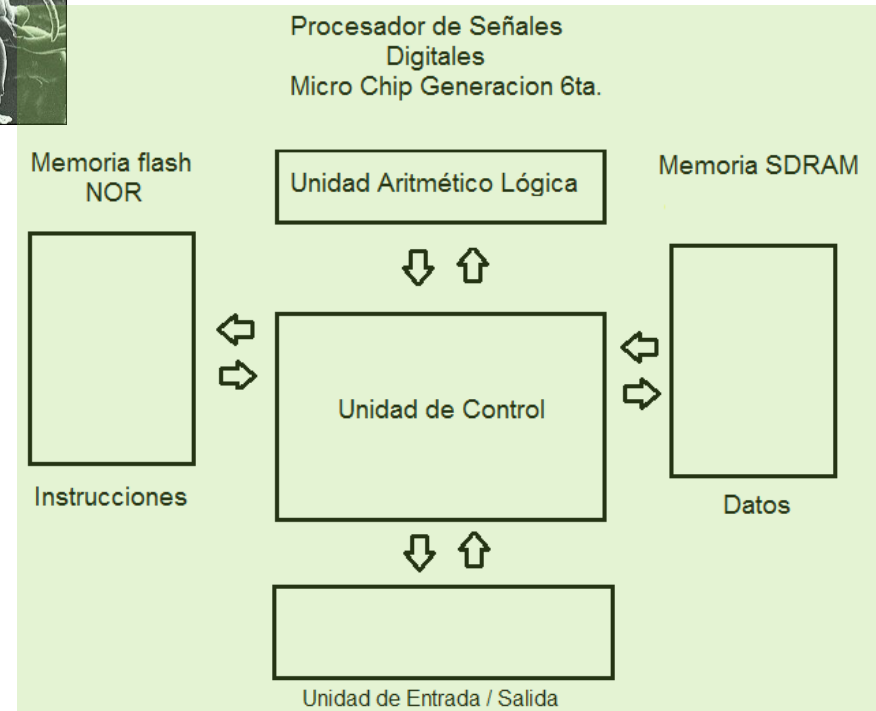
Tecnología de relevadores y dispositivos electromecánicos

Memoria de programa separada de la memoria de datos

El concepto de memoria separada fue retomado en dispositivos integrados de última generación.



Chip VLSI



Representación de la máquina de von Newman

IAS

Institute for Advanced Studies
Universidad de Princeton, USA

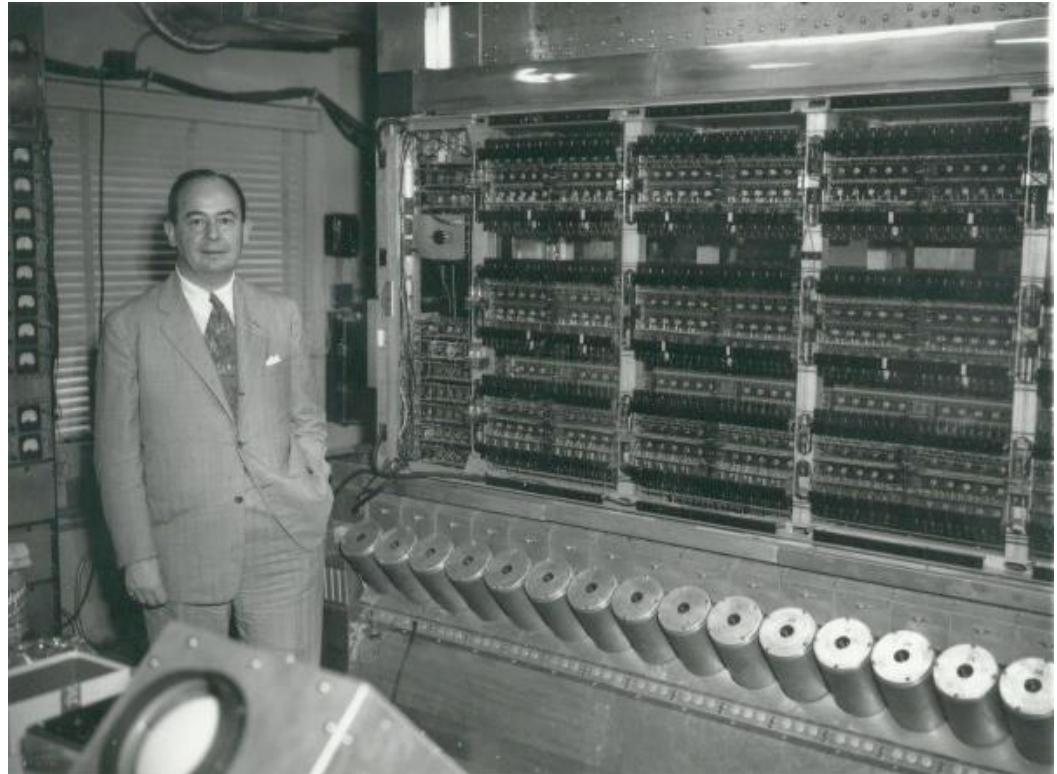
Máquina digital binaria.

Tecnología de válvulas de vacío

Memoria electrostática de tubos de vacío (Tubo de Williams)

Primera máquina con el concepto de programa almacenado en memoria central

Los bloques elementales coinciden con las arquitecturas actuales



Representación de la máquina de von Newman

IAS

Institute for Advanced Studies
Universidad de Princeton, USA

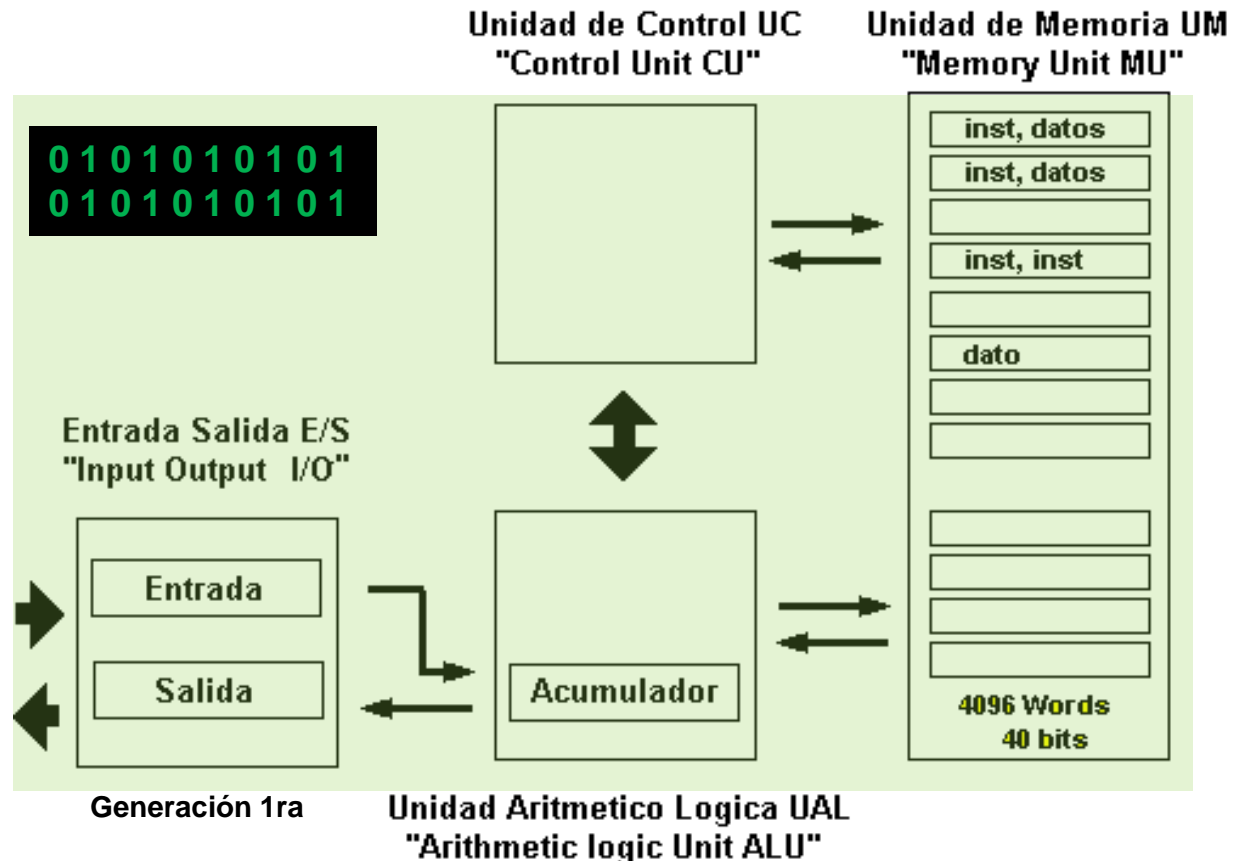
Máquina digital binaria.

Tecnología de válvulas de vacío

Memoria electrostática de tubos de vacío (Tubo de Williams)

Primera máquina con el concepto de programa almacenado en memoria central

Los bloques elementales coinciden con las arquitecturas actuales



Representación de la máquina de von Newman

IAS

Institute for Advanced Studies
Universidad de Princeton, USA

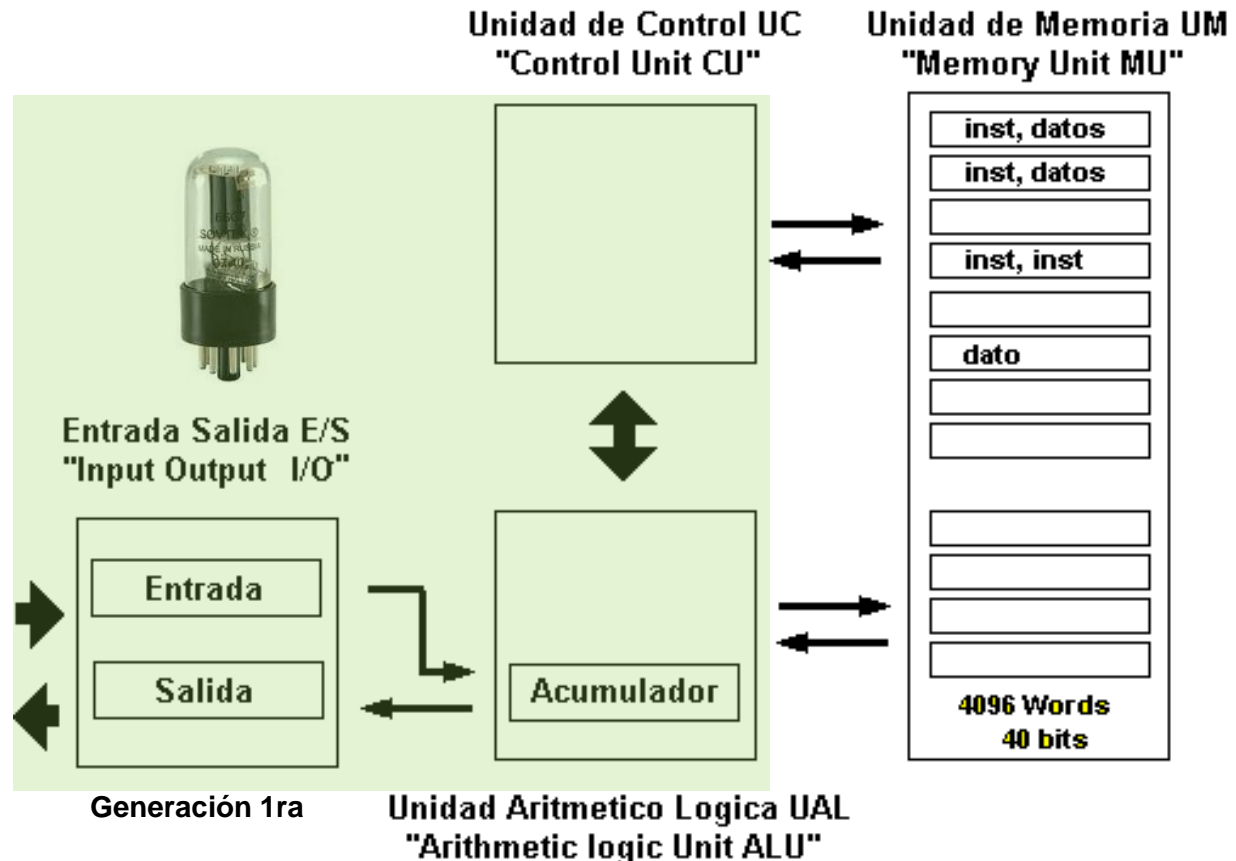
Máquina digital binaria.

Tecnología de válvulas de vacío

Memoria electrostática de tubos de vacío (Tubo de Williams)

Primera máquina con el concepto de programa almacenado en memoria central

Los bloques elementales coinciden con las arquitecturas actuales



Representación de la máquina de von Newman

IAS

Institute for Advanced Studies
Universidad de Princeton, USA

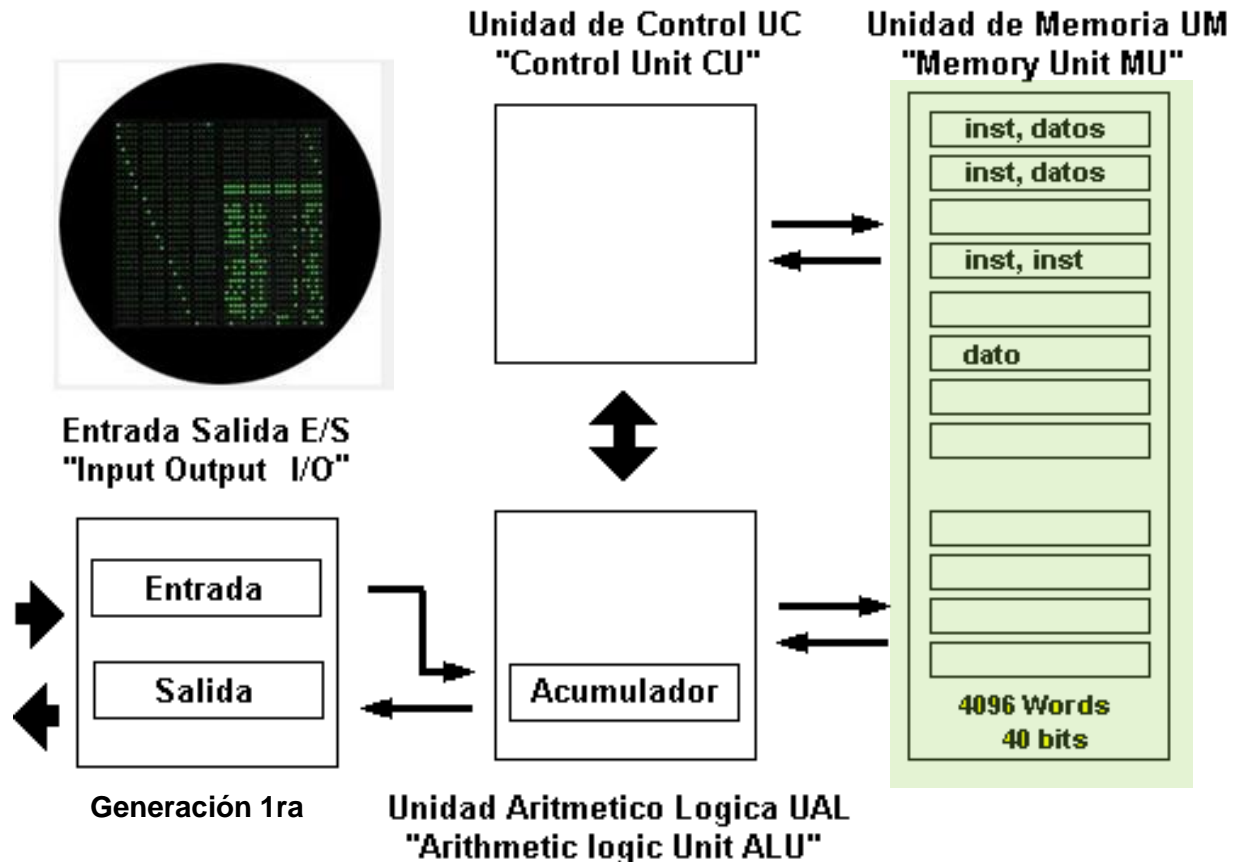
Máquina digital binaria.

Tecnología de válvulas de vacío

Memoria electrostática de tubos de vacío (Tubo de Williams)

Primera máquina con el concepto de programa almacenado en memoria central

Los bloques elementales coinciden con las arquitecturas actuales



Representación de la máquina de von Newman

IAS

Institute for Advanced Studies
Universidad de Princeton, USA

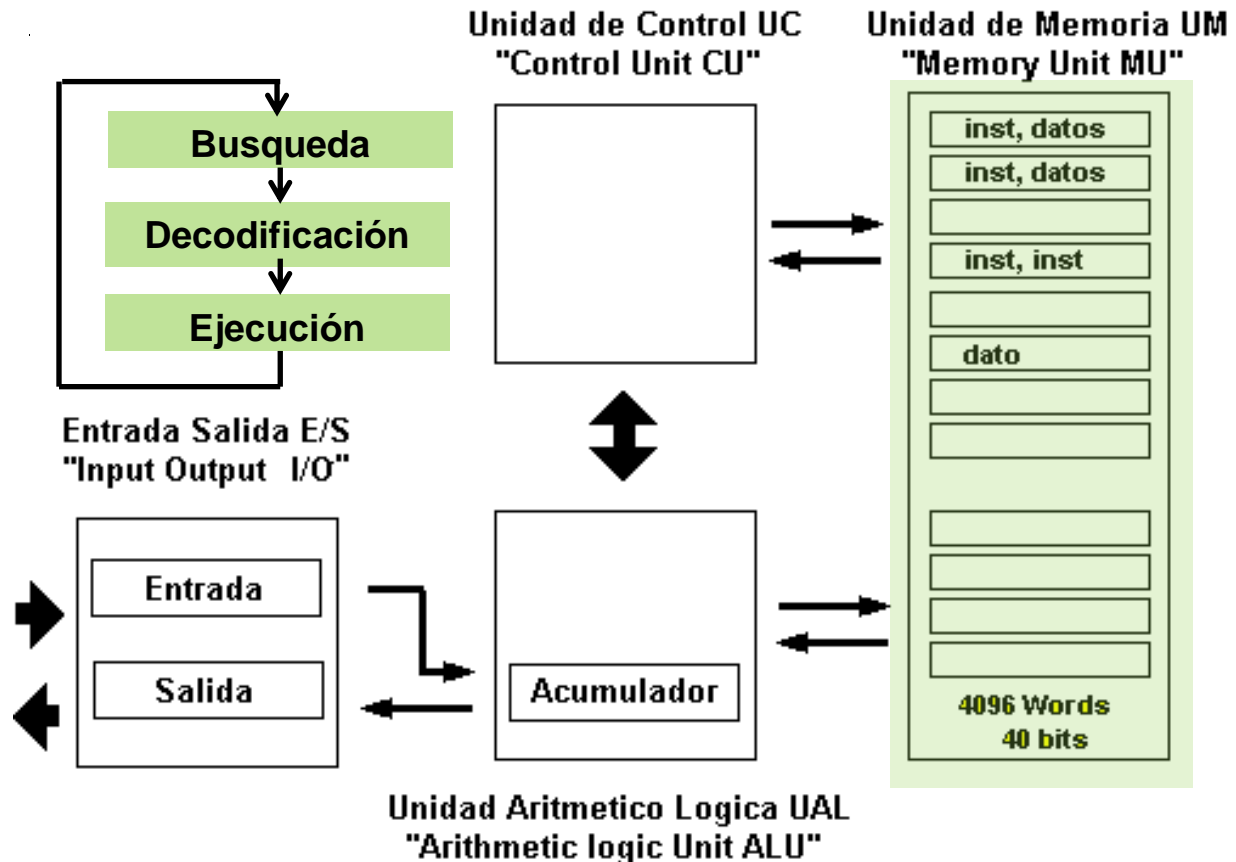
Máquina digital binaria.

Tecnología de válvulas de vacío

Memoria electrostática de tubos de vacío (Tubo de Williams)

Primera máquina con el concepto de programa almacenado en memoria central

Los bloques elementales coinciden con las arquitecturas actuales



Representación de la máquina de von Newman

IAS

Institute for Advanced Studies
Universidad de Princeton, USA

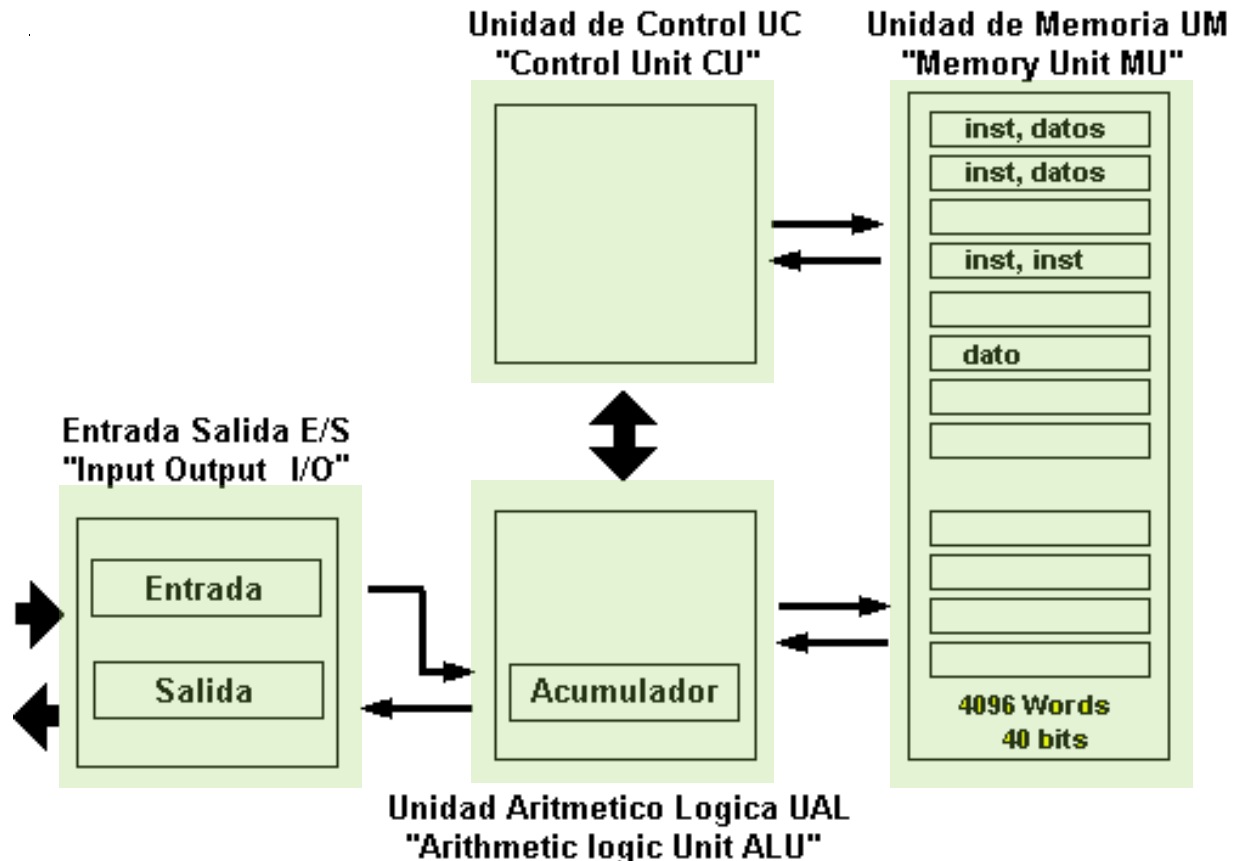
Máquina digital binaria.

Tecnología de válvulas de vacío

Memoria electrostática de tubos de vacío (Tubo de Williams)

Primera máquina con el concepto de programa almacenado en memoria central

Los bloques elementales coinciden con las arquitecturas actuales



Representaciones en máquinas actuales

Maquinas de tercera generación a la fecha

Circuitos Integrados

Programables con lenguaje de máquina

Instruction Set Architecture

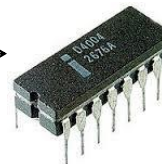
Principales Microprocesadores básicos
LSI/VLSI Modelo de von Neumann

En la siguientes generaciones de computadoras evolucionan adoptando nuevos modelos Paralelismo en el procesador y máquina de Harvard.

Su arquitectura original hoy se usa en modernos controladores

Intel	Motorola	Zilog	Fecha	Nivel	Palabra
8080			1974	LSI	8
	6800		1975	LSI	8
		Z80	1976	LSI	8
8085			1977	LSI	8
8086			1978	VLSI	16
8088			1979	VLSI	16 Y 8 Ext

Intel 4004
1971
4 bits



6800



8088



Z80



Representaciones en máquinas actuales

Maquinas de tercera generación a la fecha

Circuitos Integrados

Programables con lenguaje de máquina

Instruction Set Architecture

Principales Microprocesadores básicos
LSI/VLSI Modelo de von Neumann

En las siguientes generaciones de computadoras evolucionan adoptando nuevos modelos Paralelismo en el procesador y máquina de Harvard.

Su arquitectura original hoy se usa en modernos controladores

Algunos ejemplos de evolución

8086



Core i5
Computadores
Personales

6800



MC68000
Derivo en
arquitecturas
RISC Power PC

Z80



eZ80
Aplicación en
comunicaciones

Representaciones en máquinas actuales

Maquinas de tercera generación a la fecha

Circuitos Integrados

Programables con lenguaje de máquina

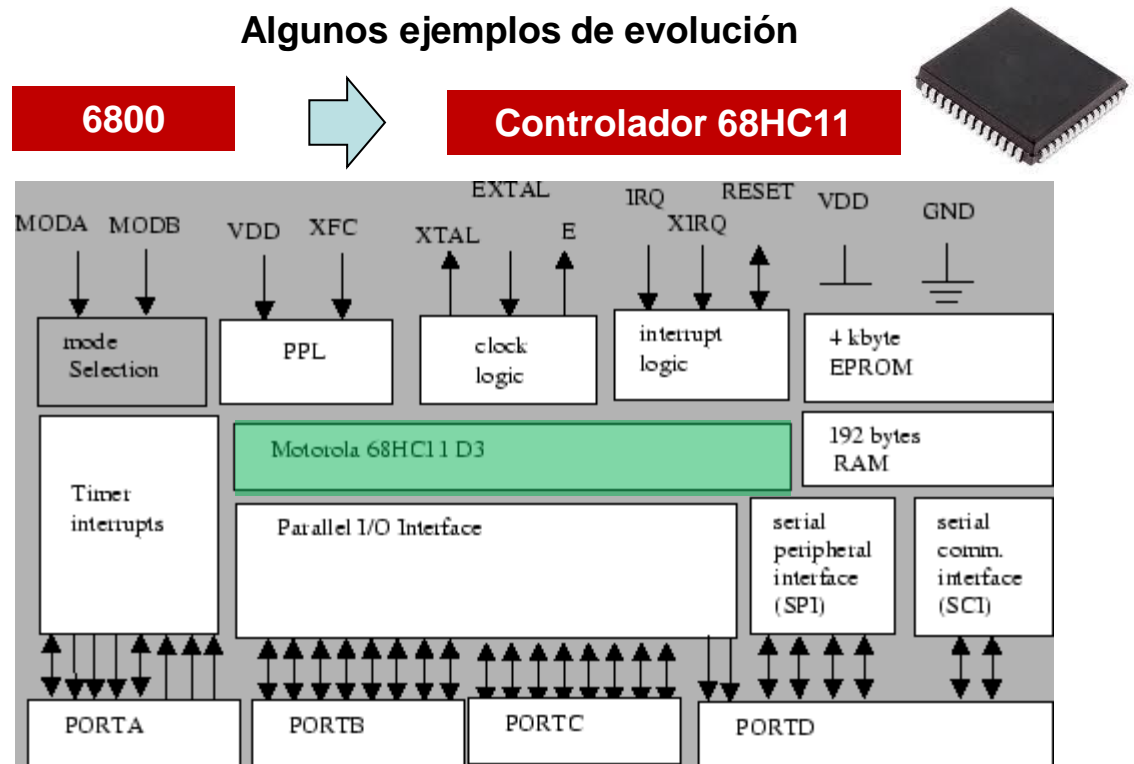
Instruction Set Architecture

Principales Microprocesadores básicos
LSI/VLSI/ Modelo de von Neumann

En las siguientes generaciones de computadoras evolucionan adoptando nuevos modelos. Paralelismo en el procesador y máquina de Harvard.

[Su arquitectura original hoy se usa en modernos controladores](#)

Algunos ejemplos de evolución



Buses

BUS GENERAL

Conexión colectiva

Fuera del procesador

- **BUS DE DATOS**
- **BUS DE DIRECCIONES**
- **BUS DE CONTROL**
- **BUS DE ALIMENTACION**

Dentro del procesador

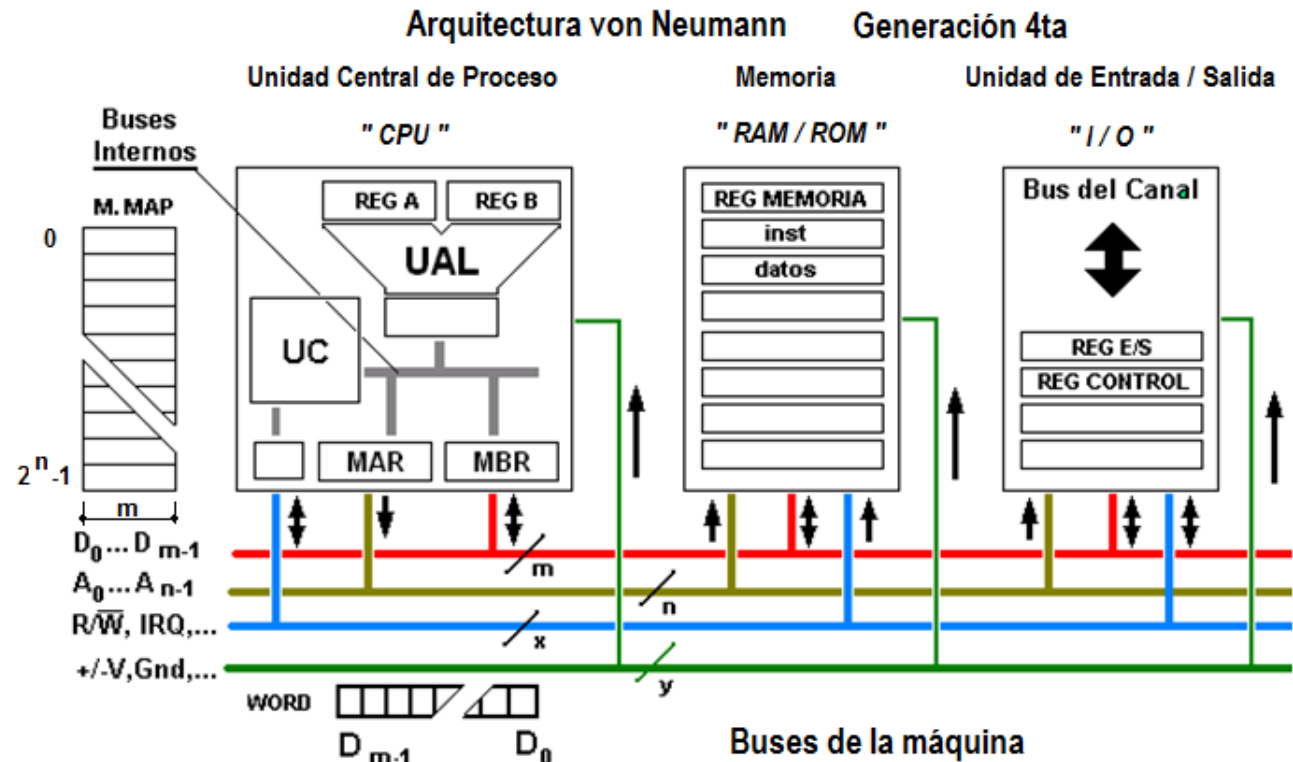
- **BUSES INTERNOS**

Distintos estándares

- **Sincrónicos**
- **Asincrónicos**

Con los procesos de integración aumentan los buses internos y disminuyen los externos

Representación de un microprocesador básico



Buses

BUS GENERAL

Conexión colectiva

BUS DE DATOS

BUS DE DIRECCIONES

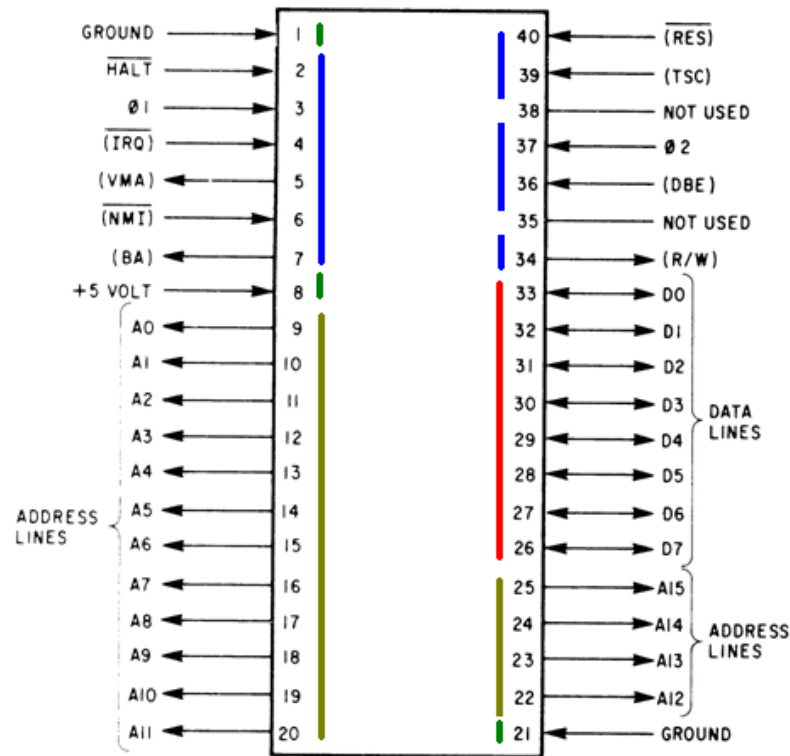
BUS DE CONTROL

BUS DE ALIMENTACION

CONEXIÓN CON OTROS
CIRCUITOS INTEGRADOS

- SRAM
- ROM / EPROM
- ADAPTADORES DE E/S
- RELOJ
- TIMER

Representación de un microprocesador básico real



Motorola 6800

Circuito LSI

Estructura Interna

Visión del Software

Registros relacionados con datos (MBR) 8 bits

Registros de uso general

•Registro A (A)

•Registro B (B)

Registro de condición

•CC

Registros relacionados con

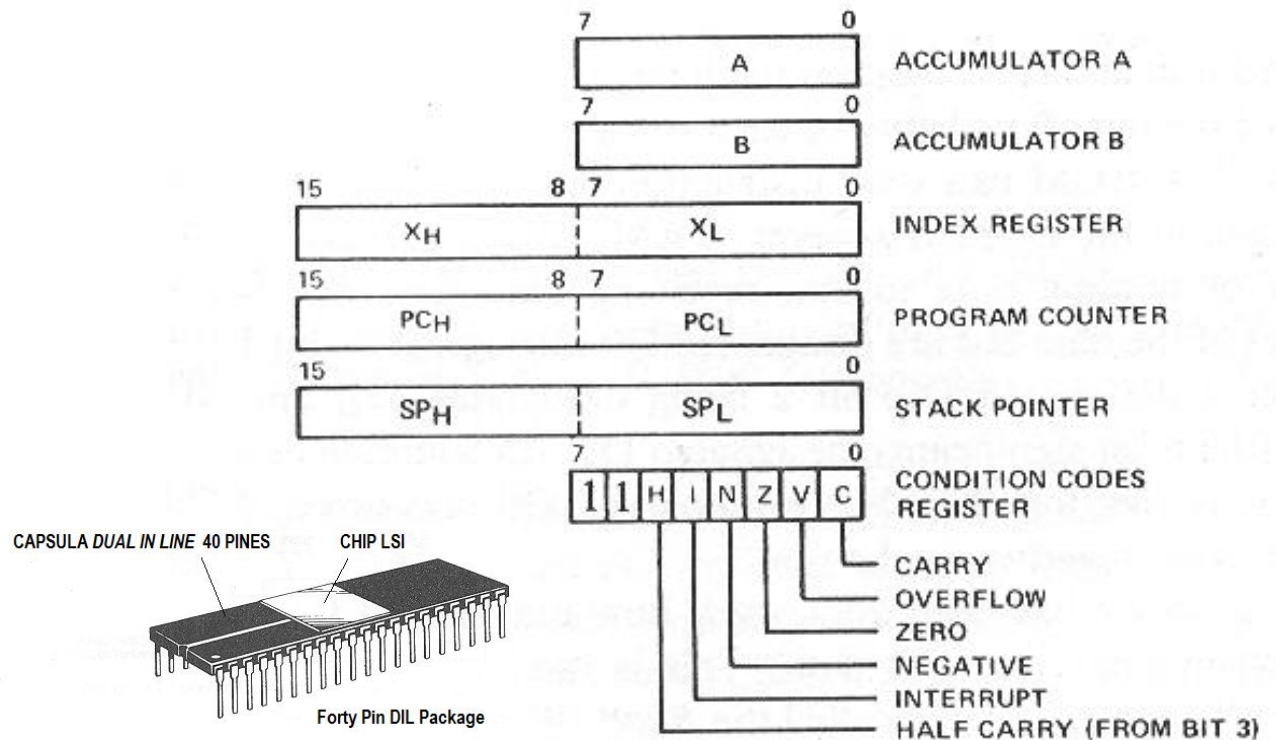
Direcciones (MAR) 16 bits

•Contador de programa (PC)

•Indice (X)

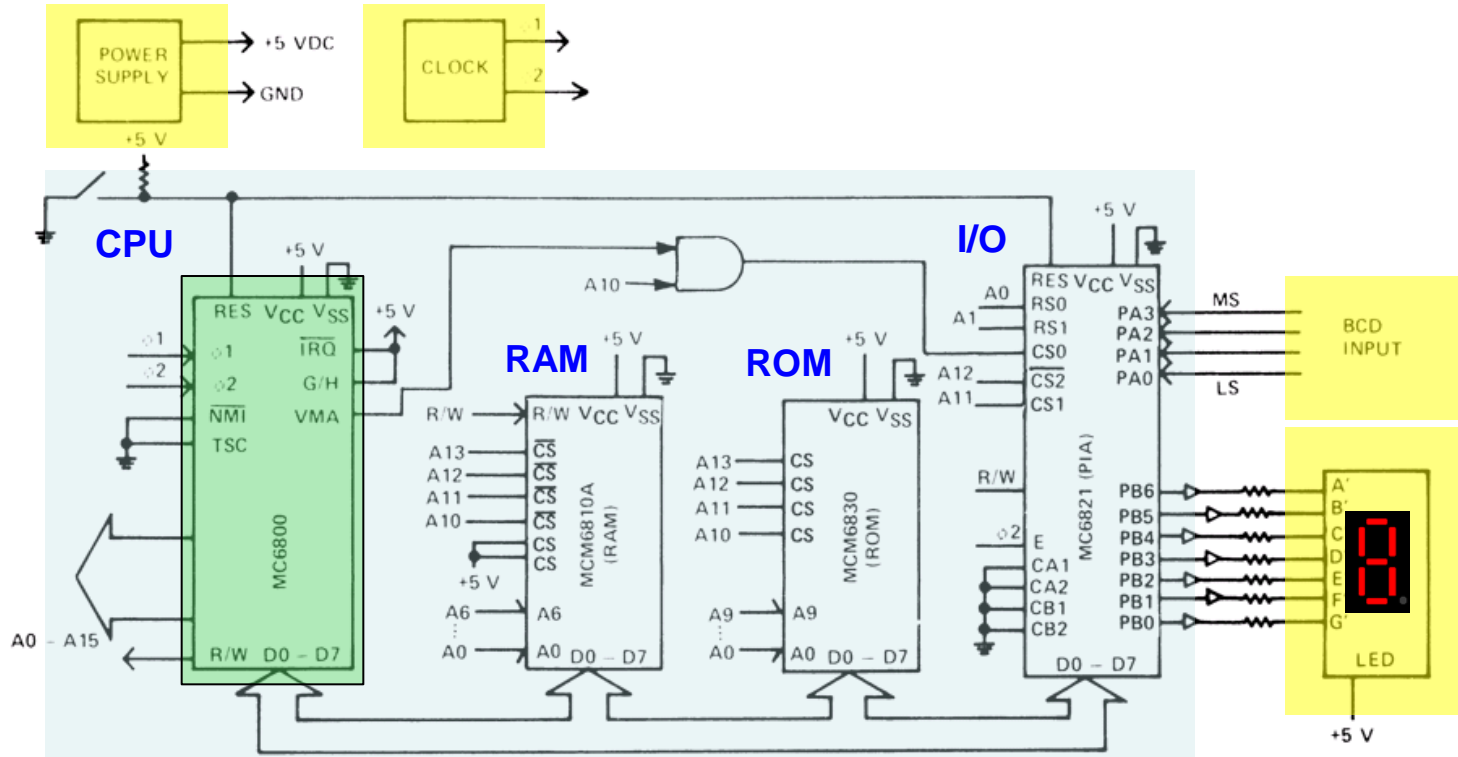
•Apuntador de Pila (SP)

Representación de un microprocesador básico real



Motorola 6800

Desarrollo basado en un microprocesador básico real



Circuito de microprocesador aplicado a la conversión BCD a 7 segmentos “Schematics”

Circuito VLSI

Estructura Interna

Visión del Software

Registros relacionados con datos (MBR) 16 bits

Registros de uso general

• Registro A X, BX, CX y DX

Registro de condición

• CC

Registros relacionados con Direcciones (MAR) 20 bits

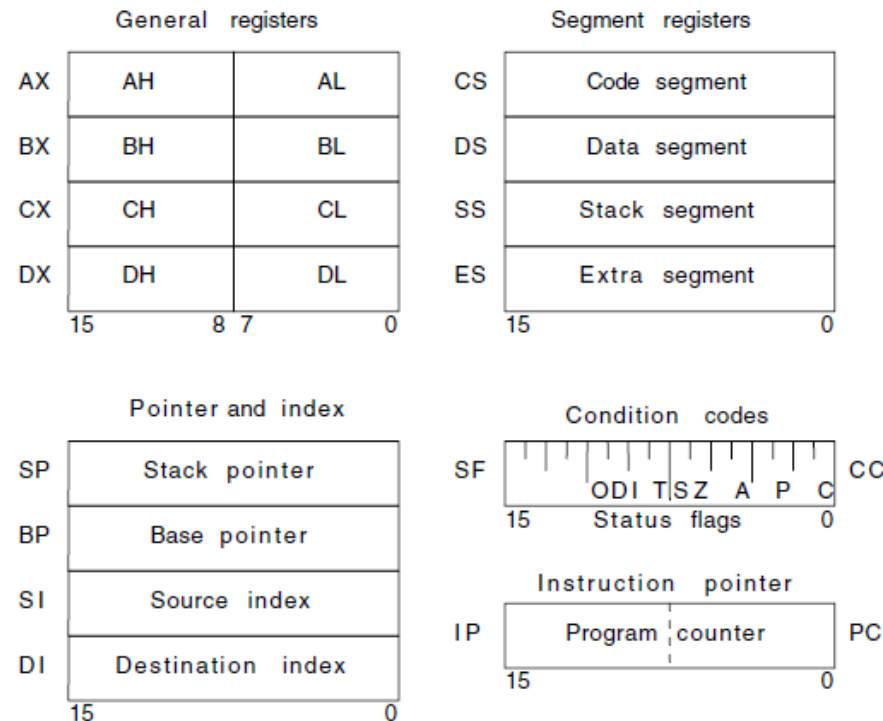
• Contador de programa (PC)

• Índices (SI) y (DI)

• Apuntador de Pila (SP) y apuntador de base (BP)

• Apuntadores a segmentos de memoria CS, DS, SS y ES

Representación de un microprocesador básico real



Z - result is zero
 S - result is negative (sign bit)
 V - result generated an overflow
 C - result generated a carry
 A - Auxiliary carry (out of bit 3)
 P - parity of the result

Intel 8088 (Arquitectura x86)

BUSES JERARQUICOS

Registros del procesador

BUS INTERNO DEL PROCESADOR

Memoria Cache L1

Memoria Cache L2

BUS DE MAQUINA , HOST BUS

PUENTE DE ALTA VELOCIDAD

Memoria principal

Puertos Rápidos

BUS ESTÁNDAR o PRINCIPAL

Periféricos

Memoria Secundaria o Terciaria

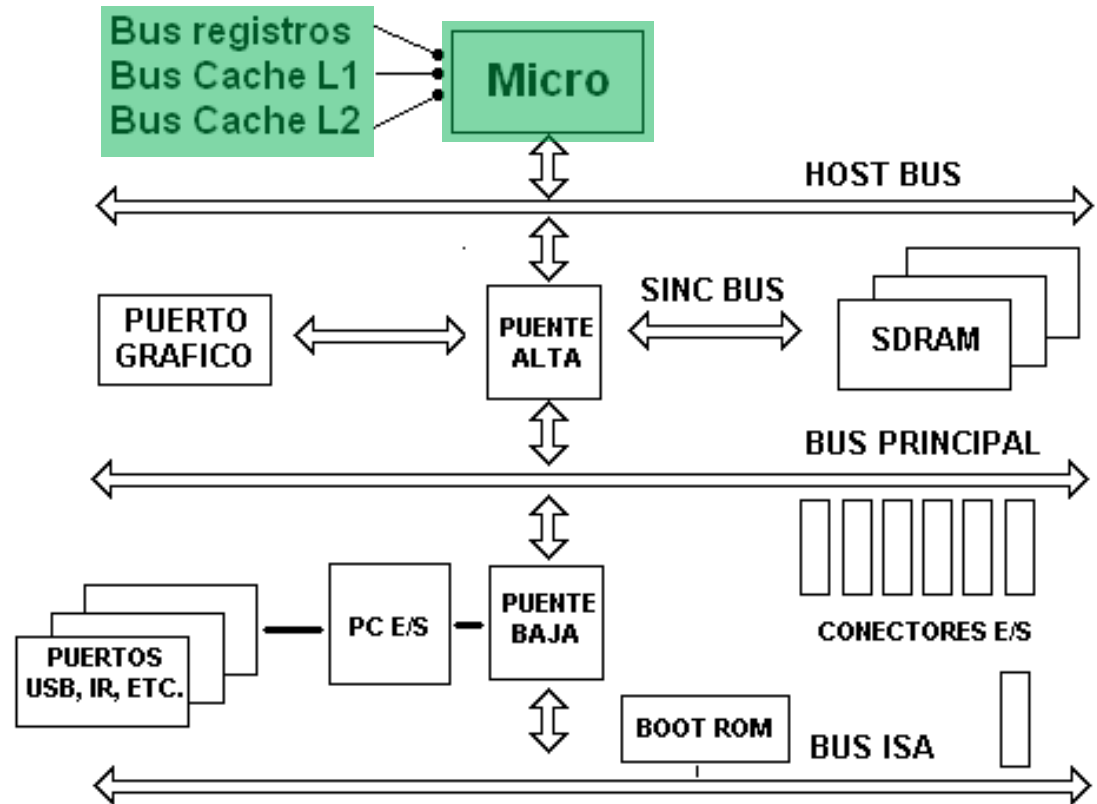
PUENTE DE BAJA VELOCIDAD

BUSES DE otros CANALES

Periféricos , Multi I/O, FDC,

Memoria terciaria

Representación del computador



BUSES JERARQUICOS

Registros del procesador

BUS INTERNO DEL PROCESADOR

Memoria Cache L1

Memoria Cache L2

BUS DE MAQUINA , HOST BUS

PUENTE DE ALTA VELOCIDAD

Memoria principal

Puertos Rápidos

BUS ESTÁNDAR o PRINCIPAL

Periféricos

Memoria Secundaria o Terciaria

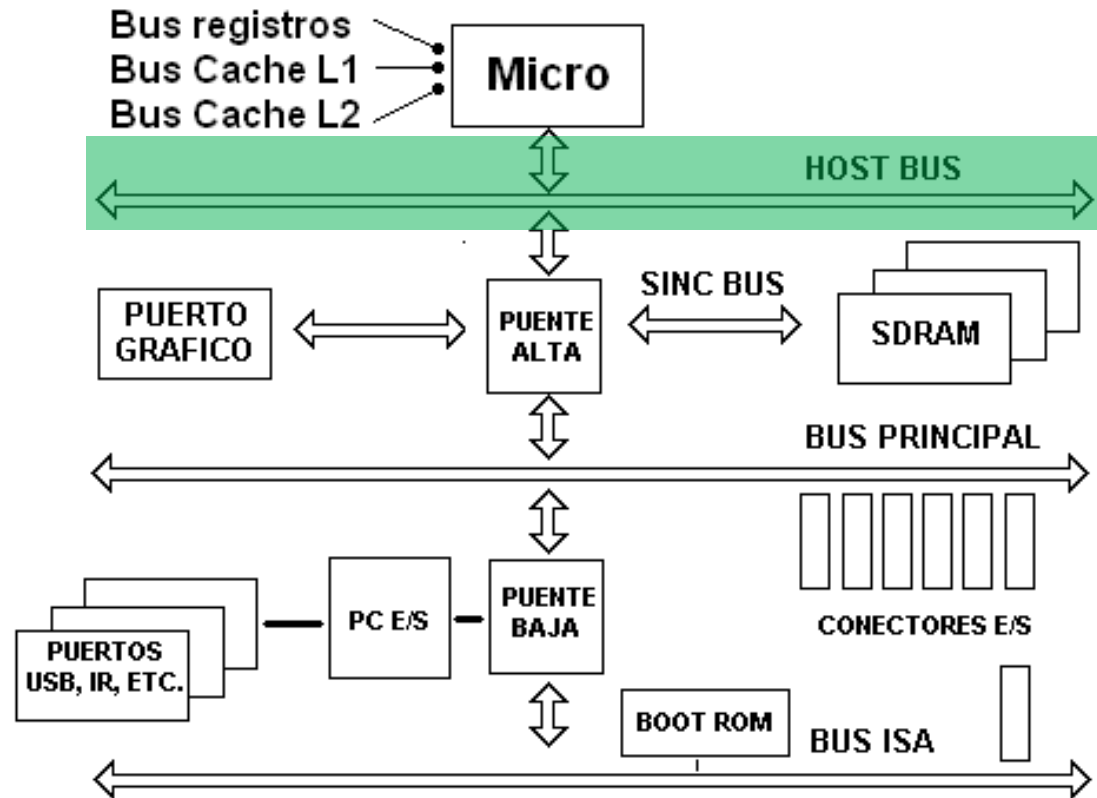
PUENTE DE BAJA VELOCIDAD

BUSES DE otros CANALES

Periféricos , Multi I/O, FDC,

Memoria terciaria

Representación del computador



BUSES JERARQUICOS

Registros del procesador

BUS INTERNO DEL PROCESADOR

Memoria Cache L1

Memoria Cache L2

BUS DE MAQUINA , HOST BUS

PUENTE DE ALTA VELOCIDAD

Memoria principal

Puertos Rápidos

BUS ESTÁNDAR o PRINCIPAL

Periféricos

Memoria Secundaria o Terciaria

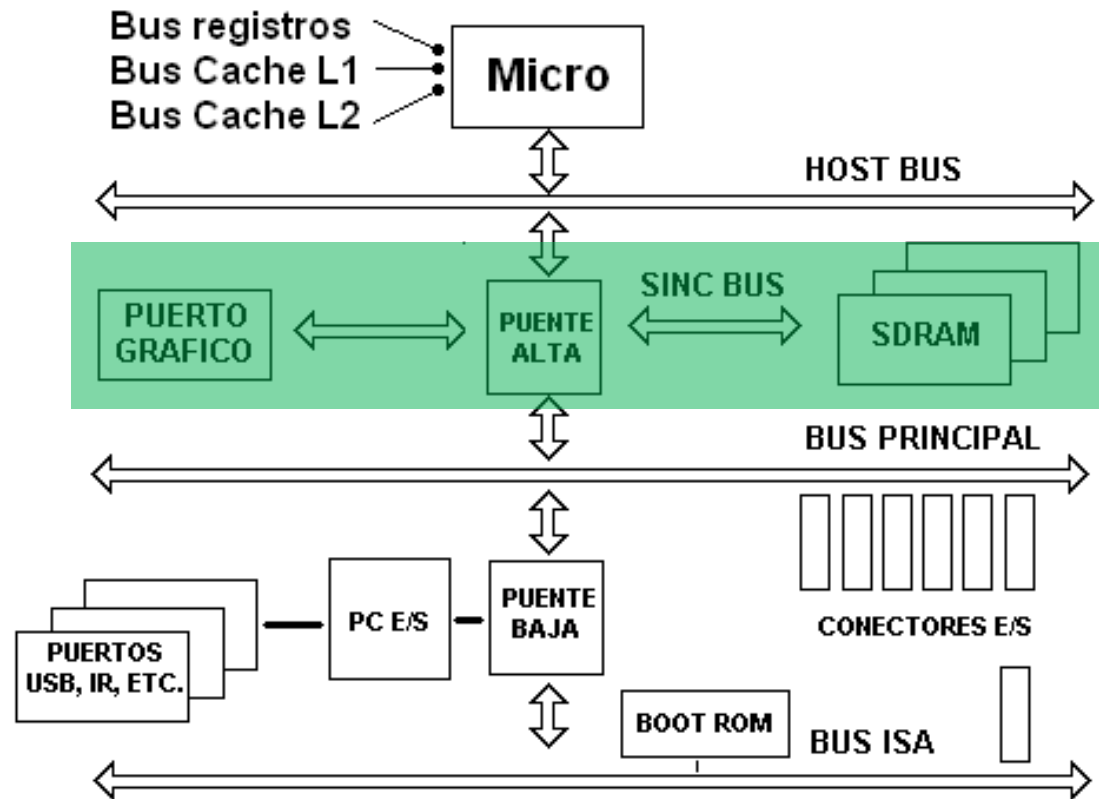
PUENTE DE BAJA VELOCIDAD

BUSES DE otros CANALES

Periféricos , Multi I/O, FDC,

Memoria terciaria

Representación del computador



BUSES JERARQUICOS

Registros del procesador

BUS INTERNO DEL PROCESADOR

Memoria Cache L1

Memoria Cache L2

BUS DE MAQUINA , HOST BUS

PUENTE DE ALTA VELOCIDAD

Memoria principal

Puertos Rápidos

BUS ESTÁNDAR o PRINCIPAL

Periféricos

Memoria Secundaria o Terciaria

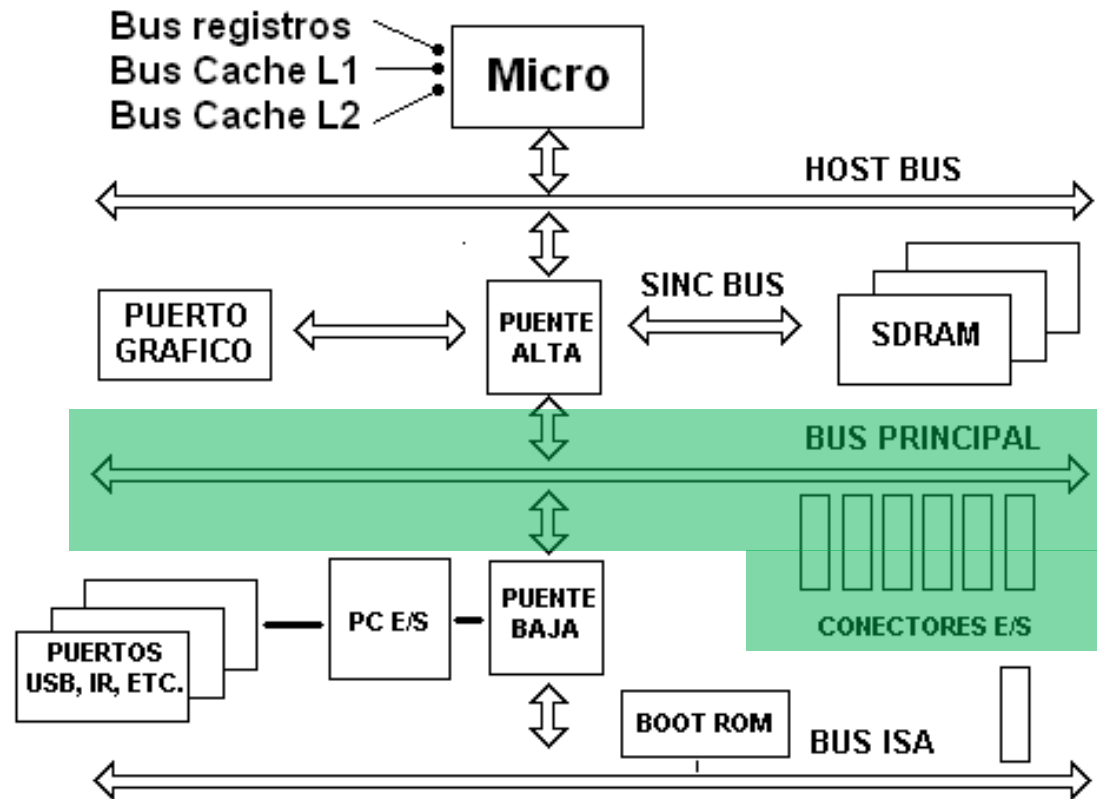
PUENTE DE BAJA VELOCIDAD

BUSES DE otros CANALES

Periféricos , Multi I/O, FDC,

Memoria terciaria

Representación del computador



BUSES JERARQUICOS

Registros del procesador

BUS INTERNO DEL PROCESADOR

Memoria Cache L1

Memoria Cache L2

BUS DE MAQUINA , HOST BUS

PUENTE DE ALTA VELOCIDAD

Memoria principal

Puertos Rápidos

BUS ESTÁNDAR o PRINCIPAL

Periféricos

Memoria Secundaria o Terciaria

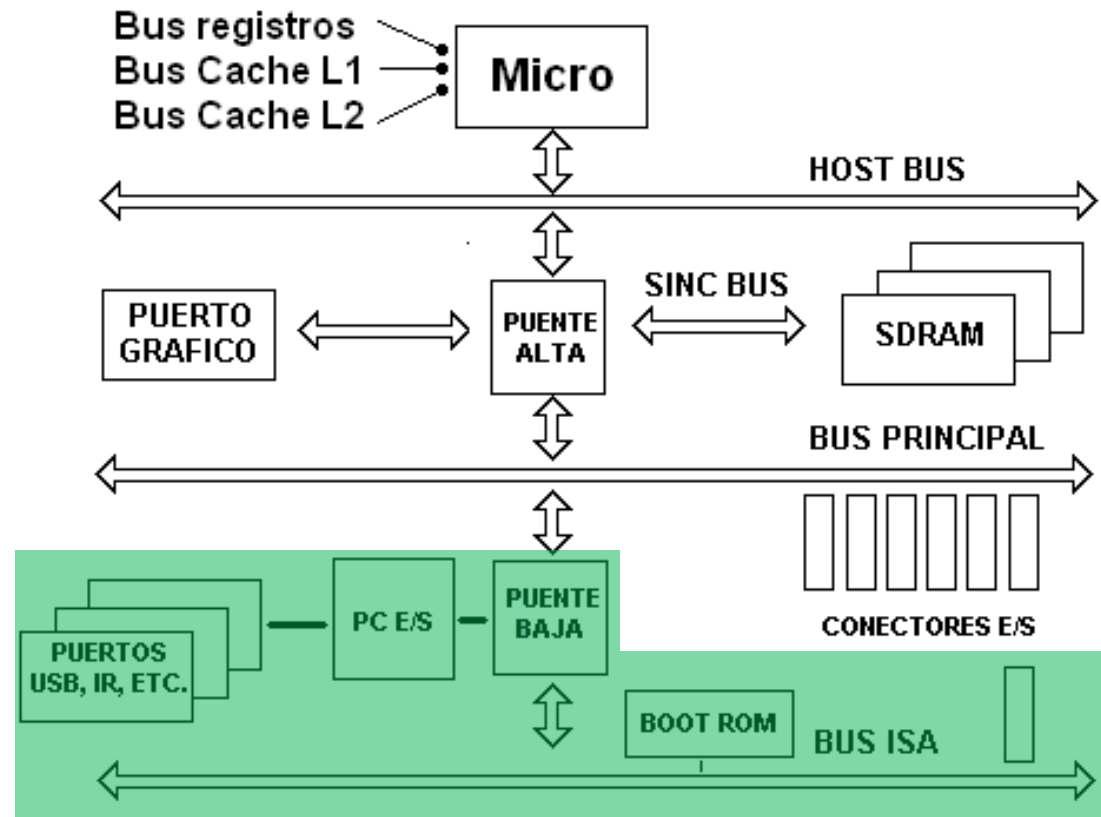
PUENTE DE BAJA VELOCIDAD

BUSES DE otros CANALES

Periféricos , Multi I/O, FDC,

Memoria terciaria

Representación del computador



Jerarquía

MICROPROCESADOR

Registros del procesador

BUS INTERNO DEL NUCLEO

Memoria Cache L1

Memoria Cache L2

BUS INTERNO DE PROCESADOR

Memoria Cache L3

BUS DE MEMORIA

Memoria primaria

BUS ESTÁNDAR o PRINCIPAL

Periféricos

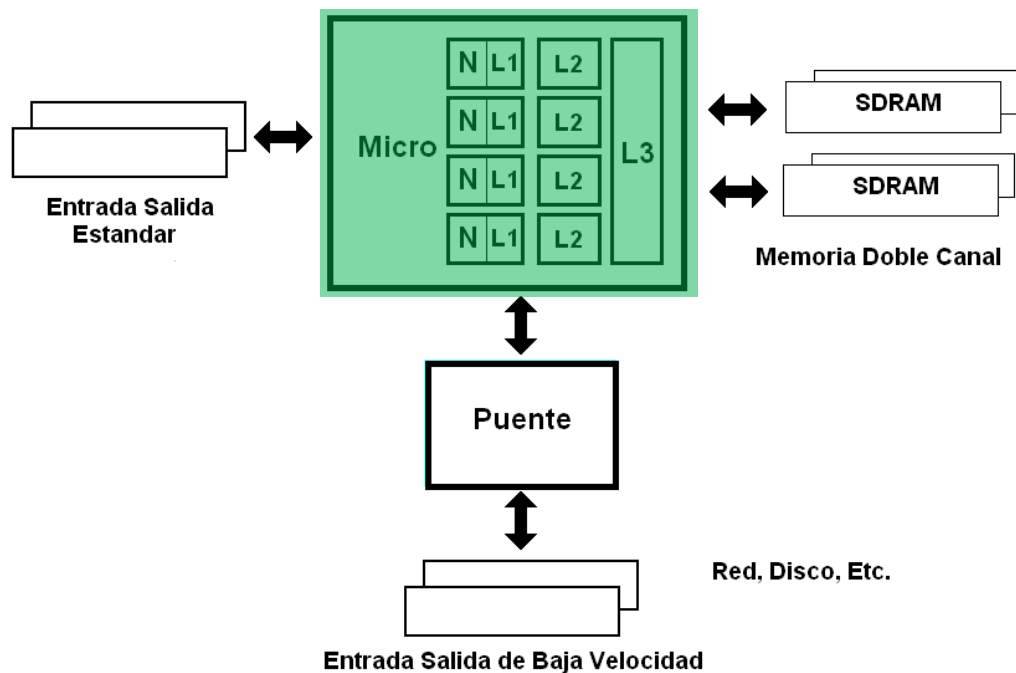
Memoria secundaria

PUENTE DE BAJA VELOCIDAD

BUSES DE otros CANALES

Memoria terciaria

Representación un computador basado en microprocesador multinúcleo *GLSI*



Jerarquía

MICROPROCESADOR

Registros del procesador

BUS INTERNO DEL NUCLEO

Memoria Cache L1

Memoria Cache L2

BUS INTERNO DE PROCESADOR

Memoria Cache L3

BUS DE MEMORIA

Memoria primaria

BUS ESTÁNDAR o PRINCIPAL

Periféricos

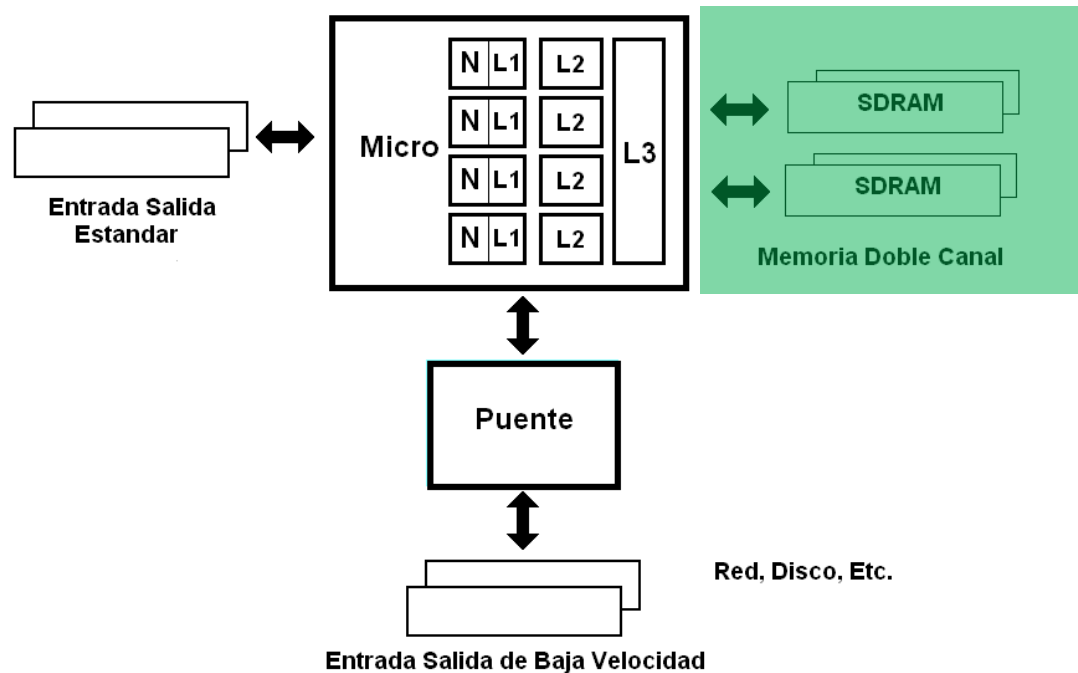
Memoria secundaria

PUENTE DE BAJA VELOCIDAD

BUSES DE otros CANALES

Memoria terciaria

Representación un computador basado en microprocesador multinúcleo *GLSI*



Jerarquía

MICROPROCESADOR

Registros del procesador

BUS INTERNO DEL NUCLEO

Memoria Cache L1

Memoria Cache L2

BUS INTERNO DE PROCESADOR

Memoria Cache L3

BUS DE MEMORIA

Memoria primaria

BUS ESTÁNDAR o PRINCIPAL

Periféricos

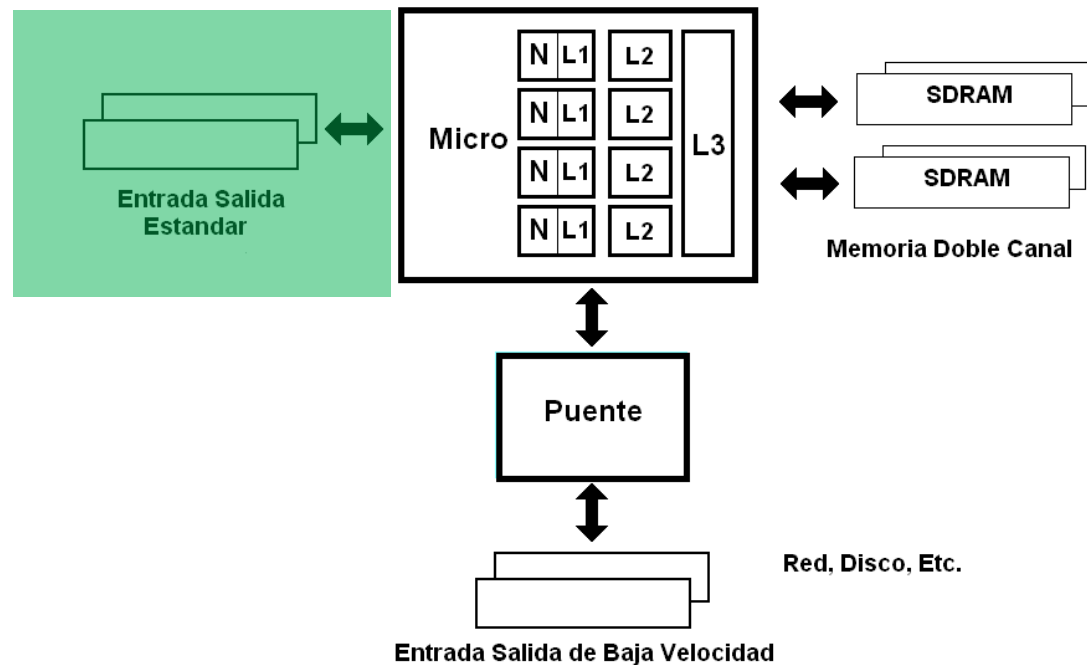
Memoria secundaria

PUENTE DE BAJA VELOCIDAD

BUSES DE otros CANALES

Memoria terciaria

Representación un computador basado en microprocesador multinúcleo *GLSI*



Jerarquía

MICROPROCESADOR

Registros del procesador

BUS INTERNO DEL NUCLEO

Memoria Cache L1

Memoria Cache L2

BUS INTERNO DE PROCESADOR

Memoria Cache L3

BUS DE MEMORIA

Memoria primaria

BUS ESTÁNDAR o PRINCIPAL

Periféricos

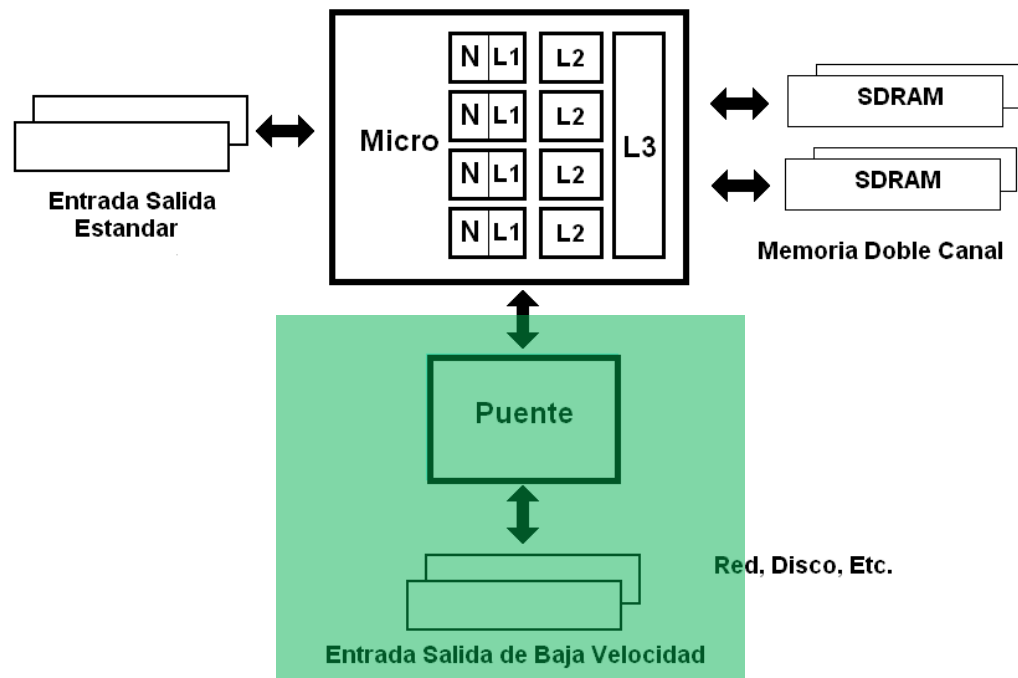
Memoria secundaria

PUENTE DE BAJA VELOCIDAD

BUSES DE otros CANALES

Memoria terciaria

Representación un computador basado en microprocesador multinúcleo *GLSI*



Unico Chip

SISTEMA INTEGRADO

8 PROCESADORES INDEPENDIENTES

2 Principales para SO y APPs

1 Procesador secundario para control de energía y reproducción de audio y video

1 Procesador Gráfico

2 procesadores de video

1 Procesador de Imágenes

1 Procesador de Audio

MEMORIA

ENTRADA SALIDA

HDMI, touch-screen, tarjetas memoria, USB, Wi-Fi, Bluetooth, GPS, Acelerómetros, otros

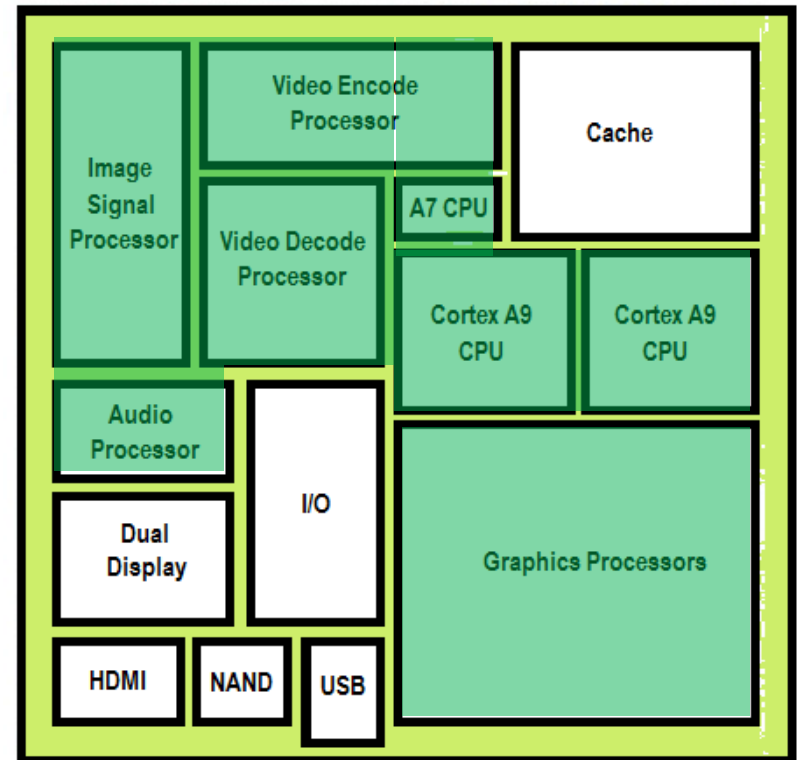
Representación de un computador basado en tecnología SoC para plataformas móviles ULSI

ULSI
260 10⁶ TR's

49 mm²



Nvidia Tegra 250 T20
año 2010



Unico Chip

SISTEMA INTEGRADO

8 PROCESADORES INDEPENDIENTES

2 Principales para SO y APPs

1 Procesador secundario para control de energía y reproducción de audio y video

1 Procesador Gráfico

2 procesadores de video

1 Procesador de Imágenes

1 Procesador de Audio

MEMORIA

ENTRADA SALIDA

HDMI, touch-screen, tarjetas memoria, USB, Wi-Fi, Bluetooth, GPS, Acelerómetros, otros

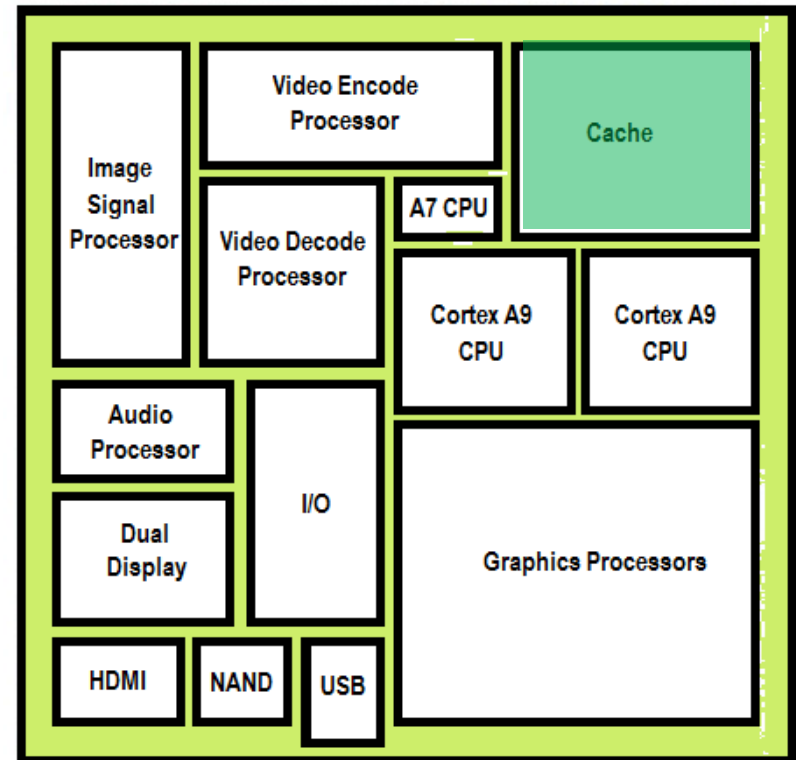
Representación de un computador basado en tecnología SoC para plataformas móviles ULSI

ULSI
260 10⁶ TR's

49 mm²



Nvidia Tegra 250 T20
año 2010



Único Chip

SISTEMA INTEGRADO

8 PROCESADORES INDEPENDIENTES

2 Principales para SO y APPs

1 Procesador secundario para control de energía y reproducción de audio y video

1 Procesador Gráfico

2 procesadores de video

1 Procesador de Imágenes

1 Procesador de Audio

MEMORIA

ENTRADA SALIDA

HDMI, touch-screen, tarjetas memoria, USB, Wi-Fi, Bluetooth, GPS, Acelerómetros, otros

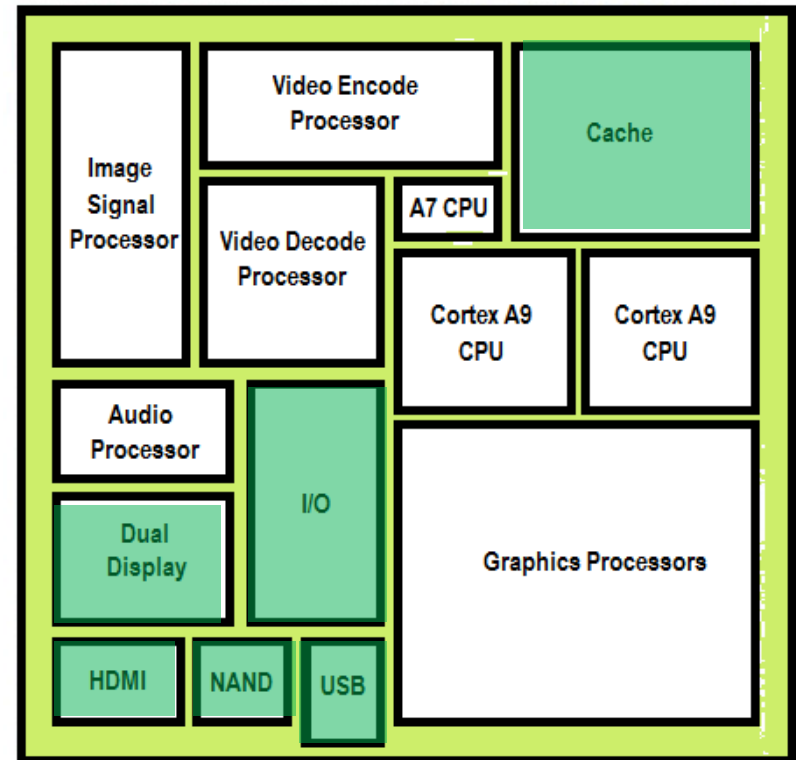
Representación de un computador basado en tecnología SoC para plataformas móviles *ULSI*

ULSI
260 10⁶ TR's

49 mm²



Nvidia Tegra 250 T20
año 2010



Representación de un computador multinivel mediante capas estructuradas

CAPAS FISICAS

Materiales tratados

Componentes electrónicos

Estructuras funcionales

- Unidad Aritmético lógica
- Unidad de control
- Memoria
- Entrada Salida

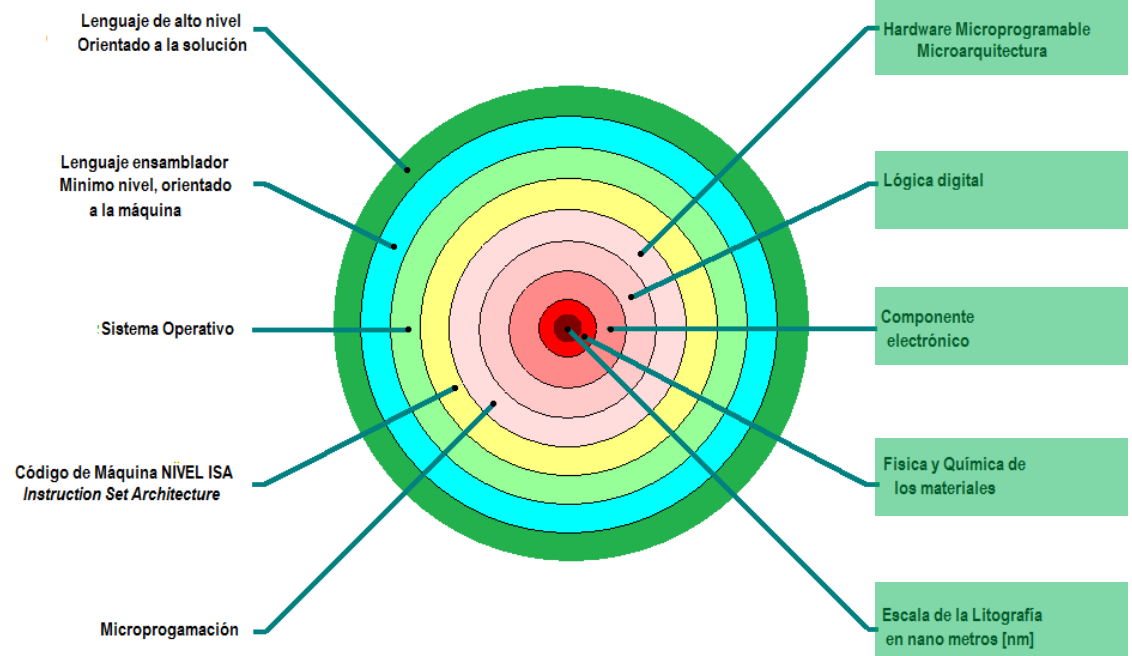
CAPAS ABSTRACTAS

Sistema Operativo

Programación de bajo nivel

Una Instrucción de máquina una instrucción de lenguaje ensamblador

Programacion de alto nivel



Representación de un computador multinivel mediante capas estructuradas

CAPAS FISICAS

Materiales tratados

Componentes electrónicos

Estructuras funcionales

- Unidad Aritmético lógica
- Unidad de control
- Memoria
- Entrada Salida

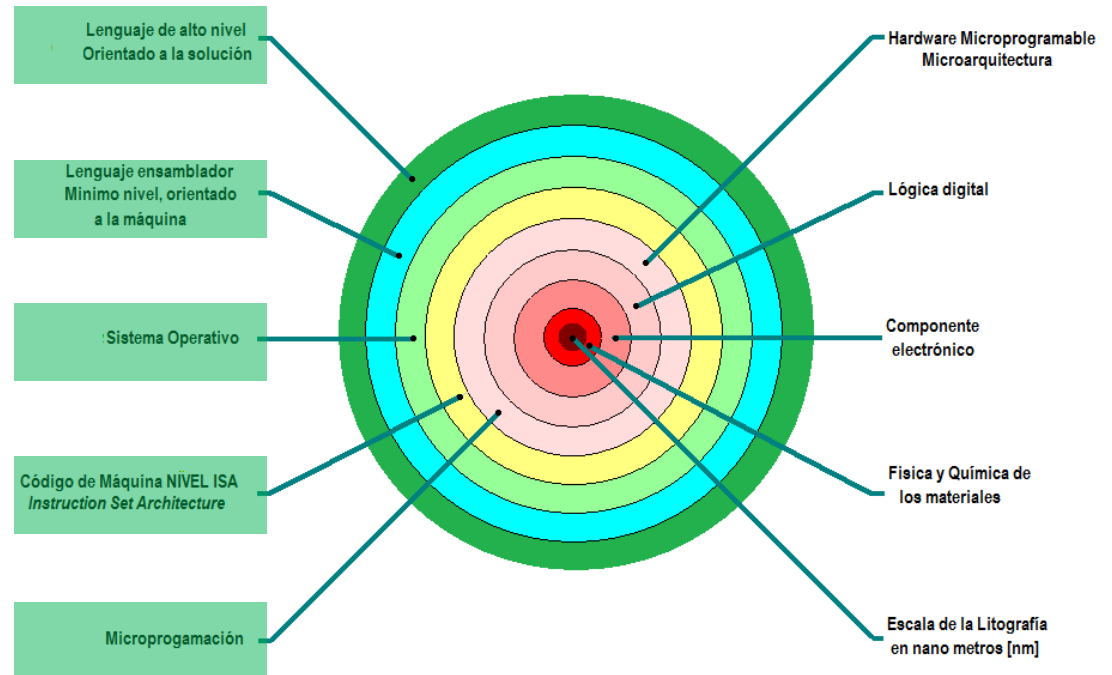
CAPAS ABSTRACTAS

Sistema Operativo

Programación de bajo nivel

Una Instrucción de máquina una instrucción de lenguaje ensamblador

Programacion de alto nivel



Bibliografía consultada.

Tanenbaum, Andrew. Structured Computer Organization 6 ed., Prentice Hall, Inc. Upper Saddle River, New Jersey, 2013.

Motorola series in solid state electronics, Ron Bishop, Basic Microprocessors and the 6800, Hayden Book Company, Inc. Rochelle Park, New Jersey, 1989.

Motorola Evaluatin Kit II Manual.

Stallings, William, Organización y arquitectura de computadores, 7 ma ed., Pearsons Educación S.A., Madrid, 2007.

Presentación electrónica en pdf -Plataformas Móviles de Comunicación y Procesamiento - Arquitectura de las Plataformas Móviles-Jesús González Peñalver.

www.intel.com , On line, procesadores core i, agosto de 2011)

www.wikipedia.org , On Line , agosto 2015

www.amd.com AMD: White papers "AMD Virtualization - Code Name Pacifica" online, agosto de 2005.

Imágenes, von Newman, Mark-1- Williams tube memory bits array, Google.com. Image Search, online, 2015, National Geographics Magazine.