ARO Labo Pipeline Questions

**1.1**

1. Dans le circuit mult\_2, les offsets sont incrémentés de 1 au lieu d’être incrémenté de 2 dans le circuit non-pipeliné, pourquoi?

* Comme le calcul est fait dans le circuit decode alors on a besoin d'une incrémentation de 1.

1. Dans le circuit fetch\_decode\_reg, le signal LR\_adr\_o vient d’un registre et est connecté au bloc decode au lieu du bloc bank\_register, pourquoi?

* On doit stocker la valeur précédente du fetch pour détecter l'aléa.

1. Dans le circuit decode, le signal adr\_reg\_d\_s va dans le circuit decode\_execute\_reg dans un registre alors que les signaux adr\_reg\_n\_s, adr\_reg\_m\_s et adr\_reg\_mem\_s ne sont pas stockés dans des registres, pourquoi ?

* Dans le decode on a déjà lu la valeur du registre N, M et MEM donc on en n'a plus besoin. On doit juste garder le registre D jusqu'à la fin pour la lire.

1. Dans le circuit decode\_execute\_reg, les signaux des bus de contrôle sont connectés aux registres avec une porte MUX contrairement aux autres signaux, pourquoi?

* Si le decode n'est pas activé, la valeur qui est restée va devenir parasite pour la suite du calcul. On remet à 0 les registres pour nettoyer le pipeline.

1. Si on voulait ajouter le multiplieur 5x3 pipeliné du laboratoire préparatoire, quelles seraient les conséquences sur le pipeline du processeur ? Comment ça pourrait être fait ?

* La multiplication est une série d'additions successives. Cela signifie que le bloc Execute nécessitera plus de temps pour effectuer cette opération. Il faut s'assurer que l'unité ALU dispose du temps nécessaire pour réaliser ce calcul.

**1.2**

1. Est-ce que le programme s’exécute correctement? Est-ce que les registres et la mémoire prennent les bonnes valeurs?

* non

1. Combien de cycles sont nécessaires pour exécuter ce programme?

* On a besoin de 15 cycles. Nb instruction + 4

**1.3**

1. Quelles dépendances posent des problèmes d’aléas?

- Les dépendances posent un problème lorsqu'on a un RAW.

2. Combien de cycles sont nécessaires pour résoudre un aléa de donnée?

- Il faut 5 cycles pour résoudre un aléa de donnée.

3. Quel est l’IPC sur le programme fourni ? Le throughput si la clock vaut 4KHz? La latence?

- L'IPC = 0.5

- le throughput = 2Hz

- la latence est de 2 ms

**2.1**

1. Comment savoir si une instruction est dépendante d’une instruction qui est pour le moment  
dans le stage EXECUTE? dans le stage MEMORY\_ACCESS? Dans le stage WRITE\_BACK?

- Comme on stock dans la banque de registre les valeur précédentes, on compare ces valeurs avec le registre de l'instruction actuelle. En premier on a l'execute puis memory access et finalement le write back.

2. Est-ce que ça pose un problème si une instruction dépend du résultat d’une instruction qui es au stage WRITE\_BACK?

- Oui c'est un problème.

3. Quelles informations doivent être mémorisées pour chaque instruction?

* On a besoin de adr\_reg\_bank\_write\_en, adr\_reg\_d\_s

4. Quelles informations permettent de savoir si le registre D est utilisé?

* C'est dans adr\_reg\_d\_s

**2.2**

1. Quelles informations permettent de savoir si le registre N, M ou mem sont utilisés?

- On doit regarder l'instruction et la doc.

1. Quelles informations permettent de savoir si le registre D est utilisé?

- Lorsque l'instruction écrit dans la mémoire ou dans un registre.

2. Une détection d’aléa de donnée va influencer quel(s) enable(s)? A quel moment ? Pourquoi?

- La détection influence l'enable de fetch et decode. Ensuite influence l'execute, memory access et write back après chaque coup d'horloge.