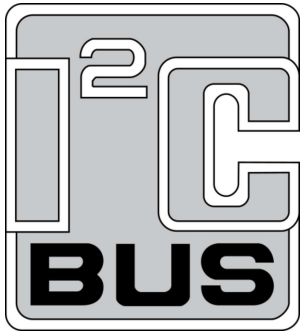


## I2C



Un article de Wikipédia, l'encyclopédie libre.



Logo I2C.

**I<sup>2</sup>C** (signifie : Inter-Integrated Circuit, en anglais) est un [bus informatique](#) qui a émergé de la « guerre des standards » lancée par les acteurs du monde électronique. Conçu par [Philips](#) pour les applications de [domotique](#) et d'électronique domestique, il permet de relier facilement un [microprocesseur](#) et différents circuits, notamment ceux d'un [téléviseur](#) moderne : récepteur de la télécommande, réglages des amplificateurs basses fréquences, [tuner](#), horloge, gestion de la prise [péritel](#), etc.

Il existe d'innombrables périphériques exploitant ce bus, il est même implémentable par logiciel dans n'importe quel [microcontrôleur](#). Le poids de l'industrie de l'électronique grand public a permis des prix très bas grâce à ces nombreux composants.

Ce bus porte parfois le nom de TWI (Two Wire Interface) ou TWSI (Two Wire Serial Interface) chez certains constructeurs.

## Historique

La norme I<sup>2</sup>C (Inter-Integrated Circuit) a été développée par [Philips](#) en 1982. Depuis elle est maintenue par [NXP](#) (ex-division semiconducteurs de Philips).

La version 1.0 a été publiée en 1992, la version 2.0 en 1998, la version 2.1 en 2000, la version 3.0 en 2007, la version 4 en février 2012, la version 5 en octobre 2012 et la 6<sup>e</sup> version en avril 2014.

## Couche physique

### Topologie

I<sup>2</sup>C est un bus [série synchrone bidirectionnel half-duplex](#), où plusieurs équipements, maîtres ou esclaves, peuvent être connectés au bus.

Les échanges ont toujours lieu entre un seul maître et un (ou tous les) esclave(s), toujours à l'initiative du maître (jamais de maître à maître ou d'esclave à esclave). Cependant, rien n'empêche un composant de passer du statut de maître à esclave et réciproquement.

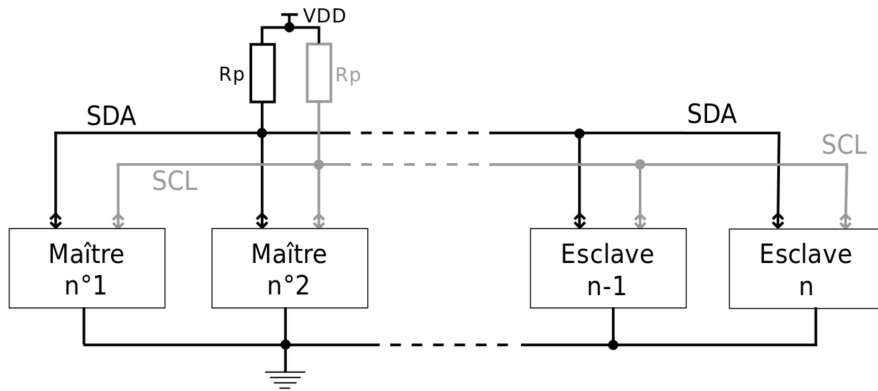
La connexion est réalisée par l'intermédiaire de deux lignes :

- SDA (Serial Data Line) : ligne de données bidirectionnelle,
- SCL (Serial Clock Line) : ligne d'horloge de synchronisation bidirectionnelle.

Il ne faut également pas oublier la masse qui doit être commune aux équipements.

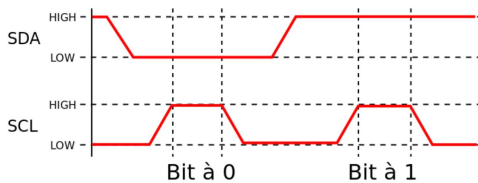
Les 2 lignes sont tirées au niveau de tension  $V_{DD}$  à travers des résistances de [pull-up](#) ( $R_p$ ).

Le nombre maximal d'équipements est limité par le nombre d'adresses disponibles, 7 bits d'adressage et un bit R/W (lecture ou écriture), soit 128 périphériques, mais il dépend également de la [capacité](#) ( $C_B$ ) du bus (dont dépend la vitesse maximale du bus). Il faut savoir que des adresses sont réservées pour diffuser des messages en [broadcast](#) et que de nombreuses adresses sont déjà attribuées par les fabricants ce qui limite grandement le nombre d'équipements (une variante d'adressage sur 10 bits existe également).



En mode "Ultra-fast mode" (UFm), le bus est unidirectionnel, il ne peut donc y avoir qu'un seul maître. Les 2 lignes sont renommées USCL (ligne d'horloge) et USDA (ligne de données), et côté maître, elles sont toujours en sortie et de type [push-pull](#). Ce mode a un usage limité : seules les écritures sont possibles car dans ce mode le fil de donnée (SDA) n'est pas bidirectionnel.

### Codage des bits



Le niveau (« HIGH » ou « LOW ») de la ligne SDA doit être maintenu stable pendant le niveau « HIGH » sur la ligne SCL pour la lecture du bit.

### Niveaux électriques

Les équipements connectés au bus le sont par des sorties de type drain ouvert (ou [collecteur ouvert](#)) sur les deux lignes SDA et SCL.

Les équipements sont donc câblés sur le bus par le principe du « ET câblé », ce qui veut dire qu'en cas d'émission simultanée de deux équipements, la valeur 0 écrase la valeur 1.

On dit donc :

- que l'état logique « 0 » ou « LOW » est l'état « dominant »,
- que l'état logique « 1 » ou « HIGH » est l'état « récessif ».

Lorsque le bus n'est pas utilisé, il est au niveau haut (à travers les résistances de pull-up  $R_p$ ).

Les niveaux utilisés entre les lignes de bus sont proportionnels à  $V_{DD}$  :

État	Niveau
Dominant ou « 0 » ou « LOW »	de $-0,5 V$ à $0,3 \times V_{DD}$
Récessif ou « 1 » ou « HIGH »	de $0,7 \times V_{DD}$ à $V_{DD}$

Sur certains anciens circuits, les niveaux utilisés peuvent être fixes et donnés par les formules suscitées pour une valeur de  $V_{DD} = 5 V$ .

### Temps et vitesses

Il existe cinq vitesses de transmission :

- « Standard mode (Sm) »  $\leq 100 \text{ kbit/s}$ ,
- « Fast mode (Fm) »  $\leq 400 \text{ kbit/s}$ ,
- « Fast plus mode (Fm+) »  $\leq 1 \text{ Mbit/s}$ ,
- « High-speed mode (Hs-mode) »  $\leq 3,4 \text{ Mbit/s}$ ,
- « Ultra-fast mode (UFm) »  $\leq 5 \text{ Mbit/s}$ , [unidirectionnel](#) uniquement.

Le bus étant synchrone, le maître impose l'horloge via la ligne SCL, il existe des temps minimum à respecter pour les paliers des niveaux « LOW » et « HIGH » sur cette ligne :

Mode	$t_{LOWmin}$	$t_{HIGHmin}$
Standard	$4,7 \mu s$	$4 \mu s$
Fast	$1,3 \mu s$	$0,6 \mu s$
Fast plus	$0,5 \mu s$	$0,26 \mu s$

Pour les deux vitesses supérieures, les temps dépendent de la capacité du bus ( $C_B$ ).

### Calcul des résistances $R_p$

Les [temps](#) et les [niveaux de tension](#) dépendent de la capacité du bus ( $C_B$ ) et de la valeur des résistances de pull-up ( $R_p$ ).

Il est difficile de modifier la valeur de la capacité du bus, mais on peut choisir la valeur des résistances pull-up.

**R<sub>Pmin</sub>**

La valeur minimale des résistances de pull-up est limitée par le courant des sorties SDA et SCL (I<sub>OL</sub>) lorsqu'elles sont à l'état LOW (V<sub>OL</sub>) :

$$R_{Pmin} = \frac{V_{DD} - V_{OLmax}}{I_{OL}}$$

Mode	V <sub>OLmax</sub>	I <sub>OL</sub>	R <sub>Pmin</sub> pour V <sub>DD</sub> =5V
Standard	0,4 V	3 mA	1 534 Ω
Fast	0,6 V	6 mA	733 Ω
Fast plus	0,4 V	20 mA	230 Ω

Pour les deux vitesses supérieures, les valeurs de I<sub>OL</sub> ne sont pas fournies.

**R<sub>Pmax</sub>**

La valeur maximale de R<sub>p</sub> est limitée par les temps de montée et de descente.

La variation du signal est donnée par la formule :

$$V(t) = V_{DD} \times (1 - e^{-\frac{t}{(R_P \times C_B)}})$$

Soit pour une variation de LOW = 0,3x V<sub>DD</sub> à HIGH = 0,7x V<sub>DD</sub> (choisie comme référence) :

- $0,3 \times V_{DD} = V_{DD} \times (1 - e^{-t_1/(R_P \times C_B)}) \rightarrow t_1 \approx 0,3566749 \times R_P \times C_B$
- $0,7 \times V_{DD} = V_{DD} \times (1 - e^{-t_2/(R_P \times C_B)}) \rightarrow t_2 \approx 1,2039729 \times R_P \times C_B$
- $T = t_2 - t_1 \approx 0,8473 \times R_P \times C_B$

$$R_{Pmax} = \frac{t_r}{0,8473 \times C_B}$$

avec t<sub>r</sub>, le temps de montée des signaux SDA et SCL.

Mode	t <sub>r</sub>	C <sub>B</sub>	R <sub>Pmax</sub>
Standard	1 μs	400 pF	2 950 Ω
Fast	300 ns	400 pF	885 Ω
Fast plus	120 ns	550 pF	257 Ω

## Couche liaison de données

### Échange maître ↔ esclave

Le message peut être décomposé en deux parties<sup>[1]</sup> :

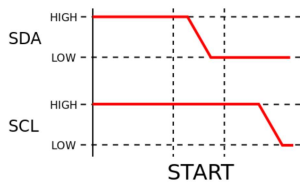
- Le maître est l'émetteur, l'esclave est le récepteur :
  - émission d'une condition de START par le maître (« S »),
  - émission de l'octet ou des octets d'adresse par le maître pour désigner un esclave, avec le bit R/W à 0 (voir la partie sur l'adressage ci-après),
  - réponse de l'esclave par un bit d'acquittement ACK (ou de non-acquittement NACK),
  - après chaque acquittement, l'esclave peut demander une pause (« PA »).
  - émission d'un octet de commande par le maître pour l'esclave,
  - réponse de l'esclave par un bit d'acquittement ACK (ou de non-acquittement NACK),
  - émission d'une condition de RESTART par le maître (« RS »),
  - émission de l'octet ou des octets d'adresse par le maître pour désigner le même esclave, avec le bit R/W à 1.
- Le maître devient récepteur, l'esclave devient émetteur :
  - émission d'un octet de données par l'esclave pour le maître,
  - réponse du maître par un bit d'acquittement ACK (ou de non-acquittement NACK),
  - (émission d'autres octets de données par l'esclave avec acquittement du maître),
  - pour le dernier octet de données attendu par le maître, il répond par un NACK pour mettre fin au dialogue,
  - émission d'une condition de STOP par le maître (« P »).



### Condition de START

La condition de START est une transgression de la règle de codage des bits qui est utilisée par le maître pour signifier le début d'une trame.

Cette condition est caractérisée par le passage de la ligne SDA du niveau « HIGH » au niveau « LOW » pendant que la ligne « SCL » est maintenue au niveau « HIGH ».



### Octet d'adressage

Chaque esclave doit avoir une adresse unique.

#### Adressage sur 7 bits

L'octet d'adressage peut être scindé en deux parties :

- les sept premiers bits correspondent à l'adresse proprement dite,
- le dernier bit est nommé R/W :
  - s'il est à 0, le maître signale qu'il va envoyer des octets, et donc que l'esclave doit les lire,
  - s'il est à 1, le maître indique qu'il veut recevoir des octets, et donc que l'esclave doit les fournir.

On peut également considérer que l'adresse est codée sur les 8 bits, chaque esclave a alors deux adresses, l'adresse paire qui sert à lui envoyer des données, l'adresse impaire pour lui demander d'en envoyer.

Plusieurs adresses sont réservées :

- « 00000000 » : utilisée pour adresser tous les esclaves (« broadcast »),
- « 0000001X » : utilisée pour accéder aux composants CBUS (ancêtre de l'I<sup>2</sup>C),
- « 0000010X » : réservée pour d'autres systèmes de bus,
- « 0000011X » : réservée pour des utilisations futures,
- « 00001XXX » : pour les composants haute-vitesse,
- « 11111XXX » : réservée pour des utilisations futures,
- « 11110yzX » : permet de préciser une adresse sur 10 bits.

#### Adressage sur 10 bits

Dans le cas d'un adressage sur 10 bits, il faut utiliser deux octets.

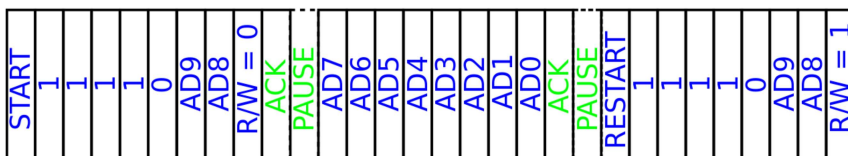
Le premier est l'octet « 11110yz0 » (comme précisé ci-dessus), les bits « yz » sont les 2 bits de poids forts de l'adresse, le bit R/W est toujours placé à 0.

Le deuxième octet est utilisé pour les 8 bits de poids faibles de l'adresse, il n'y a pas de bit R/W.



À la suite de l'émission du premier octet, plusieurs esclaves parmi ceux ayant une adresse sur 10 bits peuvent répondre par un ACK (ceux qui ont les mêmes 2 bits de poids fort). Peu importe, à l'issue du 2<sup>e</sup> octet, seul l'esclave auquel on s'est adressé répondra.

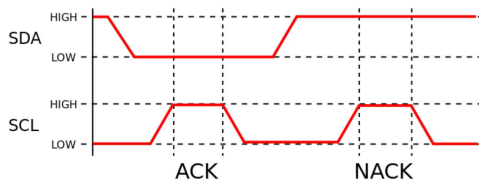
Le bit R/W étant toujours placé à 0, pour demander à un esclave d'écrire, à la suite de l'émission des 2 octets précédents, il faut renvoyer une condition de RESTART suivie de l'octet « 11110yz1 » (avec le bit R/W à 1), pour que l'esclave sache qu'il s'agit d'une commande de lecture.



### Acquittement

Le récepteur positionne le bit d'acquittement à :

- « ACK », en forçant la ligne SDA au niveau « LOW », pour signaler la bonne réception de l'octet, équivalent à un bit à 0,
- « NACK », en laissant la ligne SDA au niveau « HIGH », pour signaler un défaut dans la réception de l'octet, équivalent à un bit à 1.



Si le récepteur est dans l'incapacité de recevoir l'octet, il ne positionnera pas le bit d'acquittement, et celui-ci sera de facto un NACK.

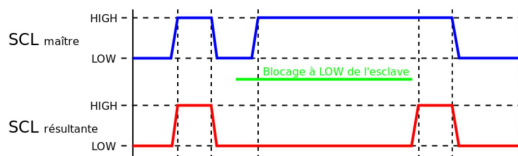
Quand le maître est le récepteur, il positionne également le bit d'acquittement à NACK pour interrompre le dialogue, avant d'envoyer la condition de STOP.

### Pause

À tout moment, l'esclave peut « bloquer » la ligne SCL au niveau « LOW » pour signaler qu'il est occupé.

Lorsque le maître fournit un niveau « HIGH » sur la ligne SCL, il détecte l'écrasement. Le maître doit continuer à fournir le niveau « HIGH » sur la ligne.

Lorsque l'esclave est à nouveau prêt, il libère la ligne SCL et celle-ci prend alors immédiatement le niveau « HIGH », le cycle reprend.



### Condition de RESTART

La condition de RESTART est une transgression de la règle de codage des bits qui est utilisée par le maître pour signifier le début d'une nouvelle trame dès la fin de la trame précédente sans passer par une condition de STOP.

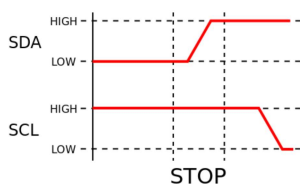
La condition de RESTART est similaire à la condition de START, à cela près que la ligne SCL doit d'abord passer du niveau « LOW » au niveau « HIGH ».



### Condition de STOP

La condition de STOP est une transgression de la règle de codage des bits qui est utilisée par le maître pour signifier la fin d'une trame.

Cette condition est caractérisée par le passage de la ligne SDA du niveau « LOW » au niveau « HIGH » pendant que la ligne SCL est maintenue au niveau « HIGH ».



## Multi-maîtres

### Synchronisation des horloges

La synchronisation est réalisée grâce au principe du « ET câblé » sur la ligne SCL :

- elle est maintenue à l'état « LOW » tant qu'un des maîtres la maintient à l'état « LOW »,
- elle est maintenue à l'état « HIGH » tant que tous les maîtres la maintiennent à l'état « HIGH ».

Les maîtres peuvent avoir des durées de maintien de « HIGH » et de « LOW » différentes des autres maîtres, cependant ils ne doivent commencer à compter cette durée que lorsque la ligne SCL est au niveau voulu.

Cela signifie que si un maître passe de « LOW » à « HIGH » et qu'il veut imposer le niveau « HIGH » pendant 5 ms, il ne pourra commencer ce maintien durant 5 ms que lorsque la ligne SCL sera à « HIGH », soit lorsque tous les maîtres seront à « HIGH », donc la durée du maintien peut être plus longue.

Ce mécanisme implique que, la durée de maintien de la ligne SCL :

- à l'état « LOW » est imposée par le maître ayant la durée correspondante la plus longue,
- à l'état « HIGH » est imposée par le maître ayant la durée correspondante la plus courte.

### Arbitrage des maîtres

Plusieurs règles doivent être respectées par les maîtres :

- lorsqu'un maître envoie une condition de START, les autres maîtres le détectent, et se taisent jusqu'à l'émission d'une condition de STOP,
- à la suite de l'émission de la condition de STOP, le maître l'ayant émis dispose d'un délai pour écrire une nouvelle trame, s'il ne l'a pas fait à l'issue de ce délai, le bus est considéré comme libre :

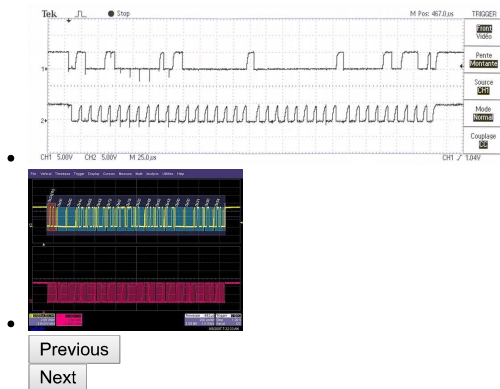
Mode	Durée avant « bus libre »
Standard	4,7 µs
Fast	1,3 µs
Fast plus	0,5 µs
High-speed	(aucune)
Ultra-fast	(aucune)

- Le bus étant libre, les autres maîtres peuvent accéder au bus.
- Dans le cas particulier où plusieurs maîtres accèderaient au bus simultanément (en envoyant simultanément une condition de START), les maîtres doivent monitorer ce qu'ils écrivent sur le bus, si un niveau « HIGH » écrit est lu « LOW », c'est qu'un autre maître émet, il doit alors immédiatement interrompre sa propre transmission et attendre la condition de STOP.

Trois conclusions :

- Les messages adressés aux esclaves ayant les adresses les plus petites (avec les bits de poids forts à 0) sont prioritaires,
- En cas d'adresses identiques, l'écriture est prioritaire sur la lecture,
- En cas de collision, le message prioritaire arrive à l'esclave sans avoir été altéré.

## Exemples de trames



Cliquez sur une vignette pour l'agrandir.

## Support par les systèmes d'exploitations

- [Microsoft Windows](#) : I<sup>2</sup>C est implémenté par des pilotes spécifiques, fournis par les fabricants pour la plupart des contrôleurs et capteurs disponibles sur le marché actuellement.
- [Mac OS X](#) : Il y a plus de 20 extensions pour le noyau qui communiquent avec les capteurs pour mesurer la tension, le courant, la température, l'accélération linéaire, la position angulaire et d'autres mesures physiques.
- [Linux](#) : I<sup>2</sup>C est utilisable grâce aux modules spécifiques à chaque matériel fonctionnant au-dessus de la pile I2C implémentée dans le noyau. Il y a des centaines de matériels supportés dans la version courante du noyau Linux.
- [FreeBSD](#), [NetBSD](#) et [OpenBSD](#) : Une implémentation de la pile I<sup>2</sup>C est fournie et ils disposent d'un nombre important de pilotes pour des contrôleurs maîtres et des capteurs.
- [AmigaOS](#) : le support peut être obtenu avec le composant *i2c.resource* pour AmigaOS 4.x ou la bibliothèque partagée *i2c.library* écrite par Wilhelm Noeker pour les systèmes plus anciens.
- [eCos](#) : supporte I<sup>2</sup>C pour plusieurs architectures matérielles.
- [Arduino](#) : I<sup>2</sup>C est utilisable avec la bibliothèque *Wire*.
- [Android](#) : le système d'exploitation Android étant basé sur le noyau Linux, Android bénéficie du support I<sup>2</sup>C de Linux.

## Technologies dérivées

I<sup>2</sup>C est à la base :

- de l'ACCESS.bus,
- de l'interface [VESA Display Data Channel](#) (DDC),
- du System Management Bus (SMBus),
- de l'Intelligent Platform Management Bus (IPMB, l'un des protocoles de l'[IPMI](#)).

Ces implantations présentent des différences dans les tensions et les fréquences d'horloge, et peuvent avoir des [interrupt lines](#) (IRQ).

## Notes et références

- ↑ (en) [The I<sup>2</sup>C-bus and how to use it \(including specifications\) : 1995 update](#) - Philips Semiconductors, I2c-bus.org, avril 1995 p. 7 [[PDF](#)]

## Voir aussi

Sur les autres projets Wikimedia :

- [Comment lire une manette Nunchuk \(I2C\) avec un FPGA](#), sur Wikiversity

## Liens externes

- bus
- UART
- CAN
- SPI (Serial Peripheral Interface).

## Liens externes

- (en) Norme I2C : [NXP : I2C-bus specification and user manual v.6, du 4 avril 2014](#)
- (en) [Représentation détaillée](#)
- (en) [Mode d'emploi de l'inventeur Phillips Semiconducteurs : The I2C-bus and how to use it - avril 1995](#)

-  [Portail de l'électricité et de l'électronique](#)
-  [Portail des télécommunications](#)

## v · m Couches du modèle OSI

[\[hide\]](#) Couches du modèle OSI

- [BGP](#)
- [DHCP](#)
- [DNS](#)
- [FTP](#)
- [Gopher](#)
- [H.323](#)
- [HTTP](#)
- [IMAP](#)
- [IPP](#)
- [IRC](#)
- [LDAP](#)
- [MODBUS](#)
- [NFS](#)
- [NNTP](#)
- [POP3](#)
- [RDP](#)
- [RTSP](#)
- [SILC](#)
- [SIMPLE](#)
- [SIP](#)
- [SMB-CIFS](#)
- [SMTP](#)
- [SNMP](#)
- [SOAP](#)
- [SSH](#)
- [TCAP](#)
- [Telnet](#)
- [TFTP](#)
- [VoIP](#)
- [WebDAV](#)
- [XMPP](#)

## 7. Application

- [AFP](#)
- [ASCII](#)
- [ASN.1](#)
- [MIME](#)
- [NCP](#)
- TDI
- [TLS](#)
- TLV
- [Unicode](#)
- [UUCP](#)
- [Vidéotex](#)
- [XDR](#)

## 6. Présentation

- [AppleTalk](#)
- [DTLS](#)
- [H.323](#)
- [NetBIOS](#)
- [RPC](#)
- [RSerPool](#)
- [SOCKS](#)

## 5. Session

- DCCP
- RSVP
- RTP
- SCTP
- SPX
- TCP
- UDP

#### 4. Transport

**3. Réseau**

- [ARP](#)
- [Babel](#)
- [BOOTP](#)
- [CLNP](#)
- [ICMP](#)
- [IGMP](#)
- [IPv4](#)
- [IPv6](#)
- [IPX](#)
- [IS-IS](#)
- [NetBEUI](#)
- [OSPF](#)
- [RARP](#)
- [RIP](#)
- [X.25](#)

**2. Liaison**

- [Anneau à jeton \(Token Ring\)](#)
- [Anneau à jeton adressé \(Token Bus\)](#)
- [ARINC 429](#)
- [AFDX](#)
- [ATM](#)
- [Bitnet](#)
- [CAN](#)
- [Ethernet](#)
- [FDDI](#)
- [Frame Relay](#)
- [HDLC](#)
- [I²C](#)
- [IEEE 802.3ad \(LACP\)](#)
- [IEEE 802.1aq \(SPB\)](#)
- [LLC](#)
- [LocalTalk](#)
- [MIL-STD-1553](#)
- [PPP](#)
- [STP](#)
- [Wi-Fi](#)
- [X.21](#)

**1. Physique**

- [4B5B](#)
- [ADSL](#)
- [BHDn](#)
- [Bluetooth](#)
- [Câble coaxial](#)
- [Codage bipolaire](#)
- [CSMA/CA](#)
- [CSMA/CD](#)
- [DSSS](#)
- [E-carrier](#)
- [EIA-232](#)
- [EIA-422](#)
- [EIA-449](#)
- [EIA-485](#)
- [FHSS](#)
- [HomeRF](#)
- [IEEE 1394 \(FireWire\)](#)
- [IrDA](#)
- [ISDN](#)
- [Manchester](#)
- [Manchester différentiel](#)
- [Miller](#)
- [MLT-3](#)
- [NRZ](#)
- [NRZI](#)
- [NRZM](#)
- [Paire torsadée](#)
- [PDH](#)
- [SDH](#)
- [SDSL](#)
- [SONET](#)
- [T-carrier](#)
- [USB](#)
- [VDSL](#)
- [V.21-V.23](#)
- [V.42-V.90](#)
- [Wireless USB](#)
- [10BASE-T](#)
- [10BASE2](#)
- [10BASE5](#)
- [100BASE-TX](#)
- [1000BASE-T](#)

**Articles liés**

- [Pile de protocoles](#)
- [Modèle Internet](#)



Catégories

Catégories :

- [Protocole de communication](#)
- [Bus informatique](#)

Tuner Un tuner, syntoniseur, syntonisateur au Québec, est un appareil électronique permettant de recevoir un signal électromagnétique émis sur une bande de fréquences, conserver la partie du signal émise sur une fréquence particulière et rejeter les parties du signal émises sur les autres fréquences. Téléviseur Un téléviseur, par métonymie une télévision, ou encore par apocope une télé, est un appareil affichant sur un écran des émissions de télévision. Il contient pour cela un décodeur de signaux qui accepte un ou plusieurs formats de diffusion de télévision, qui peuvent être analogiques ou numériques. Microprocesseur Un microprocesseur est un processeur dont tous les composants ont été suffisamment miniaturisés pour être regroupés dans un unique boîtier.

This page is based on a [Wikipedia](#) article written by [contributors](#) ([read/edit](#)).

Text is available under the [CC BY-SA 4.0](#) license; additional terms may apply.

Images, videos and audio are available under their respective licenses.

**Tell your friends about Wikiwand!**

[Gmail](#) [Facebook](#) [Twitter](#)  [Link](#)

- [Home](#)
- [About](#)
- [Press](#)
- [Site Map](#)
- [Terms Of Service](#)
- [Privacy Policy](#)

I2C

- [Introduction](#)
- [Historique](#)
- [Couche physique](#)
  1. [Topologie](#)
  2. [Codage des bits](#)
  3. [Niveaux électriques](#)
  4. [Temps et vitesses](#)
  5. [Calcul des résistances R<sub>p</sub>](#)
- [Couche liaison de données](#)
  1. [Échange maître ↔ esclave](#)
  2. [Multi-mâîtres](#)
- [Exemples de trames](#)
- [Support par les systèmes d'exploitations](#)
- [Technologies dérivées](#)
- [Notes et références](#)
- [Voir aussi](#)
  1. [Articles connexes](#)
  2. [Liens externes](#)

Listen to this article