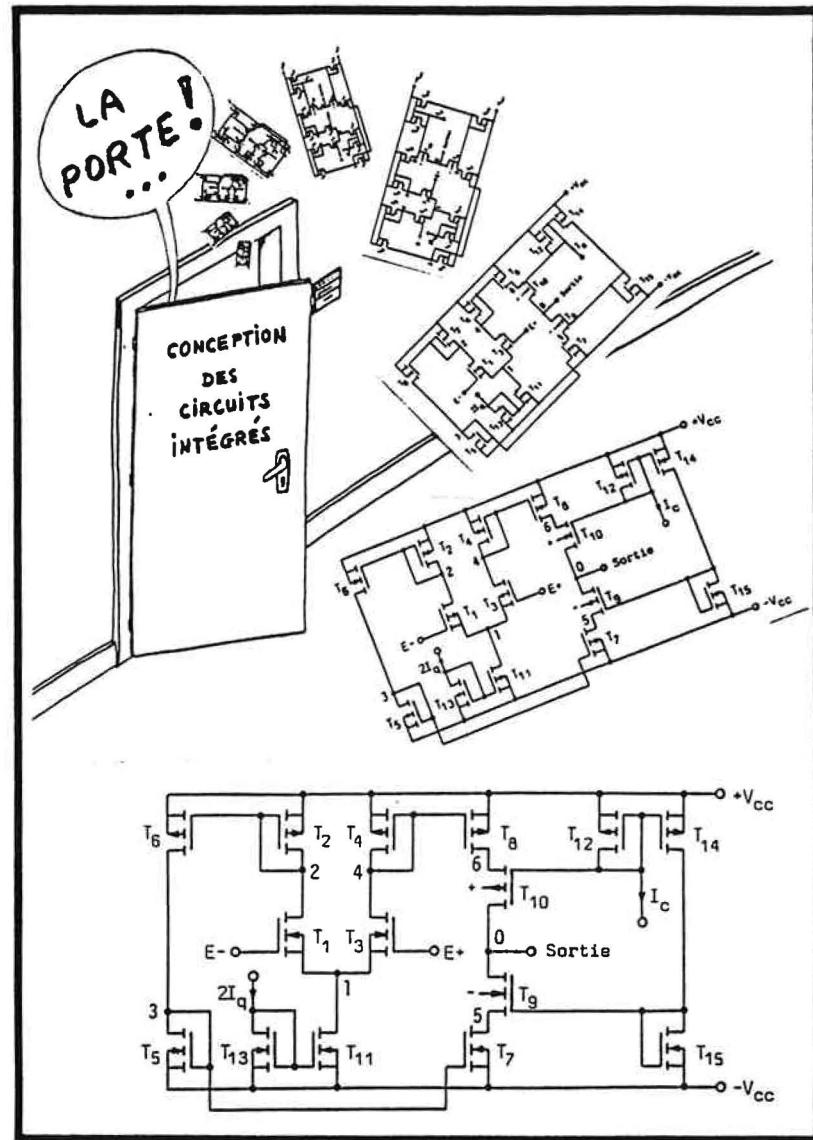


ETUDE ET DIMENSIONNEMENT D'UN

OTA CASCODE CMOS



Rédaction:

F. Krummenacher

Rapport LEG 82.04

TABLE DES MATIERES

<u>INTRODUCTION</u>	1
<u>1. ANALYSE THEORIQUE DE L'OTA</u>	2
1.1 <u>Description de l'amplificateur</u>	2
1.2 <u>Fonction de transfert en boucle ouverte</u>	2
1.3 <u>Fonction de transfert de l'OTA contre-réactionné</u>	4
1.3.1 Expression simplifiée de la fonction de transfert en boucle ouverte	4
1.3.2 Amplificateur à gain positif	6
1.3.3 Amplificateur à gain négatif	6
1.4 <u>Réponse indicielle pour petits signaux</u>	6
1.4.1 Premier cas: 2 pôles complexes conjugués	7
1.4.2 Second cas: 2 pôles réels	7
1.4.3 Application: amplificateur à gain négatif avec contre-réaction capacitive	7
1.5 <u>Comportement en forts signaux</u>	9
1.5.1 Slew-rate	9
1.5.2 Amplificateur à gain positif	9
1.5.3 Amplificateur à gain négatif	9
1.5.4 Remarque	10
1.6 <u>Calcul approché du temps d'établissement</u>	10
1.6.1 Objectifs et hypothèses de travail	10
1.6.2 Réponse indicielle avec caractéristique réelle	11
1.6.3 Evaluation du temps d'établissement	12
1.6.4 Commentaires	14
1.7 <u>Bruit</u>	14
1.7.1 Rappel du modèle	14
1.7.2 Calcul du bruit équivalent d'entrée de l'OTA	15
1.7.3 Bruit 1/f	16
1.7.4 Bruit blanc	16
<u>2. DIMENSIONNEMENT D'UN OTA D'APRES SPECIFICATIONS</u>	17
2.1 <u>Généralités</u>	17

2.2	<u>Paire différentielle</u>	20
2.3	<u>Miroirs de courant</u>	23
2.3.1	$T_5 - T_7$	24
2.3.2	$T_2 - T_6$ et $T_4 - T_8$	24
2.4	<u>Transistors cascodes</u>	25
2.5	<u>Circuit de polarisation de l'étage cascode</u>	28
2.6	<u>Commentaires</u>	29
2.7	<u>Minimisation de la tension d'offset</u>	29
	<u>CONCLUSIONS</u>	33
	Références	34
	<u>ANNEXES:</u>	
	Bruit des transistors cascodes	A1
	Evaluation de la longueur équivalente du canal d'un MOST	A3
	Evaluation de la tension de modulation V_M	A9

ETUDE ET DIMENSIONNEMENT D'UN OTA CASCODE CMOS

INTRODUCTION

La plupart des circuits à capacités commutées, notamment les filtres du même nom, ne font appel qu'à 3 types d'éléments: des capacités, des interrupteurs et des amplificateurs opérationnels. L'absence de charge résistive contre terre permet de réaliser ces derniers sous la forme d'amplificateurs à transconductance (c.à.d. avec sortie en courant) ou OTA (Operational Transconductance Amplifier).

L'objet du présent rapport est l'analyse des caractéristiques d'un type d'OTA couramment utilisé. On en déduira les expressions synthétiques permettant le dimensionnement correct des transistors constituant l'amplificateur en vue d'atteindre telle ou telle performance.

1. ANALYSE THEORIQUE DE L'OTA

1.1 Description de l'amplificateur

Similaire à sa version à transistors bipolaires bien connue, l'OTA CMOS est représenté à la fig.1.1.

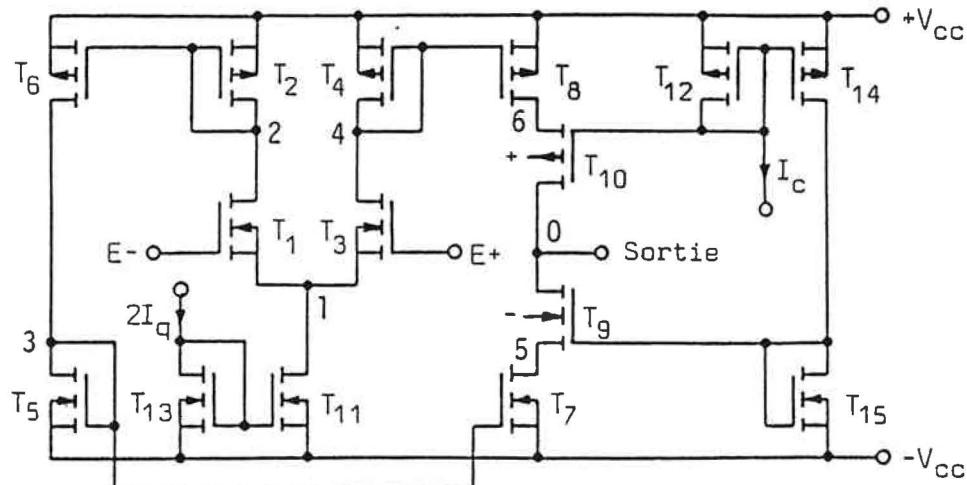


Fig.1.1 Schéma équivalent de l'OTA CMOS

Le courant circulant dans la branche positive de la paire différentielle T_1-T_3 est injecté au noeud de sortie via le miroir T_4-T_8 alors que le courant qui en parcourt la branche négative est soutiré du noeud de sortie via les miroirs T_2-T_6 et T_5-T_7 . Les transistors cascodes T_9 et T_{10} , polarisés par T_{12}, T_{14} et T_{15} que traverse le courant I_c , permettent une réduction significative de la conductance de sortie de l'OTA, d'où une amélioration du gain DC sur charge capacitive.

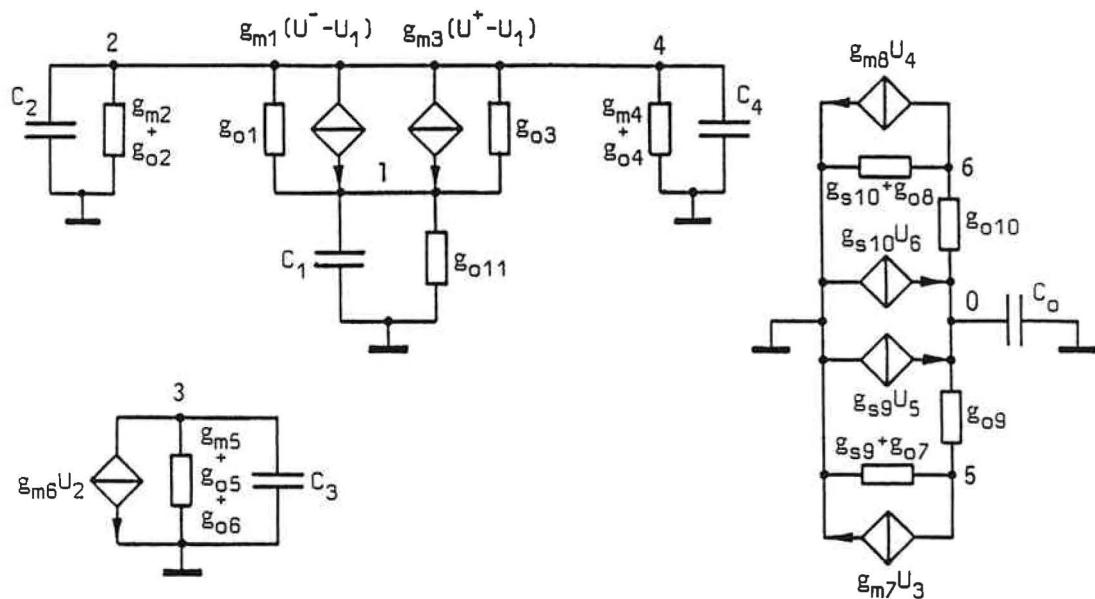
Les transistors formant la paire différentielle sont réalisés dans un caisson séparé dans le but de maximiser la réjection de tension d'alimentation dans les montages à contre-réaction capacitive (cette configuration réduit au minimum les capacités parasites couplant les entrées $E+$ et $E-$ et l'un ou l'autre des potentiels d'alimentation).

Pour augmenter la transconductance équivalente de l'amplificateur, le gain des miroirs de courant peut être choisi supérieur à l'unité; nous verrons en quoi ce gain influence le bruit du circuit.

1.2 Fonction de transfert en boucle ouverte

Le schéma pour accroissement correspondant au circuit de la fig.1.1 se

présente comme suit (la numérotation des noeuds a été reprise de la fig. 1.1):



avec U^+ : accroissement de tension à l'entrée positive E^+
 U^- : accroissement de tension à l'entrée négative E^-
 U_i : accroissement de tension au noeud i
 C_{pj} : capacité parasite équivalente du noeud interne j
 C_o : capacité de charge équivalente du noeud de sortie
 g_{mk} : transconductance de grille du transistor T_k
 g_{sl} : transconductance de source du transistor T_1
 g_{om} : conductance de sortie du transistor T_m

Fig.1.2 Schéma pour accroissements

Les capacités parasites des noeuds 5 et 6, dont l'influence est généralement négligeable, ne sont pas prises en considération ici.

Le calcul de la fonction de transfert fait appel aux hypothèses suivantes (les facteurs A_i , A'_i et A''_i désignent le gain en courant des miroirs T_4-T_8 , T_2-T_6 et T_5-T_7 , respectivement):

$$a) g_{m3} = g_{m1} \gg g_{o11}$$

$$d) g_{m7} = A''_i \cdot g_{m5}$$

$$b) g_{m8} = A_i \cdot g_{m4}$$

$$e) A'_i \cdot A''_i = A_i$$

$$c) g_{m6} = A'_i \cdot g_{m2}$$

$$f) g_{mi}, g_{si} \gg g_{oi} \quad (i=1 \dots 10)$$

On obtient aisément:

$$U_o = \frac{A_o}{1+sT_o} \left[\frac{U^+}{1+sT_{p4}} - \frac{U^-}{(1+sT_{p2})(1+sT_{p3})} - \frac{U^+ + U^-}{2(1+sT_{p1})} \left(\frac{1}{1+sT_{p4}} - \frac{1}{(1+sT_{p2})(1+sT_{p3})} \right) \right] \quad (1.2.1)$$

avec $A_o = g_m/g_o$ où $\begin{cases} g_m = A_i \cdot g_{m1} \\ g_o = g_{o7} \cdot g_{o9}/g_{s9} + g_{o8} \cdot g_{o10}/g_{s10} \end{cases}$ (1.2.2)

$$g_o = g_{o7} \cdot g_{o9}/g_{s9} + g_{o8} \cdot g_{o10}/g_{s10} \quad (1.2.3)$$

$$T_o = C_o/g_o \quad (1.2.4)$$

$$T_{p1} = C_1/2g_{m1} \quad (1.2.5)$$

$$T_{p2} = C_2/g_{m2} \quad (1.2.6)$$

$$T_{p3} = C_3/g_{m5} \quad (1.2.7)$$

$$T_{p4} = C_4/g_{m4} \quad (1.2.8)$$

Dans la plupart des cas concrets, nous avons:

$$T_o \gg T_{p2}, T_{p3}, T_{p4} > T_{p1} \quad (1.2.9)$$

Pour la suite de l'analyse il est utile de définir la pulsation à gain unité ω_u comme:

$$\omega_u = 1/T_o = A_o/T_o = g_m/C_o \quad (1.2.10)$$

1.3 Fonction de transfert de l'OTA contre-réactionné

Sans prétendre à une analyse détaillée, nous nous contenterons de traduire l'essentiel du comportement de l'OTA bouclé avec un taux de contre-réaction β indépendant de la fréquence.

1.3.1 Expression simplifiée de la fonction de transfert en boucle ouverte

Considérons la marge de phase à la pulsation $\beta\omega_u$ ($\omega_u = A_o/T_o$): on voit, d'après (1.2.1) que la constante de temps T_o provoque un déphasage d'environ -90° car $A_o\beta \gg 1$. Dès lors, si l'on admet une marge de phase de 60° au moins, le déphasage supplémentaire dû aux petites constantes de temps T_{p1}, T_{p2}, T_{p3} et T_{p4} ne doit pas dépasser 30° . Dans ce domaine, on peut développer le produit $(1+sT_{p1})(1+sT_{p2})\dots(1+sT_{pn})$ et ne tenir compte que des termes proportionnels à s en négligeant les termes proportionnels à s^2, s^3, \dots, s^n . On en tire:

$$\prod_{k=1}^n (1+sT_{pk}) \approx 1+s \sum_{k=1}^n T_{pk} \quad (1.3.1)$$

Pratiquement, cette relation constitue une bonne approximation du déphasage ϕ pour $\phi < 30^\circ$, soit dans le domaine [1]:

$$\omega \leq 0,5 / \sum_{k=1}^n T_{pk} \quad (1.3.2)$$

La fonction de transfert en boucle ouverte peut s'écrire sous la forme:

$$U_o = \frac{A_o}{1+sT_o} \left[U^+ \cdot F(s) - U^- \cdot G(s) \right] \quad (1.3.3)$$

avec, selon (1.2.1):

$$F(s) = \frac{1}{1+sT_{p4}} - \frac{1/2}{1+sT_{p1}} \left(\frac{1}{1+sT_{p4}} - \frac{1}{(1+sT_{p2}) \cdot (1+sT_{p3})} \right) \quad (1.3.4)$$

et

$$G(s) = \frac{1}{(1+sT_{p2}) \cdot (1+sT_{p3})} + \frac{1/2}{1+sT_{p1}} \left(\frac{1}{1+sT_{p4}} - \frac{1}{(1+sT_{p2}) \cdot (1+sT_{p3})} \right) \quad (1.3.5)$$

En utilisant l'approximation (1.3.1), valable pour $\omega \leq 0,5 / (T_{p1} + T_{p2} + T_{p3} + T_{p4})$, $F(s)$ et $G(s)$ deviennent:

$$F(s) \approx G(s) \approx \frac{1+s\{T_{p1}+(T_{p2}+T_{p3}+T_{p4})/2\}}{1+s(T_{p1}+T_{p2}+T_{p3}+T_{p4})} \quad (1.3.6)$$

Cette expression est du type:

$$F(s) \approx \frac{1+sT_n}{1+sT_d} \quad \text{avec } T_d/2 < T_n < T_d \quad (1.3.7)$$

Pour $\omega \leq 0,5/T_d$, nous pouvons l'approximer par:

$$F(s) \approx \frac{1}{1+s(T_d-T_n)} \quad (1.3.8)$$

On peut donc écrire:

$$F(s) \approx G(s) \approx \frac{1}{1+sT_p/2} \quad \text{pour } \omega \leq 0,5 / (T_{p1} + T_p) \quad (1.3.9)$$

$$\text{où } T_p = T_{p2} + T_{p3} + T_{p4} \quad (1.3.10)$$

On obtient ainsi l'expression simplifiée de la fonction de transfert en boucle ouverte, valable jusqu'à la pulsation $\omega \approx 0,5/(T_{p1}+T_p)$:

$$U_o = \frac{A_0}{(1+sT_o)(1+sT_p/2)} \cdot (U^+ - U^-) \quad (1.3.11)$$

$$\text{avec } T_p = T_{p2} + T_{p3} + T_{p4} \ll T_o$$

On remarque que la constante de temps parasite T_p représente la somme des constantes de temps associées aux miroirs de courant des branches positive et négative de l'OTA.

1.3.2 Amplificateur à gain positif

$$\text{Dans ce cas: } U^+ = U_e$$

$$U^- = \beta U_s$$

En introduisant ces 2 relations et (1.2.10) dans l'expression (1.3.11) avec l'hypothèse $A_0\beta \gg 1$, on trouve:

$$U_s(s) \approx \frac{U_e}{\beta} \cdot \frac{1-1/A_0\beta}{1+sT_u/\beta+s^2T_uT_p/2\beta} \quad (1.3.12)$$

Cette formulation a l'avantage de faire ressortir clairement les effets du gain fini A_0 et des constantes de temps dominantes du circuit.

1.3.3 Amplificateur à gain négatif

$$\text{Dans ce cas: } U^+ = 0$$

$$U^- = (1-\beta)U_e + \beta U_s$$

Ces 2 dernières relations, combinées avec (1.3.11), donnent pour $A_0\beta \gg 1$:

$$U_s(s) \approx -U_e \cdot \frac{1-\beta}{\beta} \cdot \frac{1-1/A_0\beta}{1+sT_u/\beta+s^2T_uT_p/2\beta} \quad (1.3.13)$$

$$\text{avec } T_u = 1/\omega_u = T_o/A_0 = C_o/g_m$$

$$\text{et } T_p = T_{p2} + T_{p3} + T_{p4}$$

1.4 Réponse indicielle pour petits signaux

Le comportement transitoire de l'amplificateur contre-réactionné est déterminé par les zéros du dénominateur de la fonction de transfert (1.3.12) ou (1.3.13). Ils sont soit complexes conjugués, soit tous deux réels [1].

1.4.1 Premier cas: 2 pôles complexes conjugués

Lorsque $T_p > T_u/2\beta$ la réponse indicielle est de la forme:

$$U_s(t) = U_{s\infty} \left[1 - \left(1 - U_{s0}/U_{s\infty}\right) \cdot (\cos \omega t + \sin \omega t / \delta) \cdot e^{-t/T_p} \right] \quad (1.4.1)$$

$$\text{avec } \omega = \delta/T_p \quad (1.4.2)$$

$$\delta = \sqrt{2\beta T_p / T_u - 1} \quad (1.4.3)$$

U_{s0} et $U_{s\infty}$ sont les valeurs de la tension de sortie U_s pour $t=0^+$, respectivement $t \rightarrow \infty$. Notons encore que (1.4.1) est une expression approchée dont la validité est limitée à $t > 2(T_{p1} + T_p)$, selon (1.3.2).

1.4.2 Second cas: 2 pôles réels

Si $T_p \leq T_u/2\beta$, la réponse indicielle prend la forme, pour $t > 2(T_{p1} + T_p)$

$$U_s(t) = U_{s\infty} \left[1 - \left(1 - U_{s0}/U_{s\infty}\right) \cdot \left(\frac{1+\delta}{2\delta} e^{-t/T_a} - \frac{1-\delta}{2\delta} e^{-t/T_b} \right) \right] \quad (1.4.4)$$

$$\text{avec } T_a = T_p/(1-\delta) \quad (1.4.5)$$

$$T_b = T_p/(1+\delta) \quad (1.4.6)$$

$$\delta = \sqrt{1 - 2\beta T_p / T_u} \quad (1.4.7)$$

U_{s0} et $U_{s\infty}$ sont définis comme au paragraphe précédent.

Dans le cas où $T_p \ll T_u/\beta$ ($\delta \approx 1$), on a:

$$U_s(t) = U_{s\infty} \left[1 - \left(1 - U_{s0}/U_{s\infty}\right) e^{-t\beta/T_u} \right] \quad (1.4.8)$$

1.4.3 Application: amplificateur à gain négatif avec contre-réaction capacitive

Dans les circuits à capacités commutées, il est fréquent que dans l'une ou l'autre phase, une fraction du circuit se ramène au schéma équivalent ci-après (fig.1.4):

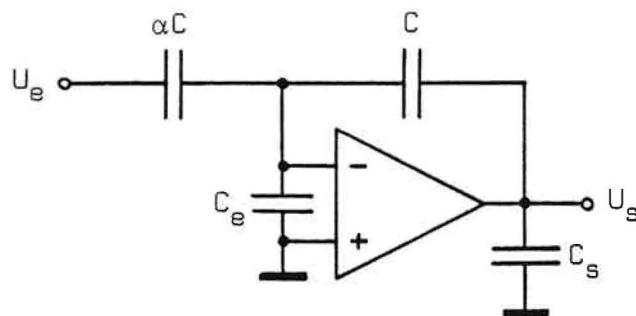


Fig.1.4 OTA avec contre-réaction capacitive

La branche αC , C fixe le gain (négatif) entre l'entrée et la sortie de l'amplificateur. C_e est la capacité équivalente à l'entrée de l'OTA alors que C_s représente l'ensemble des capacités externes chargeant la sortie de l'amplificateur, à l'exclusion du réseau de contre-réaction.

Le taux de contre-réaction ayant pour valeur:

$$\beta = \frac{1}{1+\alpha+C_e/C} \quad (1.4.9)$$

la capacité de charge équivalente de l'OTA vaut:

$$C_o = C_s + \frac{\alpha C + C_e}{1+\alpha+C_e/C} \quad (1.4.10)$$

En introduisant le taux de contre-réaction β , nous avons:

$$C_o = C_s + \beta(\alpha C + C_e) \quad (1.4.11)$$

Calculons maintenant la réponse à un saut de la tension d'entrée de valeur ΔU_e . Au premier instant ($t=0^+$), le saut de tension ΔU_e sera transmis à la sortie par le réseau capacitif αC , C_e , C et C_s . On trouve ainsi:

$$\Delta U_{so} = \frac{\Delta U_e}{(1+C_e/\alpha C)(1+C_s/C)+C_s/\alpha C} \quad (1.4.12)$$

ou, en utilisant (1.4.9) et (1.4.11):

$$\Delta U_{so} = \left(\alpha \cdot \frac{\beta}{1-\beta} \cdot \frac{C_o - C_s}{C_o} \right) \cdot \Delta U_e \quad (1.4.13)$$

Par ailleurs, la valeur finale $\Delta U_{s\infty}$ est donnée par ($A_o\beta \gg 1$):

$$\Delta U_{s\infty} = -\alpha(1-1/A_o\beta) \cdot \Delta U_e \approx -\alpha \Delta U_e \quad (1.4.14)$$

Connaissant les caractéristiques internes de l'OTA g_m , A_o et T_p , nous pouvons calculer la réponse indicelle du circuit de la fig.1.4:

$$\frac{\Delta U_s(t)}{\Delta U_e} = -\alpha(1-1/A_o\beta) \cdot \left[1 - \left(1 + \frac{\beta(C_o - C_s)}{(1-\beta)C_o} \right) \Gamma(t) \right] \quad (1.4.15)$$

où $\Gamma(t)$ représente les termes transitoires explicités au paragraphe (1.4.1) ou (1.4.2) selon que T_p est supérieur ou inférieur à $T_u/2\beta = C_o/2\beta g_m$.

1.5 Comportement en forts signaux

1.5.1 Slew-rate

Par définition, on appelle "slew-rate" la vitesse de variation maximale de la tension de sortie de l'amplificateur lorsque les tensions d'excitation ne varient pas [2].

En désignant par $2I_q$ le courant de repos circulant dans la paire différentielle et par A_i le gain du miroir T_4-T_8 , le slew-rate prend l'expression:

$$S_r = \frac{2A_i I_q}{C_o} \quad (1.5.1)$$

où C_o représente la capacité de charge équivalente du noeud de sortie.

1.5.2 Amplificateur à gain positif

$$\text{Nous avons: } U^+ = U_e$$

$$U^- = \beta U_s$$

En négligeant l'effet des capacités parasites associées aux miroirs de courant, les variations de la tension de sortie U_s s'écrivent [2].

$$\text{montée: } \frac{dU_s}{dt} \approx S_r + \frac{A_i C_1}{C_o} \frac{dU_e}{dt} \quad (1.5.2)$$

$$\text{descente: } \frac{dU_s}{dt} \approx - \frac{S_r}{1 + \beta A_i C_1 / C_o} \quad (1.5.3)$$

C_1 est la capacité parasite équivalente du noeud 1 et se place virtuellement en parallèle de la source de courant T_{11} polarisant la paire différentielle (fig.1.1 et 1.2).

1.5.3 Amplificateur à gain négatif

$$\text{Dans ce cas: } U^+ = 0$$

$$U^- = (1-\beta)U_e + \beta U_s$$

Sous les mêmes hypothèses qu'au paragraphe précédent, nous avons:

$$\text{montée: } \frac{dU_s}{dt} \approx S_r \quad (1.5.4)$$

$$\text{descente: } \frac{dU_s}{dt} \approx - \frac{1}{1 + \beta A_i C_1 / C_o} \left(S_r + (1-\beta) \cdot \frac{A_i C_1}{C_o} \frac{dU_e}{dt} \right) \quad (1.5.5)$$

1.5.4 Remarque

Dans bon nombre de cas concrets, la capacité parasite C_1 est beaucoup plus petite que la capacité de charge C_o , de sorte que

$$A_i C_1, \beta A_i C_1 \ll C_o \quad (1.5.6)$$

et qu'alors la vitesse de variation maximale de la tension de sortie vaut approximativement:

$$\frac{dU_s}{dt} \approx \pm S_r \quad (1.5.7)$$

pour l'amplificateur à gain négatif comme pour l'amplificateur à gain positif.

1.6 Calcul approché du temps d'établissement

1.6.1 Objectifs et hypothèses de travail

Pour dimensionner correctement un OTA utilisé dans un circuit à capacités commutées, il est essentiel d'estimer le temps nécessaire à l'amortissement des transitoires dans le cas le plus défavorable. En raison du caractère fortement non-linéaire du comportement de l'amplificateur dès que la tension différentielle dépasse quelques centaines de millivolts, l'analyse de la réponse indicielle donnée à la section 1.4 s'avère insuffisante.

Dans la présente section, nous travaillerons donc avec la caractéristique réelle de la paire différentielle.

Dans ce but et en regard de la plupart des cas concrets, il est raisonnable d'admettre comme vérifiées les hypothèses suivantes:

a) $T_p \ll T_u / \beta$ (cf. section 1.3 et 1.4)

b) $A_i C_1 \ll C_o$ (cf. section 1.5)

c) $A_o \beta \gg 1$

d) la paire différentielle travaille en faible inversion

Ce qui revient à considérer l'OTA comme une source de courant commandée idéale dont la caractéristique de transfert s'écrit:

$$I_s = 2I_{o\text{th}}(U_d/2nU_T) \quad (1.6.1)$$

avec $I_o = A_i I_q$, $U_d = U^+ - U^-$

$U_T = kT/q$: tension thermodynamique

n : facteur de pente du MOS

1.6.2 Réponse indicielle avec caractéristique réelle

L'équation différentielle au noeud de sortie de l'OTA chargé par la capacité équivalente C_0 prend ainsi la forme:

$$\frac{dU_s}{dt} = \frac{2I_o}{C_0} \cdot \text{th}(U_d/2nU_T) = S_r \text{th}(U_d/2nU_T) \quad (1.6.2)$$

$$\text{avec } U_d = \xi U_e(t) - \beta U_s(t) \quad (1.6.3)$$

où le facteur ξ vaut soit 1 si l'on considère un montage non-inverseur, soit $\beta-1$ s'il s'agit d'un amplificateur inverseur.

$$\text{Posons } x = U_d/2nU_T$$

$$\text{d'où } U_s(t) = \{\xi U_e(t) - 2nU_T x\}/\beta \quad (1.6.4)$$

$$\text{et } \frac{dU_s}{dt} = \left(\xi \frac{dU_e}{dt} - 2nU_T \frac{dx}{dt} \right)/\beta \quad (1.6.5)$$

Nous calculons la réponse indicielle, donc $U_e(t) = \Delta U_e = \text{cste}$ et (1.6.2) devient:

$$-\frac{2nU_T}{\beta} \frac{dx}{dt} = S_r \text{th}x \quad (1.6.6)$$

soit

$$-\frac{\beta S_r}{2nU_T} dt = \coth x dx \quad (1.6.7)$$

Équation qui s'intègre facilement et donne:

$$\Lambda e^{-\frac{\beta S_r}{2nU_T} t} = \text{sh } x \quad (1.6.8)$$

La constante Λ dépend des conditions initiales sur x : en $t = 0^+$, $U_s(0^+) = U_{s0}$ et

$$\Lambda = \text{sh}\{(\xi \Delta U_e - \beta U_{s0})/2nU_T\} \quad (1.6.9)$$

La valeur de $U_s(t)$ pour $t \rightarrow \infty$ est donnée par:

$$U_{s\infty} \approx \Delta U_e \xi/\beta \quad (1.6.10)$$

donc

$$\Lambda = \text{sh}\{\beta(U_{s\infty} - U_{s0})/2nU_T\} \quad (1.6.11)$$

Nous pouvons également expliciter le terme $S_r/2nU_T$ sachant qu'en faible inversion la transconductance s'écrit [3]:

$$g_m = I_o / nU_T \quad (1.6.12)$$

Par conséquent

$$\frac{S_r}{2nU_T} = \frac{2I_o/C_o}{2nU_T} = g_m/C_o = 1/T_u \quad (1.6.13)$$

qui n'est autre que la pulsation à gain unité ω_u définie à la section 1.3.

Finalement, en introduisant (1.6.8), (1.6.10), (1.6.11) et (1.6.13) dans (1.6.4), on obtient la réponse indicielle normalisée:

$$\frac{U_s(t)}{U_{s\infty}} = 1 - \frac{2nU_T}{\beta U_{s\infty}} \cdot \ln \{y(t) + \sqrt{y^2(t) + 1}\} \quad (1.6.14)$$

avec

$$y(t) = \operatorname{sh}(\beta \Delta U_s / 2nU_T) \cdot e^{-\beta t / T_u} \quad (1.6.15)$$

$$\text{où } \Delta U_s = U_{s\infty} - U_{s0}$$

La fig.1.6.2 illustre ce comportement pour différentes valeurs du rapport $\beta U_{s\infty} / 2nU_T$ dans le cas où $U_{s0} = 0$.

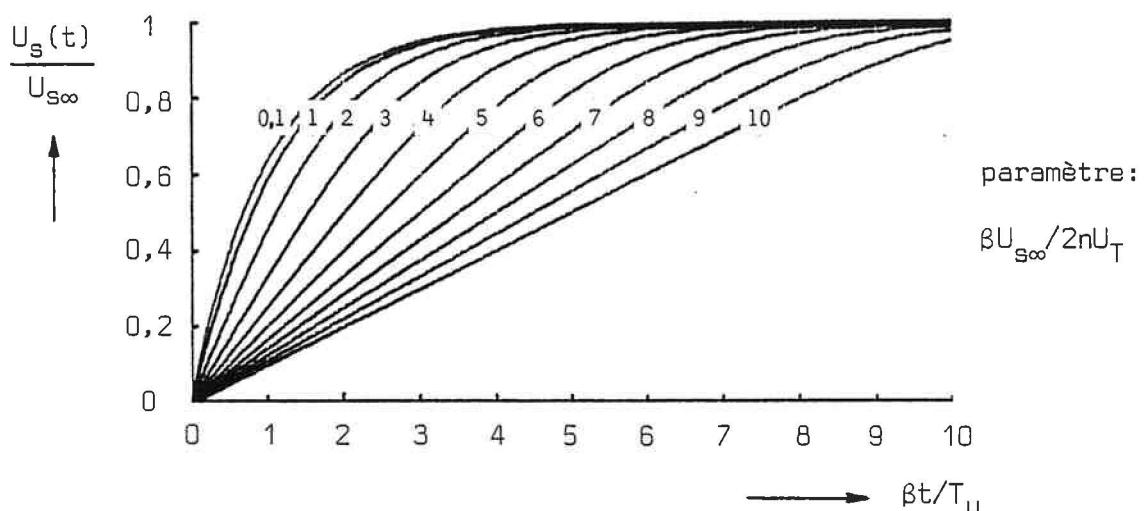


Fig.1.6.2 Réponse indicielle normalisée

1.6.3 Evaluation du temps d'établissement

Le temps d'établissement t_e est le temps nécessaire au système pour approcher l'équilibre avec une précision ϵ . Par définition:

$$U_s(t_e) = U_{s\infty}(1-\epsilon) \quad (1.6.16)$$

$$\text{donc } x(t_e) = \xi \Delta U_e - \beta(1-\epsilon)U_{s\infty} = \beta \epsilon U_{s\infty} \quad (1.6.17)$$

En introduisant (1.6.14) dans (1.6.8) et en résolvant par rapport à t_e on trouve:

$$t_e = \frac{T_u}{\beta} \cdot \ln \left[\frac{\operatorname{sh}(\beta \Delta U_s / 2nU_T)}{\operatorname{sh}(\beta \varepsilon U_{s\infty} / 2nU_T)} \right] \quad (1.6.18)$$

En général $U_{s0} \ll U_{s\infty}$, donc $\Delta U_s \approx U_{s\infty}$ et

$$t_e \approx \frac{T_u}{\beta} \cdot \ln \left[\frac{\operatorname{sh}(\beta \Delta U_s / 2nU_T)}{\operatorname{sh}(\beta \varepsilon \Delta U_s / 2nU_T)} \right] \quad (1.6.19)$$

Remarque: pour $\beta \Delta U_s / 2nU_T \ll 1$, on retrouve la formule bien connue:

$$t_e = \frac{T_u}{\beta} \cdot \ln(1/\varepsilon) \quad (1.6.20)$$

On donne à la fig.1.6.3 la variation du temps d'établissement normalisé $\beta t_e / T_u$ en fonction de $\beta \Delta U_s / 2nU_T$ pour différentes valeurs de l'erreur ε .

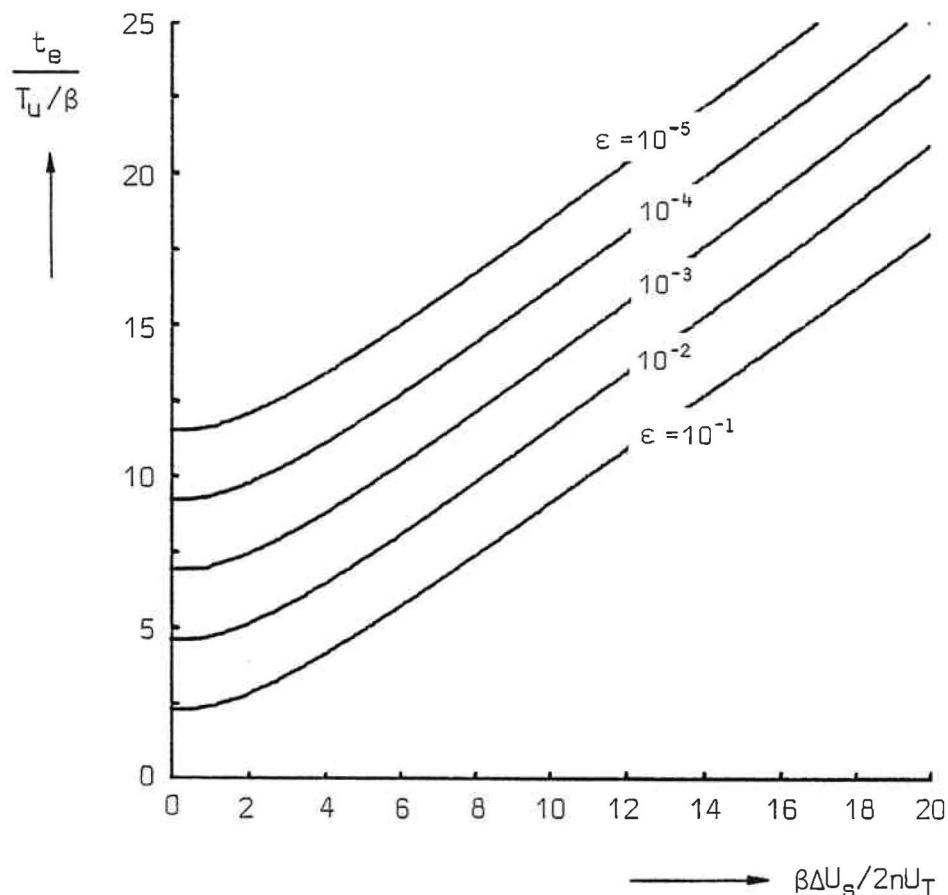


Fig.1.6.3 Temps d'établissement normalisé

1.6.4 Commentaires

Malgré son caractère approximatif, imputable principalement aux hypothèses a) et b) (§ 1.6.1), l'analyse présentée ici donne une idée de la limite de validité du modèle pour accroissements utilisé à la section 1.3. Néanmoins elle est restreinte au cas le plus simple des montages à un OTA avec contre-réaction indépendante de la fréquence. C'est pourquoi nous aurons recours aux programmes de simulation par ordinateur tels que SPICE dès que s'impose une analyse précise d'un circuit où plusieurs amplificateurs entrent simultanément en action.

L'erreur ϵ a été définie ici comme la différence entre la valeur d'équilibre $U_{S\infty}$ du signal $U_S(t)$, obtenue pour $t \rightarrow \infty$, et sa valeur au temps t_e . Il est bon toutefois de se rappeler que cette valeur d'équilibre est elle-même entachée d'une erreur (appelée "statisme" en termes de réglage) qui est due au gain fini A_0 . Cette erreur vaut environ $1/A_0\beta$ [éq.(1.3.12) ou (1.3.13)] et c'est pourquoi, dans le cas des circuits à capacités commutées, on fixe généralement la valeur de ϵ entre $1/A_0$ et $1/A_0\beta$.

1.7 Bruit

1.7.1 Rappel du modèle

Le fonctionnement du transistor MOS est affecté de 2 types de bruit fondamentaux:

- a) *le bruit basse fréquence (flicker noise)*, composante en $1/f$ associée aux états de surface du MOS, et
- b) *le bruit blanc* qui est dû soit au *bruit de grenaille (shot noise)* en régime de faible inversion, soit au *bruit thermique (thermal noise)* dans le cas de la forte inversion.

La résistance équivalente de bruit rapportée à la grille du transistor s'exprime en faible et en forte inversion par:

$$R_{ng} = \frac{\rho}{f} \cdot \frac{1}{WL} + \frac{n}{2} \cdot \frac{1}{g_m} \quad (1.7.1)$$

respectivement

$$R_{ng} = \frac{\rho}{f} \cdot \frac{1}{WL} + \frac{2}{3} \cdot \frac{1}{g_m} \quad (1.7.2)$$

avec ρ : paramètre dépendant de la technologie et du type de transistor (n ou p)

WL: surface de grille du MOS

n : facteur de pente du MOS

La tension équivalente de bruit rapportée à la grille se calcule selon la relation:

$$U_{ng}^2 = 4kT \cdot \Delta f \cdot R_{ng} \quad (1.7.3)$$

où $k = 1,38 \cdot 10^{-23} \text{ J}/\text{K}$: constante de boltzmann
T est la température absolue en $^{\circ}\text{K}$

1.7.2 Calcul du bruit équivalent d'entrée de l'OTA

Nous calculons tout d'abord le courant de bruit équivalent I_{ns}^2 au noeud de sortie. Celui-ci s'obtient par la sommation en puissance des courants de bruit dus à chacun des transistors du circuit. Par souci de simplicité nous négligeons les constantes de temps parasites associées aux miroirs de courant.

En appelant U_{ngi}^2 la tension équivalente de bruit rapportée à la grille du transistor T_i (fig.1.1), on obtient par superposition l'expression suivante:

$$I_{ns}^2 = g_{m8}^2(U_{ng8}^2 + U_{ng4}^2) + g_{m7}^2(U_{ng7}^2 + U_{ng5}^2) + A_i''^2 g_{m6}^2(U_{ng6}^2 + U_{ng2}^2) + 2A_i^2 g_{m1}^2 U_{ng1}^2 \quad (1.7.4)$$

où il a été admis implicitement que $g_{m1} = g_{m3}$ et $U_{ng1}^2 = U_{ng3}^2$. La contribution des transistors cascodes T_g et T_{10} n'a pas été considérée ici car on peut montrer (cf. annexe) qu'elle est négligeable.

La tension équivalente de bruit rapportée à l'entrée de l'OTA est donnée par:

$$U_{ne}^2 = I_{ns}^2 / g_m^2 = I_{ns}^2 / A_i^2 g_{m1}^2 \quad (1.7.5)$$

sachant que

$$g_{m8} = A_i g_{m4}$$

$$g_{m7} = A_i'' g_{m5}$$

$$g_{m6} = A_i' g_{m2}$$

$$A_i' \cdot A_i'' = A_i$$

on trouve:

$$\begin{aligned}
 U_{ne}^2 = & 2U_{ng1}^2 + \left(\frac{g_{m7}}{A_i g_{m1}}\right)^2 (U_{ng5}^2 + U_{ng7}^2) \\
 & + \left(\frac{g_{m2}}{g_{m1}}\right)^2 (U_{ng2}^2 + U_{ng6}^2) + \left(\frac{g_{m4}}{g_{m1}}\right)^2 (U_{ng4}^2 + U_{ng8}^2)
 \end{aligned} \quad (1.7.6)$$

Nous allons maintenant traiter indépendamment le bruit 1/f et le bruit blanc.

1.7.3 Bruit 1/f

La résistance équivalente de bruit 1/f du transistor T_i est donnée par (1.7.1):

$$R_{ngi}^{1/f} = \frac{\rho}{f} \cdot \frac{1}{W_i L_i} \quad (1.7.7)$$

où W_i et L_i représentent la largeur, respectivement la longueur du canal du transistor T_i . Pratiquement, le facteur ρ associé aux transistors de type P est généralement négligeable vis-à-vis de celui associé aux transistors N ($\rho_p \ll \rho_n$); de plus $g_{m2}, g_{m4} \ll g_{m1}$ dans la plupart des cas. C'est pourquoi la densité spectrale du bruit 1/f à l'entrée se ramène à:

$$\frac{dU_{ne}^2}{df} (\text{flicker}) \approx 4kT \cdot \frac{\rho_n}{f} \left[\frac{2}{W_1 L_1} + \left(\frac{g_{m7}}{A_i g_{m1}} \right)^2 \left(\frac{1}{W_5 L_5} + \frac{1}{W_7 L_7} \right) \right] \quad (1.7.8)$$

Si par ailleurs T_5 et T_7 ont la même longueur de canal $L_5 = L_7$, $W_7 = A''_i W_5$. Ainsi:

$$\frac{dU_{ne}^2}{df} (\text{flicker}) \approx 4kT \cdot \frac{\rho_n}{f} \left[\frac{2}{W_1 L_1} + \left(\frac{g_{m7}}{A_i g_{m1}} \right)^2 \left(\frac{1+A''_i}{W_7 L_7} \right) \right] \quad (1.7.9)$$

1.7.4 Bruit blanc

Nous admettons ici que:

- a) la paire différentielle travaille en faible inversion
- b) les différents miroirs de courant travaillent en forte inversion

En introduisant (1.7.1), (1.7.2) et (1.7.3) dans l'expression du bruit (1.7.6), on obtient, pour la contribution du bruit blanc:

$$\begin{aligned}
 \frac{dU_{ne}^2}{df} (\text{white}) = & \frac{4kT}{g_{m1}} \left[n + \frac{2}{3} \cdot \frac{g_{m2}}{g_{m1}} \left(1 + \frac{1}{A'_i} \right) \right. \\
 & \left. + \frac{2}{3} \cdot \frac{g_{m4}}{g_{m1}} \left(1 + \frac{1}{A_i} \right) + \frac{2}{3} \cdot \frac{g_{m7}}{A_i g_{m1}} \left(\frac{1}{A_i} + \frac{1}{A''_i} \right) \right]
 \end{aligned} \quad (1.7.10)$$

En général $T_2 \equiv T_4$, donc $g_{m2} = g_{m4}$. De plus $g_{m7} = A_i''g_{m5}$ et $A_i'A_i'' = A_i$, de sorte que (1.7.10) devient:

$$\frac{dU_{ne}^2}{df}(\text{white}) = \frac{4kT}{g_{m1}} \left(n + \frac{2}{3} \left[\frac{g_{m2}}{g_{m1}} \left(2 + \frac{1}{A_i} + \frac{1}{A_i'} \right) + \frac{g_{m5}}{A_i'g_{m7}} \left(\frac{1}{A_i} + \frac{1}{A_i'} \right) \right] \right) \quad (1.7.11)$$

Remarques:

- a) Si la paire différentielle travaille en forte inversion également, l'expression (1.7.11) voit le terme n remplacé par le facteur $4/3$.
- b) Pour les circuits à capacités commutées, il est commode d'exprimer le bruit à l'entrée en fonction de la transconductance équivalente g_m de l'OTA. A cette fin nous définissons le *facteur de bruit* γ tel que:

$$\frac{dU_{ne}^2}{df}(\text{white}) = 4\gamma kT/g_m \quad (1.7.12)$$

En comparant (1.7.11) et (1.7.12), on trouve la valeur du facteur γ sachant que $g_m = A_i g_{m1}$:

$$\gamma = A_i \left(n + \frac{2}{3} \left[\frac{g_{m8}}{g_m} \left(2 + \frac{1}{A_i} + \frac{1}{A_i'} \right) + \frac{g_{m7}}{g_m} \left(\frac{1}{A_i} + \frac{1}{A_i'} \right) \right] \right) \quad (1.7.13)$$

2. DIMENSIONNEMENT D'UN OTA D'APRES SPECIFICATIONS

2.1 Généralités

Le cahier des charges d'un OTA doit en caractériser les performances de façon aussi complète que possible. Parmi ces spécifications doivent figurer des informations précises permettant de déterminer:

- a) *la précision* du circuit (caractéristiques statiques telles que gain DC, tension d'offset etc...)
- b) *la vitesse* (caractéristiques dynamiques telles que produit gain-bande passante, slew-rate, temps d'établissement etc...)
- c) *la dynamique* (excursion de tension de sortie ou d'entrée, bruit etc...)
- d) *la consommation* (tension d'alimentation, courant consommé etc...)
- e) *d'autres caractéristiques* selon les conditions d'utilisation (réjection de mode commun, réjection de tension d'alimentation ou autres)

Il va de soi que la plupart de ces grandeurs sont liées entre elles. En particulier il existe des relations mathématiques entre la vitesse, la dynamique et la consommation. Dans le cas qui nous occupe, la transconductance équivalente g_m et la consommation de courant totale I_{tot} sont liées par:

$$g_m \leq \frac{I_o}{nU_T} = \frac{I_{tot}}{\{1+(2+A_i')/A_i\}nU_T} \quad (2.1.1)$$

La valeur limite I_o/nU_T est obtenue lorsque la paire différentielle travaille en faible inversion, où le rapport g_m/I est maximum.

Par ailleurs, le slew-rate a pour valeur, d'après (1.5.1):

$$S_r = \frac{2I_o}{C_o} = \frac{2I_{tot}}{\{1+(2+A_i')/A_i\}C_o} \quad (2.1.2)$$

De même que le produit gain-bande passante GBW vaut, par définition et (2.1.1):

$$GBW = \frac{g_m}{2\pi C_o} \leq \frac{I_o}{2\pi nU_T C_o} = \frac{I_{tot}}{2\pi \{1+(2+A_i')/A_i\} nU_T C_o} \quad (2.1.3)$$

En ce qui concerne le bruit, nous avons, selon (1.7.12) et (2.1.1):

$$\frac{dU_{ne}^2}{df}(\text{white}) = 4\gamma kT/g_m \geq 4\gamma kT \cdot \frac{nU_T}{I_0} = 4n\gamma U_T^2 \cdot \frac{q}{I_0} \quad (2.1.4)$$

où q est la charge élémentaire.

Comme d'autre part $\gamma > nA_i$ d'après (1.7.13), nous avons:

$$\frac{dU_{ne}^2}{df}(\text{white}) > 4A_i(nU_T)^2 \cdot \frac{q}{I_0} = 4(2+A_i+A'_i)(nU_T)^2 \cdot \frac{q}{I_{tot}} \quad (2.1.5)$$

De ces différentes relations il ressort qu'il est généralement préférable de faire travailler la paire différentielle en faible inversion, ce qui est raisonnable jusqu'à des courants de l'ordre de grandeur du micro-ampère, en regard de la surface occupée par le circuit.

Lorsqu'un slew-rate élevé est requis, c'est-à-dire s'il faut réaliser [cf. éq.(2.1.2) et (2.1.3)]:

$$S_r > 4\pi nU_T \cdot GBW \quad (2.1.6)$$

on pourra avoir recours à un OTA à polarisation "adaptative" [4], plutôt que d'augmenter le courant de repos de façon prohibitive.

Pour la suite de la démarche, admettons que du cahier des charges ont été déduits un certain nombre de paramètres indépendants déterminant de façon directe les dimensions des transistors constituant l'OTA. Ces paramètres primaires seront généralement:

1. le gain DC sur charge capacitive $A_o = g_m/g_o$
2. la transconductance équivalente g_m
3. le bruit large bande ramené à l'entrée $dU_{ne}^2/df(\text{white})$ ou le facteur de bruit γ
4. le bruit basse fréquence $dU_{ne}^2/df(\text{flicker})$ ou la fréquence limite f_1 où le bruit blanc et le bruit $1/f$ auront même densité spectrale de puissance

Dans un circuit à capacités commutées, la caractérisation la plus commode utilise les paramètres A_o , g_m , γ et f_1 .

La première étape dans le dimensionnement consistera à choisir les gains en courant A_i et A'_i . La valeur maximum pour A_i est déterminée par le

bruit qui impose, selon (1.7.13):

$$A_i < \gamma/n \quad (2.1.7)$$

Afin de minimiser la consommation totale on choisira une valeur proche de cette limite supérieure. Dans la même optique on prendra $A'_i \leq A_i$. Les valeurs usuelles se situent entre 1 et 10; elles sont généralement limitées par des grandeurs non quantifiables à priori, telles que les constantes de temps parasites associées aux miroirs de courant ou des considérations expérimentales sur la symétrie et l'offset en relation avec le dessin de plans de masques. Une démarche itérative peut ainsi s'avérer nécessaire.

Dans les sections qui suivent on développe des relations analytiques permettant de dimensionner la largeur W (width) et la longueur équivalente L_{eq} (equivalent length) de chaque transistor, le paramètre de transconductance β étant donné par:

$$\beta = \frac{W}{L_{eq}} \mu C_{ox} \quad (2.1.8)$$

où le terme μC_{ox} , qui représente la valeur de β pour un transistor dont $W/L_{eq}=1$, sera noté par la suite β/\square .

La longueur sur masque L , correspondant à la longueur de la grille pour la technologie CEH, sera déduite de la longueur équivalente L_{eq} en tenant compte des diffusions latérales de la source et du drain d'une part, et de la largeur des zones de déplétion des jonctions source - substrat et drain - substrat d'autre part. L'évaluation mathématique de ces dernières, développée en annexe, conduit aux résultats donnés sous forme graphique aux fig.2.1.1 et 2.1.2 dans le cas de la technologie CEH n° 1. Les courbes en trait continu indiquent les valeurs typiques alors que les courbes en pointillé mettent en évidence l'influence des tolérances sur le dopage du substrat ou du caisson (p.21).

2.2 Paire différentielle

Une fois que la transconductance équivalente g_m de l'OTA et le gain de courant A_i entre la paire différentielle et l'étage de sortie ont été choisis, le dimensionnement des transistors T_1 et T_3 se fait selon la démarche suivante:

Fig.2.1.1

MOST à canal N CEH no1

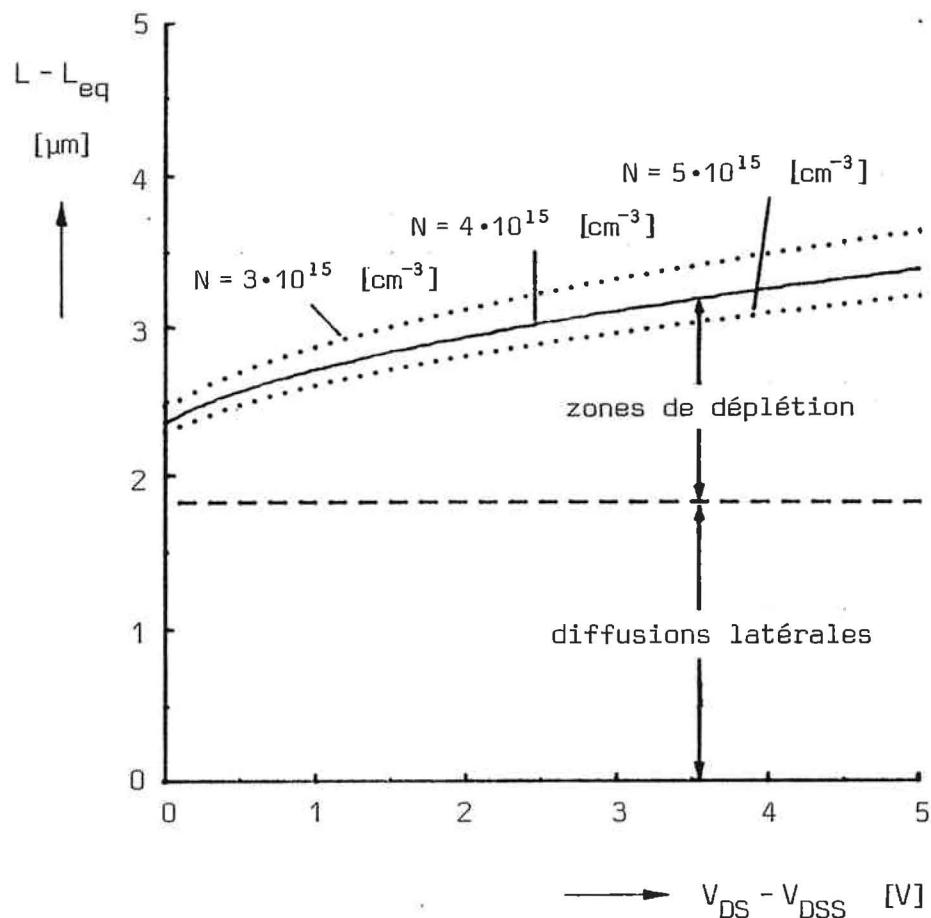
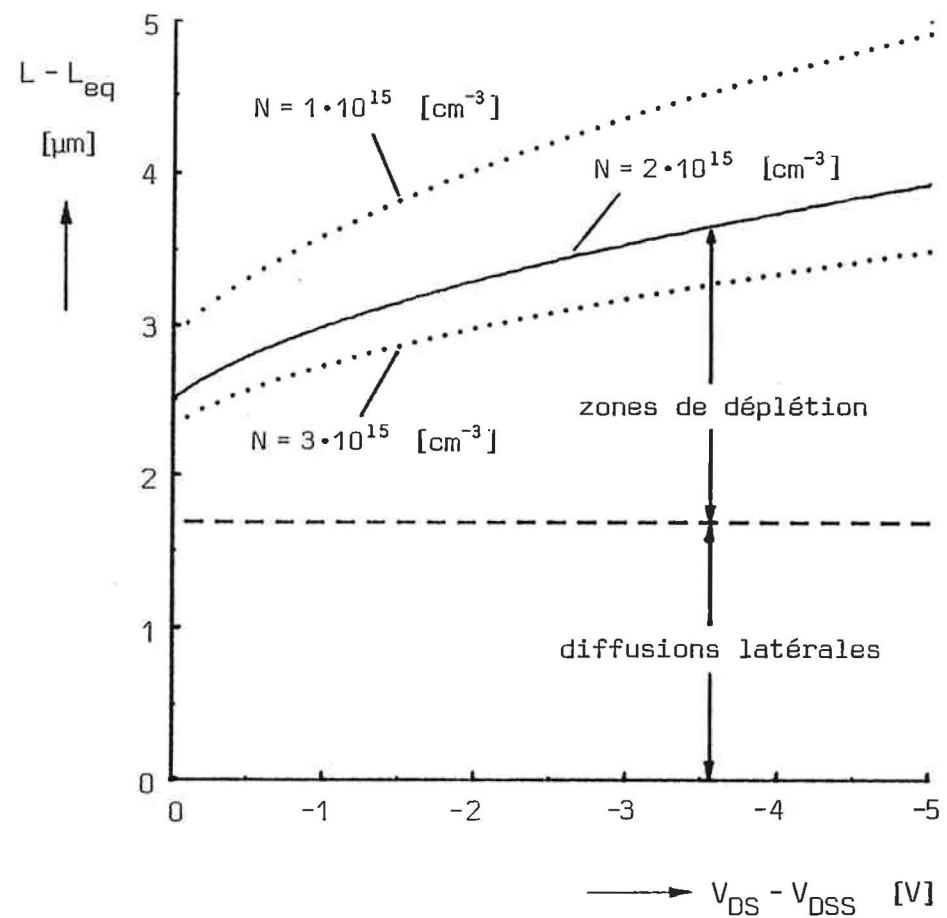


Fig.2.1.2

MOST à canal P CEH no1



Remarque: ces courbes sont également valables en faible inversion (dans ce cas, poser $V_{DSS} = 0$)

- 1) En admettant que T_1 et T_3 travaillent en faible inversion, calculer le courant de polarisation I_q minimum tel que:

$$I_{q\min} = \frac{g_m \cdot n U_T}{A_i} \quad (2.2.1)$$

- 2) Choisir le rapport $W_1/L_{eq1} = W_3/L_{eq3}$ de sorte que la limite de faible inversion βU_T^2 de T_1 et T_3 soit supérieure à $I_{q\min}$. Sachant que β est proportionnel à W/L_{eq} nous pouvons écrire:

$$W_1/L_{eq1} = W_3/L_{eq3} > \frac{I_{q\min}}{\beta_n / \square \cdot U_T^2} \quad (2.2.2)$$

Des valeurs W/L_{eq} inférieures à 100 sont parfaitement raisonnables dans la mesure où la longueur L_{eq} peut être choisie faible.

Dans le cas où l'on obtiendrait un W/L_{eq} trop élevé, il faut se résoudre soit à faire travailler la paire différentielle en forte inversion (avec $I_q > I_{q\min}$), soit à augmenter le gain de courant A_i , ce qui revient à diminuer $I_{q\min}$, si les exigences du cahier des charges le permettent.

- 3) Le bruit basse fréquence maximum tolérable fixe une limite inférieure à la surface $W L_{eq}$ des transistors d'entrée, selon la relation (1.7.8). Ainsi, si dU_{nemax}^2/df est le bruit maximum d'entrée à la fréquence f_1 (par ex. $1 \mu V/\sqrt{Hz}$ à $10 Hz$), il faut:

$$W_1 L_{eq1} = W_3 L_{eq3} \geq 8kT(1+\nu) \cdot \frac{\rho_n}{f_1} \cdot \left[\frac{dU_{nemax}^2}{df} \right]^{-1} \quad (2.2.3)$$

où le facteur ν , qui tient compte du bruit $1/f$ des autres transistors, doit être fixé à priori entre 0,1 et 1 (cf. § 2.3.1).

La surface minimum de T_1 et T_3 peut être spécifiée différemment, à savoir en fixant la fréquence limite f_1 où le bruit blanc et le bruit $1/f$ auront même densité spectrale. On obtient ainsi, en combinant (2.2.3) et (1.7.12):

$$W_1 L_{eq1} = W_3 L_{eq3} \geq \frac{2\rho_n (1+\nu)}{\gamma f_1} \cdot g_m \quad (2.2.4)$$

- 4) Les inégalités (2.2.2) et (2.2.3) suffisent à spécifier de manière unique les dimensions $W_{1,3}$ et $L_{1,3}$.

Si $W/L_{eq} \geq S_1$ et $W L_{eq} \geq S_2$, alors $W \geq \sqrt{S_1 S_2}$ et $S_2/W \leq L_{eq} \leq W/S_1$.

Remarque: d'autres considérations peuvent présider au dimensionnement de T_1 et T_3 , telle la valeur maximum de la capacité équivalente d'entrée de l'OTA ou l'excursion de mode commun. Toutefois ces caractéristiques dépendent du dimensionnement des autres transistors et seront généralement approchées de manière itérative. Le cas échéant, l'expérience sera d'un précieux secours au concepteur.

2.3 Miroirs de courant

Ceux-ci travailleront en forte inversion pour assurer un gain de tension entre les entrées et les noeuds internes de l'OTA dans le but de minimiser le bruit. Le choix de ce gain a également une influence sur l'excursion de tension de sortie et sur les constantes de temps parasites internes. Ces dernières ne s'expriment pas de façon simple et seront estimées à posteriori. Par contre, l'excursion de tension de sortie dépend directement de la tension de saturation des transistors de l'étage de sortie.

En forte inversion, la transconductance et la tension de saturation s'écrivent [2]:

$$g_m = \sqrt{\frac{2\beta I_D}{n}} = \frac{I_D}{nU_T} \cdot \sqrt{2n \cdot \frac{\beta U_T^2}{I_D}} \ll \frac{I_D}{nU_T} \quad (2.3.1)$$

respectivement,

$$V_{DSS} = \sqrt{\frac{2I_D}{n\beta}} = U_T \sqrt{\frac{2 \cdot I_D}{n \beta U_T^2}} \gg U_T \quad (2.3.2)$$

En admettant que la paire différentielle travaille en faible inversion, l'introduction de (2.3.1) et (2.3.2) dans l'expression du facteur de bruit γ [éq.(1.7.13)] conduit au résultat suivant:

$$\gamma = A_i \left[n_n + \frac{2}{3} \left[\frac{n_n}{n_p} \cdot \frac{2U_T}{V_{DSS8}} \left(2 + \frac{1}{A_i} + \frac{1}{A'_i} \right) + \frac{2U_T}{V_{DSS7}} \left(\frac{1}{A_i} + \frac{1}{A'_i} \right) \right] \right] \quad (2.3.3)$$

où n_n et n_p sont les facteurs de pente des transistors de type n, respectivement de type p. Il est logique de choisir $V_{DSS7} = V_{DSS8} = V_{DSS}$; comme par ailleurs $n_p \approx n_n = n$, nous pouvons écrire:

$$\gamma \approx A_i \left[n + \frac{8}{3} \cdot \frac{U_T}{V_{DSS}} \left(1 + \frac{1}{A_i} + \frac{1}{A'_i} \right) \right] \quad (2.3.4)$$

Le choix $V_{DSS} \gg U_T$ s'impose donc si l'on désire minimiser le bruit.

D'autre part, si l'excursion de tension de sortie doit rester proche de la tension d'alimentation, il faut $V_{DSS} \ll V_{cc}$; un compromis est donc à réaliser de cas en cas.

2.3.1 $T_5 - T_7$

- 1) Pour des raisons de symétrie, T_5 et T_7 auront la même longueur $L_5 = L_7$.
- 2) Les équations (1.7.9) et (2.2.3) permettent de fixer la longueur $L_{eq5} = L_{eq7}$ en fonction de la surface des transistors de la paire différentielle. On trouve ainsi, si T_1 et T_3 travaillent en faible inversion:

$$L_{eq5}^2 = L_{eq7}^2 \geq \frac{n\beta_n/\Delta U_T^2}{I_o} \cdot \frac{(1+A_i'')}{v} \cdot W_1 L_{eq1} \quad (2.3.5)$$

Le facteur v (cf. section 2.2) représente la contribution des transistors T_5 et T_7 au bruit $1/f$ par rapport à celle des transistors T_1 et T_3 . Il est raisonnable de fixer à priori la valeur de v entre 0.1 (la presque totalité du bruit $1/f$ est générée dans la paire différentielle) et 1 (les contributions de T_1 , T_3 et T_5 , T_7 sont équilibrées).

En général la valeur minimum de $L_{eq5,7}$ est suffisante pour assurer le gain A_o requis. Un choix définitif se fera sur la base de ce dernier critère (cf. section 2.4).

- 3) La limite de faible inversion de T_5 et T_7 est déterminée par le choix de V_{DSS} selon la relation (2.3.5) qui impose:

$$\beta_7 U_T^2 = A_i'' \beta_5 U_T^2 = \frac{2I_o}{n_n} \cdot \left(\frac{U_T}{V_{DSS}} \right)^2 \ll I_o \quad (2.3.6)$$

On en déduit la largeur des transistors:

$$W_7 = A_i'' W_5 = L_{eq7} \cdot \frac{2I_o}{n_n \beta_n / \Delta V_{DSS}^2} \quad (2.3.7)$$

2.3.2 $T_2 - T_6$ et $T_4 - T_8$

- 1) De même que pour T_5 et T_7 , la relation (2.3.2) donne:

$$\beta_8 U_T^2 = A_i \beta_4 U_T^2 = A_i \beta_2 U_T^2 = A_i'' \beta_6 U_T^2 = \frac{2I_o}{n_p} \cdot \left(\frac{U_T}{V_{DSS}} \right)^2 \ll I_o \quad (2.3.8)$$

- 2) Le bruit $1/f$ des transistors p étant beaucoup plus faible que celui

des transistors n ($\rho_n \gg \rho_p$), la longueur $L_6 = L_8$ sera fixée par le gain DC minimum à l'aide des relations développées à la section 2.4. Les transistors T_2 et T_4 auront soit la même longueur que T_6 et T_8 , soit une longueur plus faible, tout en satisfaisant la relation (2.3.8), s'il est impératif de minimiser leur surface de grille (minimisation des capacités parasites) dans le cas où L_{eq8} est beaucoup plus grande que la longueur minimum fixée par les règles de plan de masques.

2.4 Transistors cascodes

Les dimensions de T_9 et T_{10} influencent directement le gain DC et l'excursion de tension de sortie. Cette dernière sera maximale si l'étage cascode travaille en faible inversion où la tension de saturation vaut 100 mV environ.

Le gain g_s/g_o d'un étage cascode vaut:

$$g_s/g_o = \frac{I}{U_T} \cdot \frac{V_M}{I} = V_M / U_T \quad (2.4.1)$$

en faible inversion et

$$g_s/g_o = \sqrt{2n\beta I} \cdot \frac{V_M}{I} = V_M \cdot \sqrt{\frac{2n\beta}{I}} = 2V_M / V_{DSS} \quad (2.4.2)$$

en forte inversion. La tension de modulation V_M est proportionnelle à la longueur L_{eq} du canal:

$$V_M = \lambda L_{eq} \quad (2.4.3)$$

où le coefficient de proportionnalité λ est fonction de la tension drain-source, comme le montrent les fig.2.4.1 et 2.4.2 qui sont le résultat d'une analyse mathématique (donnée en annexe) appliquée au cas de la technologie CEH no 1 (p.26).

En faible inversion, nous pouvons écrire (2.4.4) sous la forme:

$$g_s/g_o = \lambda \cdot \sqrt{\frac{\beta/\alpha}{\beta U_T^2} WL_{eq}} \quad (2.4.4)$$

pour lequel $\beta U_T^2 \geq I$, donc:

$$g_s/g_o \leq \lambda \cdot \sqrt{\frac{\beta/\alpha}{I} WL_{eq}} \quad (2.4.5)$$

Fig.2.4.1

MOST à canal N CEH no1

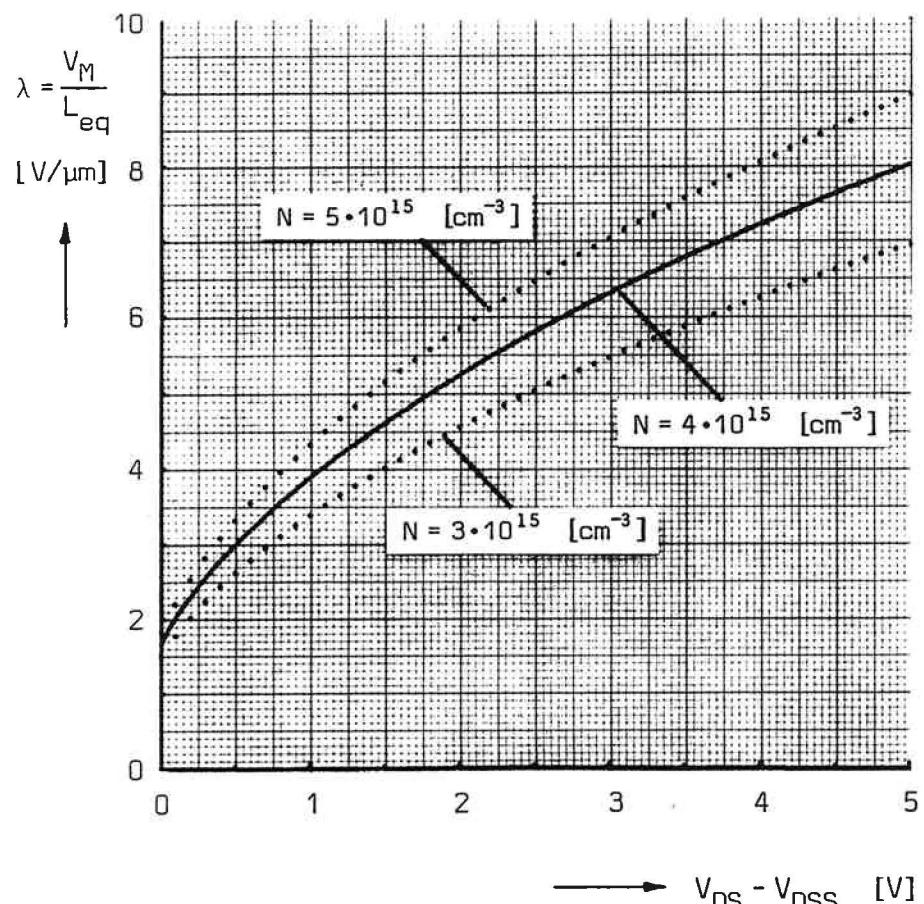
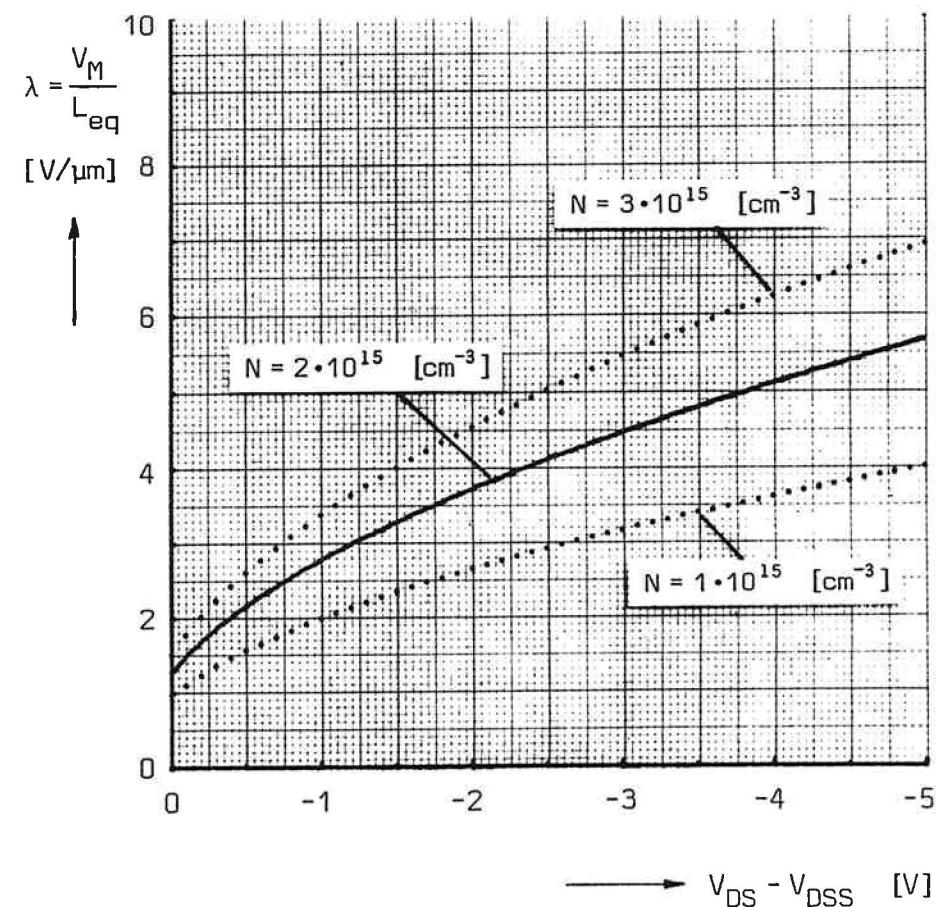


Fig.2.4.2

MOST à canal P CEH no1



Remarque: ces courbes sont également valables en faible inversion (dans ce cas, poser $V_{DSS} = 0$)

En forte inversion, (2.4.2) peut s'écrire:

$$\frac{g_s}{g_o} = \lambda \cdot \sqrt{\frac{2n\beta/\square}{I}} WL_{eq} \quad (2.4.6)$$

On voit donc qu'à courant donné, le gain d'un étage cascode est proportionnel à la racine carrée de la surface de grille.

En introduisant (2.4.3) et (2.4.6) dans l'expression de la conductance de sortie de l'OTA (1.2.3), on obtient:

$$g_o = g_m/A_o = I_o^{3/2} \left[\sqrt{\frac{\kappa_n}{W_9 L_{eq9}}} + \sqrt{\frac{\kappa_p}{W_{10} L_{eq10}}} \right] \quad (2.4.7)$$

$$\text{avec } \kappa_n = 1/\{V_{M7}^2 \cdot \lambda_9^2 \cdot 2n_n \cdot \beta_n / \square\} \quad (2.4.8)$$

$$\text{et } \kappa_p = 1/\{V_{M8}^2 \cdot \lambda_{10}^2 \cdot 2n_p \cdot \beta_p / \square\} \quad (2.4.9)$$

En admettant que la longueur des transistors T_7 et T_8 a été préalablement choisie, V_{M7} et V_{M8} peuvent être évaluées en estimant V_{DS7} et V_{DS8} à priori. Il est ainsi possible, à g_o donné, de minimiser la surface de grille des transistors cascodes. On applique pour cela la méthode du multiplicateur de Lagrange avec la contrainte $S_G = W_9 L_{eq9} + W_{10} L_{eq10} = \text{cste.}$

On obtient:

$$\left. \frac{W_9 L_{eq9}}{W_{10} L_{eq10}} \right|_{\text{optimum}} = \sqrt[3]{\frac{\kappa_n}{\kappa_p}} = \sqrt[3]{\frac{V_{M8}^2 \cdot \lambda_{10}^2 \cdot n_p \cdot \beta_p / \square}{V_{M7}^2 \cdot \lambda_9^2 \cdot n_n \cdot \beta_n / \square}} \quad (2.4.10)$$

En introduisant ce résultat dans (2.4.7), on trouve:

$$W_9 L_{eq9} = A_o^2 \cdot \frac{I_o^3}{g_m^2} \sqrt[3]{\kappa_n} (\sqrt[3]{\kappa_n} + \sqrt[3]{\kappa_p})^2 \quad (2.4.11)$$

et

$$W_{10} L_{eq10} = A_o^2 \cdot \frac{I_o^3}{g_m^2} \sqrt[3]{\kappa_p} (\sqrt[3]{\kappa_n} + \sqrt[3]{\kappa_p})^2 \quad (2.4.12)$$

où κ_n et κ_p sont donnés par (2.4.8) et (2.4.9).

Pour maximiser l'excursion de tension de sortie, on minimisera la tension de saturation des cascodes. On choisira donc une valeur faible pour L_{eq9} .

Par ailleurs, le choix $V_{DSS10} = V_{DSS9}$ impose:

$$\frac{W_9}{W_{10}} \cdot \frac{L_{eq10}}{L_{eq9}} = \frac{n_p \cdot \beta_p / \square}{n_n \cdot \beta_n / \square} \quad (2.4.13)$$

de sorte que largeur et longueur sont fixées de manière univoque.

Cependant, particulièrement lorsque le courant I_o est faible ou le gain A_o requis élevé, la longueur des transistors cascodes peut être choisie telle que ces derniers travaillent en faible inversion. Dans ce cas, il est judicieux de choisir $\beta_g U_T^2 = \beta_{10} U_T^2 = I_o$ dans (2.4.4). Il sera alors possible de calculer la surface WL_{eq} de T_g et T_{10} à l'aide des relations (2.4.11) et (2.4.12) en remplaçant K_n et K_p par:

$$K'_n = 1/\{V_{M7}^2 \cdot \lambda_g^2 \cdot \beta_n / \square\} \quad (2.4.14)$$

respectivement

$$K'_p = 1/\{V_{M8}^2 \cdot \lambda_{10}^2 \cdot \beta_p / \square\} \quad (2.4.15)$$

Le rapport W/L_{eq} sera déterminé par la limite de faible inversion choisie égale à I_o :

$$W_g/L_{eqg} = \frac{I_o}{\beta_n / \square \cdot U_T^2} \quad \text{et} \quad W_{10}/L_{eq10} = \frac{I_o}{\beta_p / \square \cdot U_T^2} \quad (2.4.16)$$

2.5 Circuit de polarisation de l'étage cascode

Pour simplifier, on prend $T_{12} = T_{14}$, de sorte que $I_{D14} = I_{D15} = I_c$. En exprimant que les tensions de grille de T_g et T_{15} (T_{10} et T_{14}) sont égales et en résolvant par rapport à β_{15} (β_g) on obtient, pour $\beta_{g,15} U_T^2 \ll I_o$:

$$\beta_{15} = \frac{2n_n I_c}{[2n_n I_o / \beta_g + n_n V_{S9}]^2} \quad (2.5.1)$$

$$\beta_{14} = \frac{2n_p I_c}{[2n_p I_o / \beta_{10} + n_p V_{S10}]^2} \quad (2.5.2)$$

Le choix $V_{S9} = V_{S10} \geq V_{DSS7} = V_{DSS8}$ s'impose naturellement.

Dans le cas où les transistors cascodes travaillent à des courants proches de la limite de faible inversion ($I_o \approx \beta_g U_T^2 = \beta_{10} U_T^2$) on peut considérer qu'ils sont polarisés à une tension $V_{GS} \approx V_T$, ce qui revient à poser $I_o = 0$ dans (2.5.1) et (2.5.2), d'où le résultat suivant:

$$\beta_{15} = 2I_c / n_n V_{S9}^2 \quad (2.5.3)$$

$$\beta_{14} = 2I_c / n_p V_{S10}^2 \quad (2.5.4)$$

2.6 Commentaires

La démarche présentée dans les sections précédentes ne nécessite, dans la plupart des cas, qu'un minimum d'itérations. Lorsque les dimensions sur masques de chacun des transistors sont déterminées, il est nécessaire d'en récapituler dans un tableau ad hoc les caractéristiques suivantes:

- largeur W et longueur L sur masques
- longueur équivalente du canal L_{eq}
- surface de grille WL_{eq}
- limite de faible inversion βU_T^2
- courant de repos I_D
- transconductance de grille g_m ou de source g_s au point de repos
- conductance de sortie g_o ou tension de modulation V_M
- tension grille-source V_{GS} au point de repos
- tension de saturation V_{DSS}
- tension drain-source V_{DS} au point de repos (V_{DS} dépend de la tension d'alimentation V_{cc})

Une fois le plan de masques dessiné, il est possible d'estimer la valeur des capacités parasites [3],[7] associées à chaque noeud interne de l'OTA. Là aussi, un tableau détaillant la nature et la valeur de chaque capacité parasite s'avèrera très utile.

Nous disposerons alors de toutes les informations utiles et nécessaires pour analyser à posteriori le comportement de l'OTA, en particulier l'effet des constantes de temps parasites (admisibles négligeables à priori). Suivant le résultat de cette analyse, le dimensionnement et/ou le plan de masques seront revus et corrigés.

2.7 Minimisation de la tension d'offset

Certaines précautions de conception peuvent améliorer la symétrie du circuit et par là réduire l'offset de l'OTA. Au niveau circuit tout d'abord, nous constatons que la différence de potentiel entre l'entrée et la sortie d'un miroir de courant constitué de 2 transistors T_1 et T_2 se traduit par une erreur (systématique) sur le gain en courant A_i imputable à la conductance de sortie non nulle des transistors. Dans le cas où ceux-ci ont la

même longueur sur masques ($L_1 = L_2$), l'erreur relative sur le gain $A_i = I_2/I_1$ peut être exprimée sous la forme suivante (T_1 est supposé être le transistor d'entrée du miroir):

$$\frac{\Delta A_i}{A_i} = \frac{L_{eq1} - L_{eq2}}{L_{eq2}} \quad (2.7.1)$$

où L_{eq1} (L_{eq2}) est fonction de la tension drain-source V_{DS1} (V_{DS2}) comme le montrent les fig.2.1.1 et 2.1.2 (p.21). Pour l'OTA, cet effet affecte les 3 miroirs et se traduit globalement par un offset en courant ΔI_o à la sortie de l'amplificateur:

$$\frac{\Delta I_o}{I_o} \approx \frac{\Delta A_i}{A_i} - \left(\frac{\Delta A'_i}{A'_i} + \frac{\Delta A''_i}{A''_i} \right) \quad (2.7.2)$$

En appliquant (2.7.1) à cette dernière relation, et sachant que $L_2 = L_4$, $L_6 = L_8$ et $L_5 = L_7$, on trouve finalement:

$$\frac{\Delta I_o}{I_o} \approx \frac{L_{eq6} - L_{eq8}}{L_{eq8}} - \frac{L_{eq5} - L_{eq7}}{L_{eq7}} \quad (2.7.3)$$

Cette erreur est rapidement estimée en considérant le tableau récapitulatif des caractéristiques des transistors décrit à la section précédente et les fig.2.1.1 et 2.1.2 (p.21). La valeur obtenue sera comparée à l'imprécision liée à la fabrication du circuit intégré, imprécision que seules des données expérimentales permettent de quantifier. Pour la technologie CEH, les études réalisées au LEG [5], [6] montrent que la précision d'un miroir de courant travaillant en forte inversion se situe autour de 2% (écart-type) pour des transistors de dimensions moyennes.

L'erreur systématique analysée plus haut peut être annulée en imposant [cf. éq.(2.7.3)]:

$$V_{DS6} = V_{DS8} \rightarrow L_{eq6} = L_{eq8} \quad (2.7.4)$$

$$V_{DS5} = V_{DS7} \rightarrow L_{eq5} = L_{eq7} \quad (2.7.5)$$

ce qui, concrètement, revient à "cascode" T_6 (T_5) de la même manière que T_8 (T_7) de façon à obtenir le schéma de la fig.2.7.1 (p.31).

Remarque: dans la plupart des cas, le fait de cascode T_6 comme T_8 procure une amélioration suffisante vis-à-vis des tolérances sur le gain des

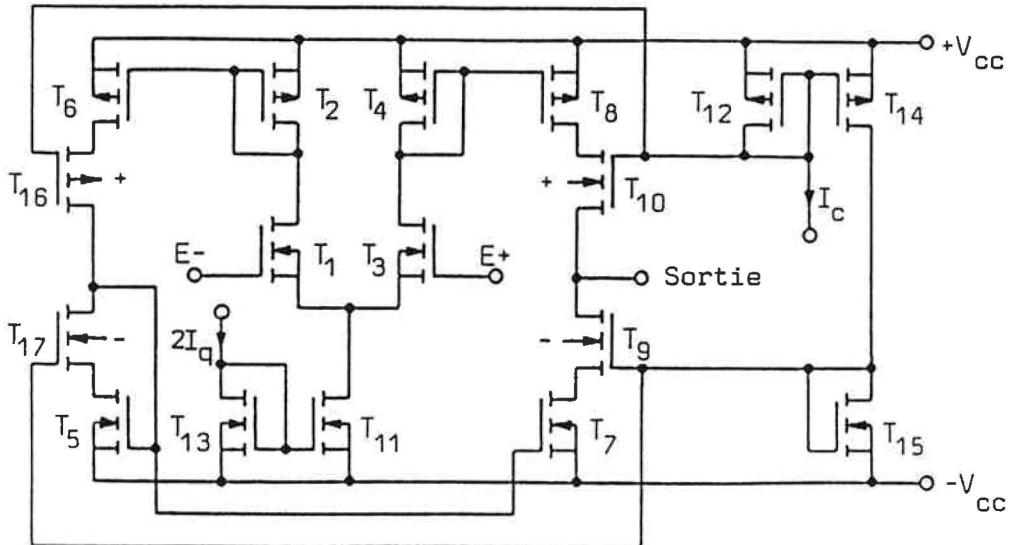


Fig.2.7.1 OTA avec miroirs symétrisés ($\beta_{16}/\beta_{10} = \beta_{17}/\beta_9 = 1/A_i''$)

miroirs. Si toutefois il s'avérait nécessaire de cascader T_5 au moyen de T_{17} (fig.2.7.1), il serait indispensable de s'assurer que ce dernier travaille en saturation, c'est-à-dire que:

$$V_{DS17} = V_{GD5} = V_{GD7} \geq V_{DSS17} = V_{DSS9} \quad (2.7.6)$$

Si tel n'était pas le cas, il faudrait mettre en oeuvre d'autres "astuces" de circuit dont la présentation déborde du cadre de cette étude.

Globalement la tension d'offset U_{os} à l'entrée de l'OTA a 2 origines distinctes:

1. l'offset de tension ΔU_d de la paire différentielle seule
2. l'offset de courant ΔI_m à la sortie de l'OTA résultant des défauts d'appariement des transistors formant les différents miroirs de courant (l'erreur systématique ΔI_o comprise)

En rapportant en tension à l'entrée l'offset de courant ΔI_m , nous pouvons écrire:

$$U_{os} = \Delta U_d + \Delta I_m / g_m \quad (2.7.7)$$

L'expérience montre que ΔU_d est minimum lorsque T_1 et T_3 travaillent en faible inversion [5]. D'autre part il a été constaté que la forte inversion assure une meilleure symétrie en courant [5], [6]. Ainsi le choix de faire travailler la paire différentielle en faible inversion et les miroirs de

courant en forte inversion se trouve confirmé par les considérations sur l'offset, ce dernier s'écrivant alors:

$$U_{OS} = \Delta U_d + n U_T \cdot \Delta I_m / I_o \quad (2.7.8)$$

Ayant passé en revue ces diverses observations concernant le point de fonctionnement et le régime de travail des différents transistors constituant l'OTA, il faut rappeler que, pour assurer la similitude entre transistors, certaines règles relatives au plan de masques doivent être observées. Ces règles sont détaillées dans la référence [7]. En particulier, l'expérience a montré [5], [6] que l'appariement de 2 transistors est amélioré si ceux-ci sont dessinés en "quad", structure où les transistors ont même centre de géométrie. Toutefois, plutôt que d'appliquer ce principe à la paire différentielle ainsi qu'à chaque miroir de courant, il est plus avantageux de tirer parti de la symétrie inhérente à la structure de l'OTA, par exemple en disposant les transistors selon le layout symbolique de la fig.2.7.2. On vérifie aisément que, globalement, cette disposition assure l'indépendance de l'offset aux gradients des paramètres tels que l'épaisseur d'oxyde, et jouit donc de la même propriété que la structure en quad, sans rendre nécessaire le morcellement de chaque transistor en 2 éléments. On distingue, à la fig.2.7.2, deux "pseudo-quads": l'ensemble $T_2-T_4-T_6-T_8$ et l'ensemble $T_1-T_3-T_5-T_7$.

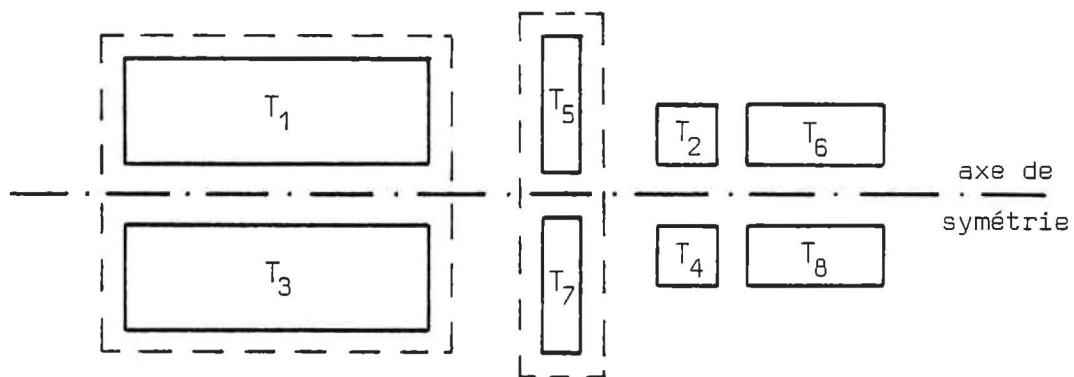


Fig.2.7.2 Disposition assurant l'insensibilité aux gradients des paramètres (ici $A_i'' = 1$)

CONCLUSIONS

L'amplificateur opérationnel à transconductance, largement utilisé dans les circuits analogiques MOS, a fait l'objet d'une étude analytique complète qui en a permis la modélisation à l'aide d'un nombre minimum de paramètres. De ces résultats découle la procédure de dimensionnement détaillée dans le second chapitre, procédure dont l'implantation sur ordinateur ou calculatrice de table ne doit pas poser de problème particulier.

Toutefois, la simulation détaillée à partir du plan de masques du circuit obtenu devra faire appel à des modèles plus élaborés que ceux utilisés ici, particulièrement en ce qui concerne le passage de la faible à la forte inversion.

Les OTAs intégrés jusqu'ici montrent une bonne concordance entre les performances attendues et les caractéristiques expérimentales. Le gain le plus élevé réalisé avoisine les 100 dB alors que le plus faible offset mesuré est de 2 mV (écart-type). Les valeurs de transconductance les plus couramment utilisées en micropuissance se situent entre 1 et 100 $\mu\text{A/V}$, ceci pour des consommations comprises entre environ 0,1 et 10 μA par OTA.

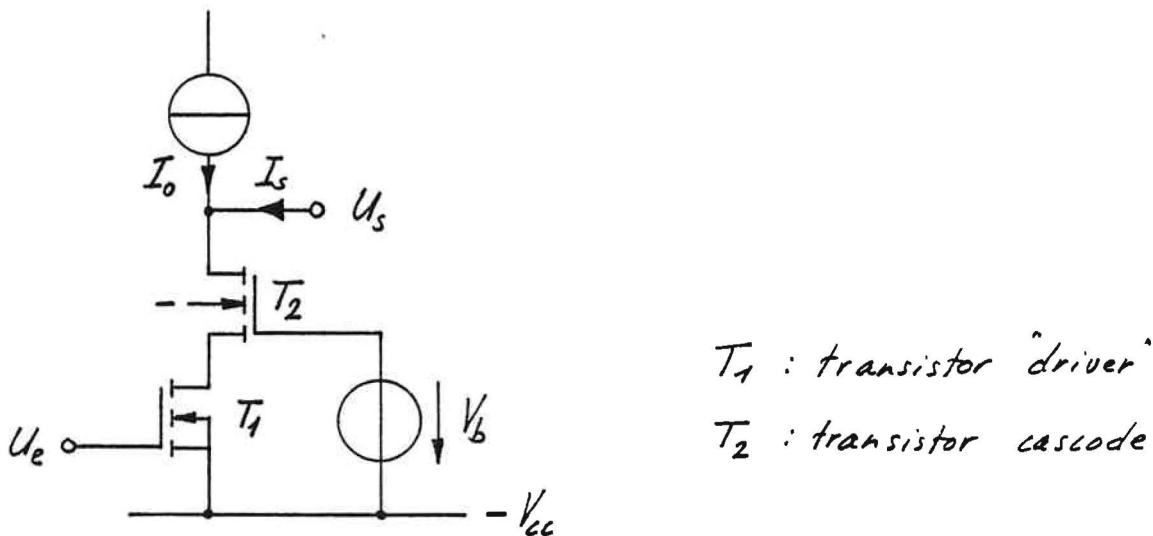
Références

- [1] H. BUHLER: "Electronique de réglage et de commande", Traité d'Electricité, vol. XVI, Presses Polytechniques Romandes, Lausanne, 1979.
- [2] J.D. CHATELAIN et R. DESSOULAVY: "Electronique", Traité d'Electricité, vol. VIII, Presses Polytechniques Romandes, Lausanne, 1982.
- [3] J.D. CHATELAIN: "Dispositifs à semiconducteur", Traité d'Electricité, vol. VII, Presses Polytechniques Romandes, Lausanne, 1979.
- [4] M.G. DEGRAUWE, J. RIJMENANTS, E.A. VITTOZ et H.J. DE MAN: "Adaptive biasing CMOS amplifiers", IEEE J. of Solid-State Circuits, vol. SC-17, pp.522-528, June 82.
- [5] J.-L. ZUFFEREY: "Offset d'une paire différentielle MOS", Rapport interne LEG 79.01.
- [6] J.-L. ZUFFEREY: "Etude de paires différentielles MOS et de transistors de longueur variable", Rapport interne LEG 79.08.
- [7] E. VITTOZ: "Conception des circuits intégrés", Cours EPF-L LEG.
- [8] CEH Catalogue

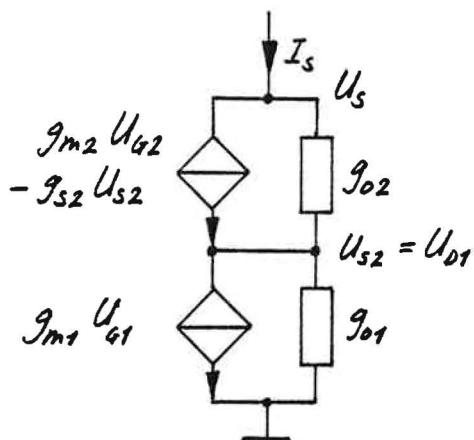
A N N E X E S

Bruit des transistors cascodes

Considérons le montage amplificateur suivant :



dont le schéma pour accroissements se présente ainsi :



- U_{G1} : tension grille-substrat du transistor T_1 ;
- U_{S2} : tension source-substrat de T_2
- U_{D1} : tension drain-substrat de T_1
- g_{m1} : transconductance de grille de T_1
- g_{s2} : transconductance de source de T_2

Cherchons à exprimer le courant de court-circuit I_{SO} ($\hat{U}_S = 0$) en fonction de U_{G1} et U_{G2} (rappel : le bruit de chaque transistor est modélisé par une source de tension rapportée à la grille U_{GA}^2).

Equations :

$$\textcircled{2} \quad I_{so} = g_{m2} U_{G2} - g_{s2} U_{S2} + g_{o2} U_{S2} \quad (U_s = 0)$$

$$② \quad I_{so} = g_{m1} U_{G1} + g_{o1} U_{S2}$$

En combinant ② et ③, on obtient :

$$③ \quad I_{SO} \left(1 + \frac{g_{s2} + g_{o2}}{g_{o1}} \right) = U_{G1} \cdot \frac{g_{m1}}{g_{o1}} \cdot (g_{s2} + g_{o2}) + U_{G2} \cdot g_{m2}$$

La transconductance équivalente du circuit vaut :

$$g_m = \frac{I_{SO}}{U_e} = \frac{I_{SO}}{U_{G1}} \stackrel{③}{=} \frac{g_{m1} \cdot (g_{s2} + g_{o2})}{g_{s2} + g_{o1} + g_{o2}} \approx g_{m1}$$

Le courant de bruit I_{nss1}^2 du transistor T_1 a pour valeur :

$$I_{nss1}^2 \stackrel{③}{=} \left[\frac{g_{m1} \cdot (g_{s2} + g_{o2})}{g_{s2} + g_{o1} + g_{o2}} \right]^2 \cdot U_{ng1}^2 = g_m^2 \cdot U_{ng1}^2$$

Alors que le courant de bruit I_{nss2}^2 du à T_2 vaut :

$$I_{nss2}^2 \stackrel{③}{=} \left[\frac{g_{o1} \cdot g_{m2}}{g_{s2} + g_{o1} + g_{o2}} \right]^2 \cdot U_{ng2}^2 = g_m^2 \left[\frac{g_{o1} \cdot g_{m2}}{g_{m1} \cdot (g_{s2} + g_{o2})} \right]^2 \cdot U_{ng2}^2$$

Donc

$$\frac{I_{nss2}^2}{I_{nss1}^2} = \left[\frac{g_{o1} \cdot g_{m2}}{g_{m1} \cdot (g_{s2} + g_{o2})} \right]^2 \approx \left(\frac{g_{o1}}{g_{m1}} \cdot \frac{g_{m2}}{g_{s2}} \right)^2 = \frac{g_{o1}^2}{g_{m1}^2} \cdot \frac{1}{n^2} \ll 1$$

Cette dernière relation montre que dans le calcul du bruit de l'amplificateur, la contribution des transistors cascades est négligeable, car elle est réduite d'un facteur proportionnel au gain g_m/g_o du transistor "driver".

Evaluation de la longueur équivalente du canal d'un MOST

Le calcul de la caractéristique statique du transistor MOS, présenté dans la réf. [3], néglige implicitement les zones de déplétion des jonctions drain-substrat et source-substrat dans l'évaluation de la longueur du canal. Cette dernière est admise égale à la distance entre les jonctions métallurgiques source-substrat et drain-substrat [3], distance qui est communément appelée longueur effective L_{eff} (effective channel length). Dans le cas de la technologie « grille de silicium CEF n°1, la longueur de la grille après fabrication correspond à la longueur sur masques L , de sorte que L_{eff} est donnée par :

$$L_{eff} = L - 2 \cdot 0,7 x_j$$

où x_j est la profondeur de la jonction source-substrat ou drain-substrat ($0,7 x_j$ représente donc la diffusion latérale de la source ou du drain).

La longueur équivalente L_{eq} s'obtient en déduisant de L_{eff} la largeur des zones de charge d'espace (s'étendant principalement dans le substrat) aux jonctions drain-canal

et source-canal. Ces dernières sont admises abruptes et unilatérales ; dans ce cas la zone de dépletion s'étend essentiellement dans le substrat et a pour largeur :

$$L_{\text{dépl}} = \sqrt{\frac{2E_s}{9N_B} (V_{bo} - V_j)}$$

avec $E_s = 11,8 \cdot E_0$ $E_0 = 8,854 \cdot 10^{-12}$ F/m

$$9 = 1,6 \cdot 10^{-19}$$
 C

N_B : dopage du substrat

V_{bo} : barrière de potentiel de la jonction à l'équilibre

V_j : tension directe appliquée à la jonction

Nous allons maintenant évaluer V_j en tenant compte du potentiel de surface ψ_s , car c'est ce qui donne les meilleurs résultats.

On pose donc :

$$V_{jBS} = \psi_s(0) - V_s \text{ à la jonction source-canal}$$

$$V_{jDD} = \psi_s(L_D) - V_D \quad " \quad " \quad \text{drain-canal}$$

Pour l'évaluation du potentiel de surface, il faut distinguer plusieurs cas :

- 1) Le transistor est en forte inversion et le canal est non pincé ($V_{GS} > V_T$ et $V_{DS} < V_{DSS}$).
Dans ce cas nous avons [3] :

$$\psi_s(0) \approx 2\phi_B + V_S$$

$$\psi_s(L_{eq}) \approx 2\phi_B + V_D \quad \text{avec } \phi_B = U_T \ln \left(\frac{N_B}{n_i} \right)$$

de sorte que :

$$V_{jBS} = V_{jBD} \approx 2\phi_B$$

Donc :

$$L_{\text{dépl}} \approx \sqrt{\frac{2E_s}{qN_B} \cdot (V_{bo} - 2\phi_B)}$$

à la source comme au drain.

On obtient ainsi la longueur équivalente du transistor pour $V_{GS} > V_T$ et $V_{DS} < V_{DSS}$:

$$L_{eq_0} = L_{eff} - 2\sqrt{\frac{2E_s}{qN_B} \cdot (V_{bo} - 2\phi_B)}$$

On remarque qu'en première approximation L_{eq_0} ne dépend pas de la tension drain-source.

2) Le transistor est saturé ($V_{GS} > V_T$ et $V_{DS} > V_{DSS}$).

A proximité du drain, le canal entre en faible inversion : il y a "pincement" et le potentiel de surface $\psi_s(L_{eq})$ est fonction du potentiel de grille V_G .

Nous avons [3] :

$$V_G^* = V_G - V_{FB} = \psi_s + K\sqrt{\psi_s'}$$

$$\text{avec } K = \sqrt{2qE_s N_B} / C_{ox}$$

Pour simplifier, nous allons effectuer un développement limité de cette fonction autour de $V_{GS} = V_T$ où par définition $\psi_s = 2\phi_B + V_s$. En dérivant, nous obtenons :

$$\frac{\partial V_G^*}{\partial \psi_s} = 1 + \frac{K}{2\sqrt{4\psi_s}}$$

qui, en $\psi_s = 2\phi_B + V_s$, vaut :

$$\left. \frac{\partial V_G^*}{\partial \psi_s} \right|_{V_{GS}=V_T} = 1 + \frac{K}{2\sqrt{2\phi_B + V_s}} = n$$

Nous pouvons donc approximer ψ_s par :

$$\psi_s \approx \psi_s(V_{GS} = V_T) + \left[\frac{\partial V_G^*}{\partial \psi_s} \right]_{V_{GS}=V_T}^{-1} (V_{GS} - V_T)$$

c'est-à-dire :

$$\psi_s \approx 2\phi_B + V_s + \frac{V_{GS} - V_T}{n} = 2\phi_B + V_s + V_{DSS}$$

Donc

$$\psi_s(0) = 2\phi_B + V_s \quad (\text{comme sous 1}))$$

$$\psi_s(Leg) \approx 2\phi_B + V_s + V_{DSS}$$

de sorte que :

$$V_{jBS} = \psi_s(0) - V_s = 2\phi_B$$

$$\begin{aligned} V_{jBD} &= \psi_s(Leg) - V_0 = 2\phi_B + V_s + V_{DSS} - V_0 \\ &= 2\phi_B - (V_{DS} - V_{DSS}) \end{aligned}$$

Finalement :

$$L_{eq} \approx L_{eff} - \sqrt{\frac{2\varepsilon_s}{qN_B} \cdot \left[\sqrt{V_{bo} - 2\phi_B} + \sqrt{V_{bo} - 2\phi_B + (V_{os} - V_{oss})} \right]}$$

dans le cas où $V_{as} > V_T$ et $V_{os} > V_{oss}$.

Cette fonction est représentée graphiquement à la p. 21 dans le cas de la technologie CEH n°1.

- 3) Le transistor est en faible inversion ($V_{as} < V_T$). En utilisant pour ψ_s le même développement limité que précédemment, nous obtenons :

$$\psi_s(0) = \psi_s(L_{eq}) \approx 2\phi_B + V_s - \frac{V_T - V_{as}}{n}$$

Donc :

$$V_{jBS} = 2\phi_B - \frac{V_T - V_{as}}{n}$$

$$V_{jBO} = 2\phi_B - \frac{V_T - V_{as}}{n} - V_{os}$$

Si nous remplaçons V_{as} par V_T dans l'expression $I_D = f(V_a, V_s, V_o)$ valable en faible inversion, nous trouvons [7] :

$$I_D(V_T) = (n-1)\beta U_T^2 \quad \text{pour } V_o - V_s \gg U_T$$

Nous pouvons donc écrire :

$$\frac{V_T - V_{as}}{n} = U_T \cdot \ln \left[\frac{(n-1)\beta U_T^2}{I_D} \right]$$

Par conséquent L_{eq} vaut, en faible inversion ($I_D < \beta U_T^2$) :

$$L_{eq} = L_{eff} - \sqrt{\frac{2E_s}{9N_B}} \cdot \left[\sqrt{V_{bo} - 2\phi_B + U_T \ln \left[\frac{(n-1)\beta U_T^2}{I_0} \right]} + \sqrt{V_{bo} - 2\phi_B + U_T \ln \left[\frac{(n-1)\beta U_T^2}{I_0} \right] + V_{os}} \right]$$

Dans la plupart des cas concrets cependant, les transistors en faible inversion travaillent à des courants I_0 assez proches de la limite de faible inversion βU_T^2 , de sorte que :

$$L_{eq} \approx L_{eff} - \sqrt{\frac{2E_s}{9N_B}} \cdot \left[\sqrt{V_{bo} - 2\phi_B} + \sqrt{V_{bo} - 2\phi_B + V_{os}} \right]$$

constitue une approximation suffisante.

Evaluation de la tension de modulation V_H

Par définition, la conductance de sortie g_o vaut :

$$g_o = \frac{\partial I_D}{\partial V_{DS}} = \frac{I_D}{V_H}$$

Or

$$\frac{\partial I_D}{\partial V_{DS}} = \frac{\partial I_D}{\partial L_{eq}} \cdot \frac{\partial L_{eq}}{\partial V_{DS}} = - \frac{I_D}{L_{eq}} \cdot \frac{\partial L_{eq}}{\partial V_{DS}} \quad \text{car } I_D \doteq 1/L_{eq}$$

Comme, selon le développement analytique des pages A3 à A8, L_{eq} est donné par :

$$L_{eq} = L_{eff} - \sqrt{\frac{2\varepsilon_s}{9N_B}} \cdot \sqrt{V_{bo} - 2\phi_B + \sqrt{V_{bo} - 2\phi_B + (V_{os} - V_{oss})}}$$

nous avons :

$$\frac{\partial L_{eq}}{\partial V_{os}} = - \sqrt{\frac{2\varepsilon_s}{9N_B}} \cdot \frac{1}{2\sqrt{V_{bo} - 2\phi_B + (V_{os} - V_{oss})}}$$

Donc,

$$V_H = \frac{I_D}{g_o} = -L_{eq} \cdot \left[\frac{\partial L_{eq}}{\partial V_{os}} \right]^{-1} = d \cdot L_{eq}$$

$$\text{avec } d = \sqrt{\frac{2gN_B[V_{bo} - 2\phi_B + (V_{os} - V_{oss})]}{\varepsilon_s}}$$

La fonction $d = d(V_{os} - V_{oss})$ est représentée graphiquement à la p.26 dans le cas de la technologie CEH n°1.

Fig.2.1.1

MOST à canal N CEH no1

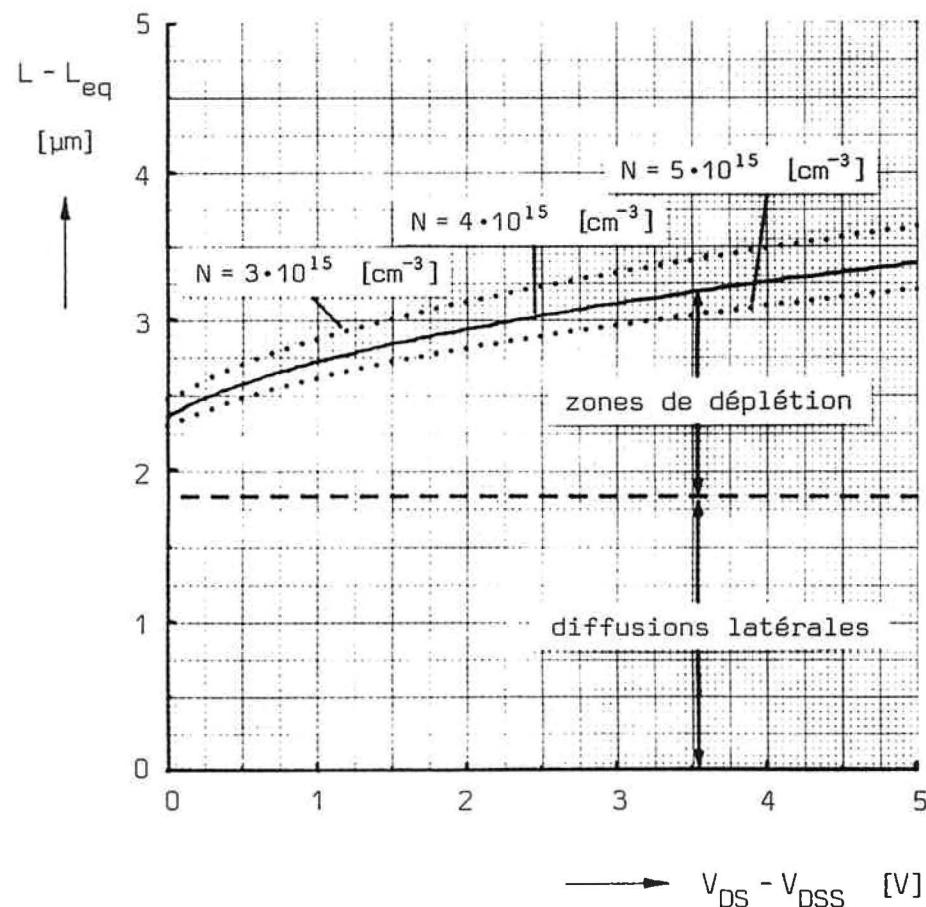
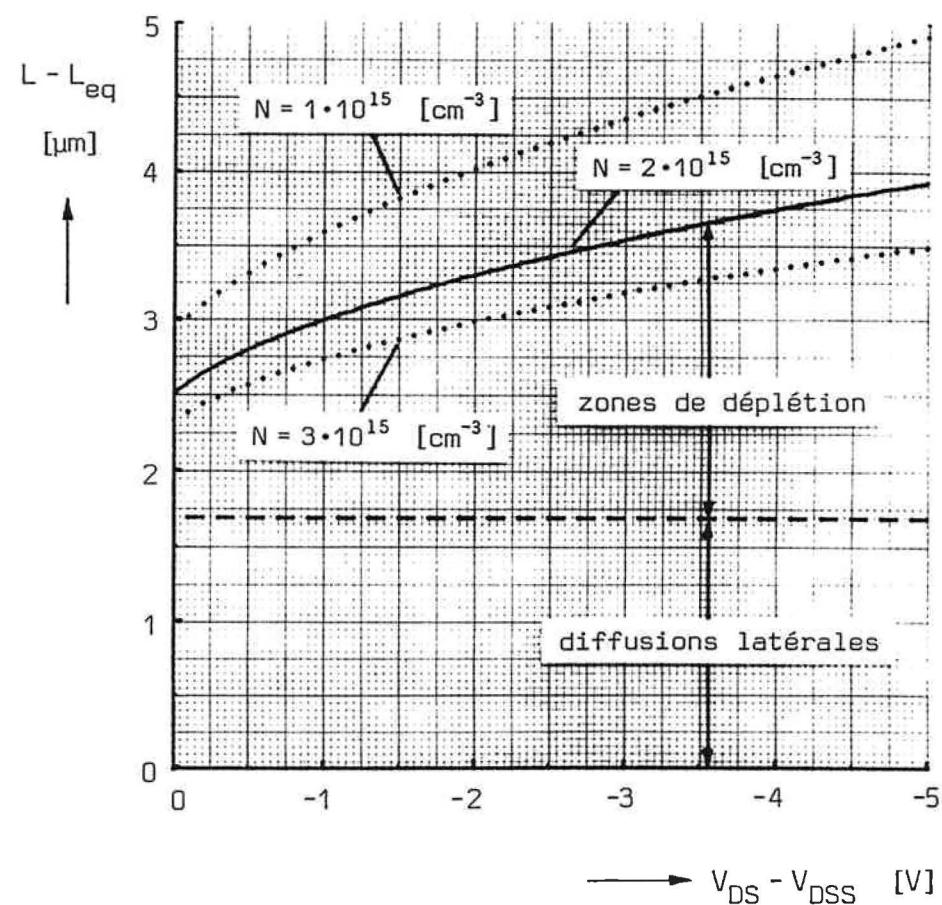


Fig.2.1.2

MOST à canal P CEH no1



Remarque: ces courbes sont également valables en faible inversion (dans ce cas, poser $V_{DSS} = 0$)

Fig.2.4.1

MOST à canal N CEH no1

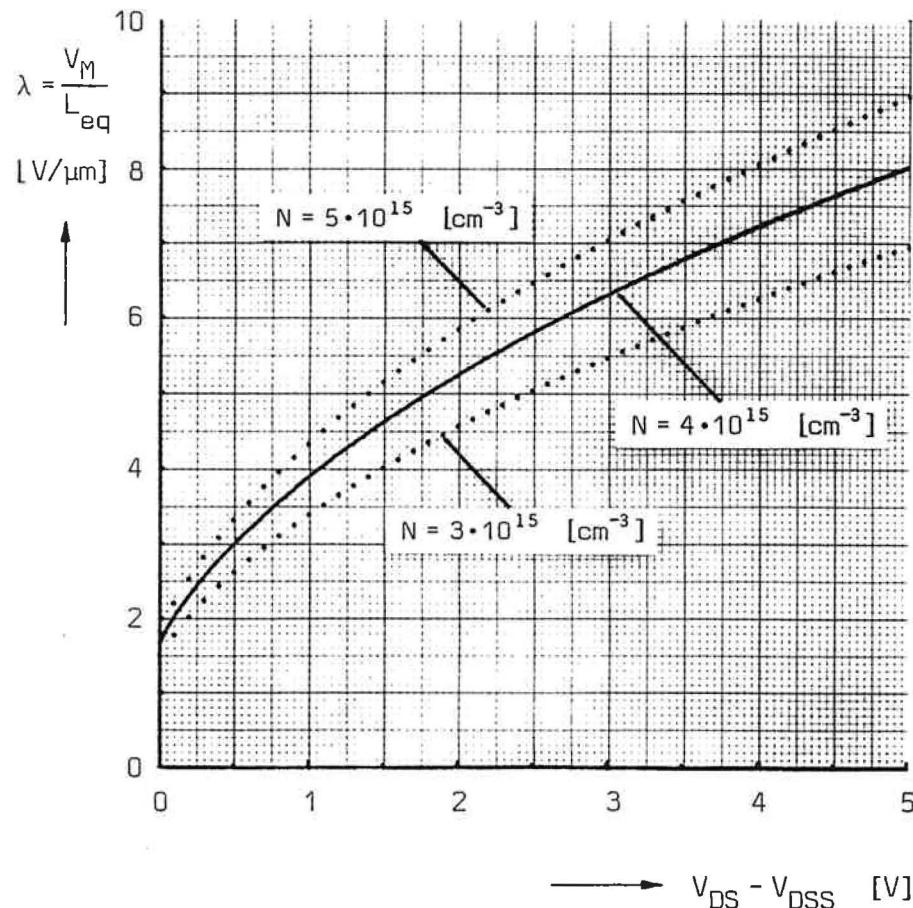
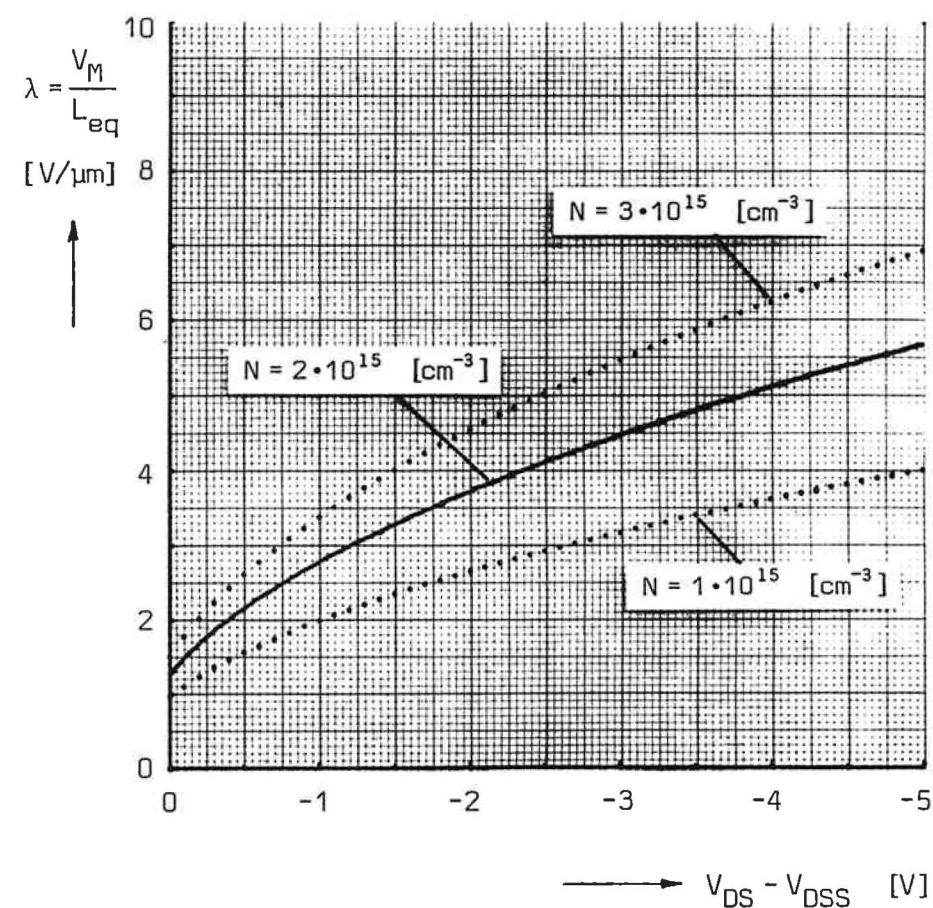


Fig.2.4.2

MOST à canal P CEH no1



Remarque: ces courbes sont également valables en faible inversion (dans ce cas, poser $V_{DSS} = 0$)