



MC542

Organização de Computadores: Teoria e Prática

Exerc. 1

IC – UNICAMP

1 Objetivo

O objetivo deste exercício e dos próximos é projetar e simular unidades (componentes) típicas de uma *cpu* usando VHDL.

O projeto será desenvolvido usando-se as ferramentas ghdl e gktwave instaladas nos laboratórios 1 e 2 do IC-3. Alternativamente você pode fazer *download* e instalar as ferramentas em uma máquina pessoal (para acesso às páginas das ferramentas consulte a página do curso).

2 Descrição do Projeto

Implemente um Banco de Registradores (Register File), use para isso a entidade dada abaixo, com duas portas de saída e uma de entrada de dados que realize as seguintes operações:

- Leitura assíncrona de dois registradores, ié na saída do banco de registradores sempre haverá os dados armazenados nos registradores cujos endereços estão em A1 e A2.
- Escrita síncrona de um registrador. A escrita deverá ocorrer de forma síncrona e usando o sinal We3 como *enable*. O dado a ser escrito no registrador endereçado por A3 deve ser fornecido em WD3.

```
Entity RF is
  Generic(W : natural = 32);
  port(A1      : in std_logic_vector(4 downto 0);
        A2      : in std_logic_vector(4 downto 0);
        A3      : in std_logic_vector(4 downto 0);
        WD3     : in std_logic_vector(W-1 downto 0);
        clk     : in std_logic;
        We3     : in std_logic;
        RD1     : out std_logic_vector(W-1 downto 0);
        RD2     : out std_logic_vector(W-1 downto 0));
End RF;
```

OBS.: O registrador localizado na posição zero (0) do banco de registradores sempre terá o valor zero (i.e., “000000000000000000000000000000”).

Projete também um *testbench* que exercite o banco de registradores projetado.

Desenvolva o seu projeto em um diretório cujo nome é o seu RA e tenha dois subdiretórios (tb e vhd) e os arquivos como mostrado abaixo:

```
xxxxxx          -- Seu RA
  xxxxxx.pdf     -- Relatório de 1 a 2 páginas
  tb
    compila_tb.sh -- comandos para analisar e elaborar o testbench
    executa_tb.sh -- comando para executar o testbench
    tb_rf.vhd     -- arquivo vhd principal do testbench
    tb_---.vhd    -- outros arquivos vhd, se necessário
  vhd
    compila.sh    -- comandos para analisar e elaborar o projeto
    rf.vhd        -- arquivo vhd principal da descrição da aLU
    -----vhd    -- outros arquivos vhd, se necessário
```

Crie um arquivo xxxxxx.tgz (tgz xxxxxx xxxxxx ou tar -czf xxxxxx.tgz xxxxxx) a partir do diretório do seu projeto e envie por e-mail para ducatte@ic.unicamp.br com *subject*: mc542: RF.