

Circuitos Digitais

Contadores e Registradores

Universidade Federal Rural de Pernambuco Professor: Abner Corrêa Barros abnerbarros@gmail.com

Circuitos Sequenciais X Circuitos Combinacionais



Circuitos Combinacionais:

 São circuitos cuja a resposta, sinais na saída, depende exclusivamente da combinação dos sinais da entrada

Circuitos Sequenciais:

 São circuitos cuja a resposta depende tanto da combinação dos sinais da entrada quanto da sequencia de sinais já aplicados anteriormente à sua entrada.



Relembrando...

Flip-flop JK (clock borda de subida)



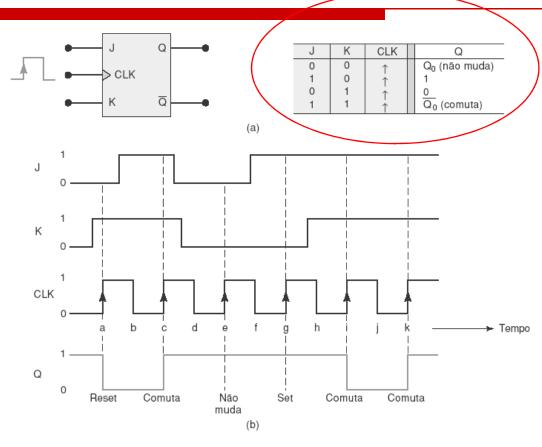


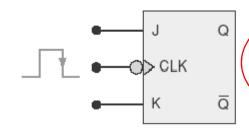
FIGURA 5.23
(a) Flip-flop *J-K* com clock que responde apenas às bordas positivas do clock; (b) Formas de ondas.

Flip-flop JK (clock borda de descida)



FIGURA 5.24

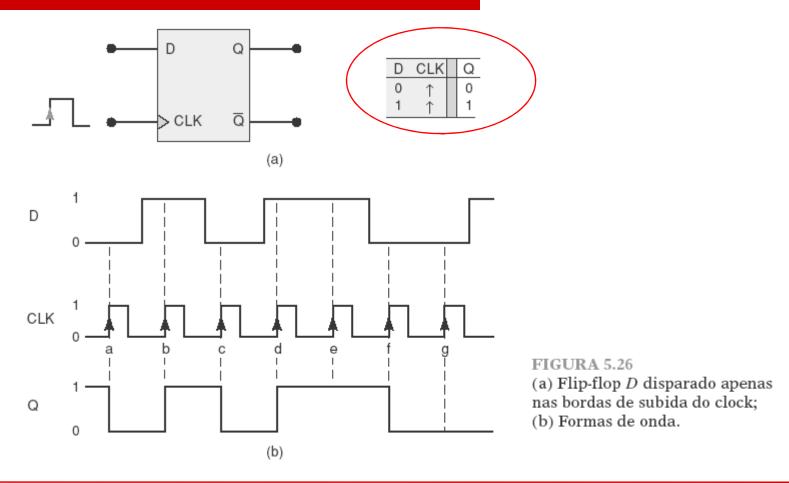
(a) Flip-flop *J-K* disparado apenas nas bordas de descida do clock.



J	K	CLK	Q
0	0	1	Q ₀ (não muda)
1	0	\downarrow	1
0	1	\downarrow	0
1	1	\downarrow	Q ₀ (comuta)

Flip-flop tipo D



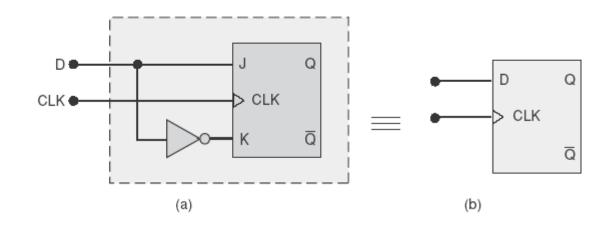


6

Flip-flop tipo D - Implementação

FIGURA 5.27

Implementação de um flip-flop D disparado por borda a partir de um flip-flop J-K.



Divisão de frequencia e contagem



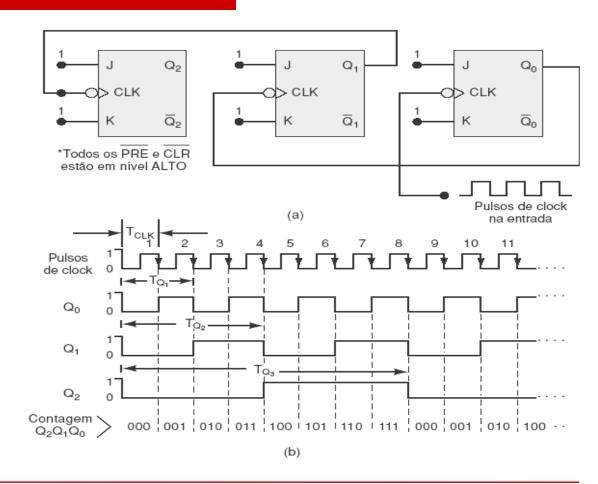


FIGURA 5.47 Flip-flops *J-K* conectados para formar um contador binário de três bits (módulo 8).





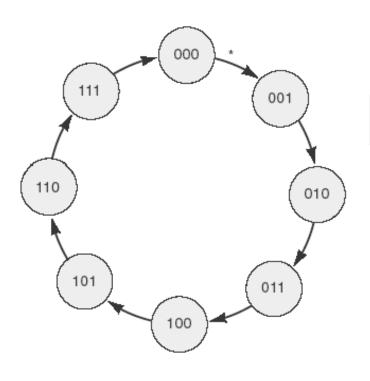
22	21	20	
Q_2	Q_1	Q_0	
0 0 0	0 0 1 1	0 1 0 1	Antes de aplicar os pulsos de clock Depois do pulso #1 Depois do pulso #2 Depois do pulso #3
1 1 1	0 0 1 1	0 1 0 1	Depois do pulso #4 Depois do pulso #5 Depois do pulso #6 Depois do pulso #7
0 0 0 0	0 0 1 1	0 1 0 1	Depois do pulso #8 retorna para 000 Depois do pulso #9 Depois do pulso #10 Depois do pulso #11

FIGURA 5.48

Tabela com os estados dos flipflops mostrando uma seqüência de contagem binária.

Diagrama de transição de estados





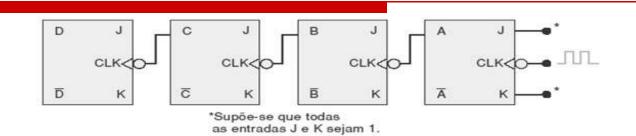
*Nota: cada seta representa a ocorrência de um pulso de clock

FIGURA 5.49

O diagrama de transição de estados mostra como os estados de um contador mudam a cada pulso de clock aplicado.

Contadores assíncronos





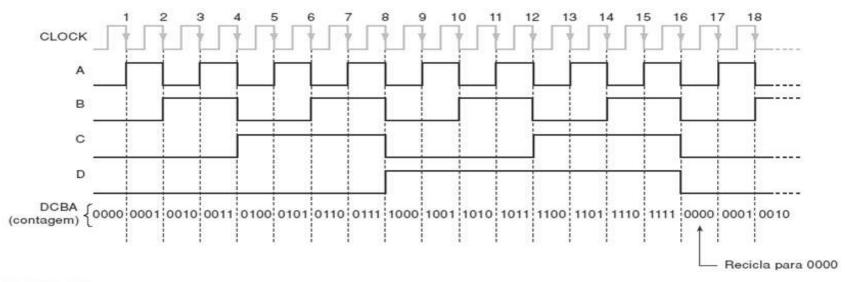


FIGURA 7.1 Contador assíncrono (ondulante) de quatro bits.

Divisão de Freqüência



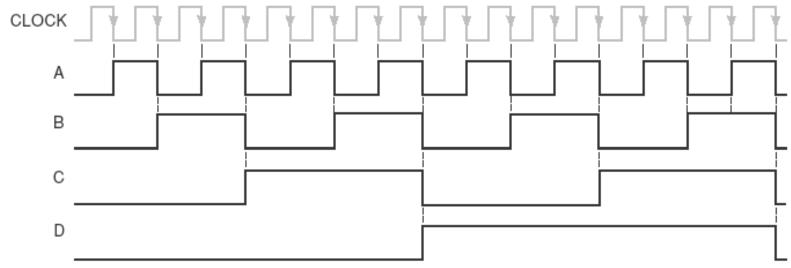
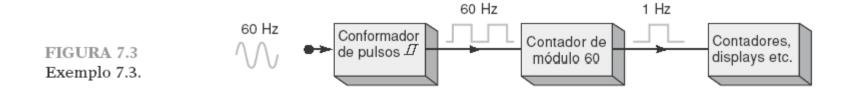


FIGURA 7.2

Formas de onda de um contador mostrando a divisão de freqüência por 2 de cada FF.

Exemplo 7.3 – Relógio Digital



Atraso de Propagação em contadores assíncronos



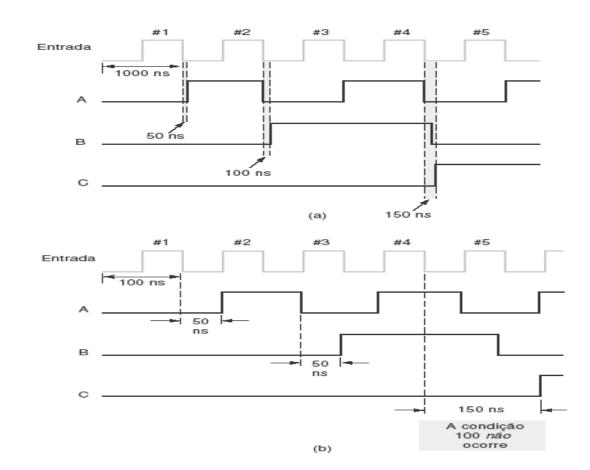


FIGURA 7.4
Formas de onda de um
contador ondulante de três
bits ilustrando os efeitos
dos atrasos de propagação dos
FFs para diferentes freqüências
de pulsos de entrada.

Atraso de Propagação em contadores assíncronos



 Para que o circuito opere adequadamente é necessário que

 Em termos de freqüência de entrada temos:

$$f_{max}=1/(N \times t_{pd})$$

Exemplo



- Suponha um contador ondulante de 4 bits que utiliza flip-flops com atrasos t_{PLH}=16ns e t_{PHL}=24ns
 - $f_{m\acute{a}x} = 1/(4x24ns) = 10.4MHz$

Exemplo



- Considere um contador assícrono formado por 6 FFs. Determine:
 - Módulo do contador
 - Frequencia da saida do último FF, se for aplicado um clock de 1Mhz
 - Qual a faixa de contagem
 - Considerando como estado inicial o valor 000000, qual será o estado do contador após 129 ciclos de clock?
 - Considerando um tpd de 10ns, qual a maior frequencia com a qual este contador pode operar com segurança?

Questões para revisão



- Explique como a frequencia máxima dos contadores ondulantes diminui a medida que aumenta o número de FFs do contador
- Um determinado FF J-K tem um t_{pd}=12ns. Qual é o contador de maior módulo que pode ser construido a partir desses FFs que ainda possa operar com uma frequencia de até 10MHz?

Contadores Síncronos (Paralelos)



Contadores Assíncronos:

- Cada FF comuta independente dos demais
- Acumulo de atraso de propagação
- Risco de perda de contagem se fclk>1/(atraso de propagação)

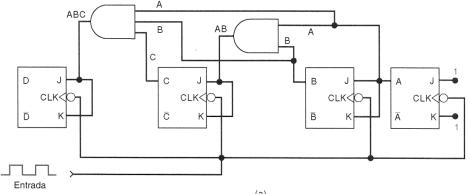
Contadores Síncronos:

- Todos os FF comutam sincronizados por um mesmo pulso de clock
- Não há acúmulo de atraso de propagação. Atraso de propagação igual a t_{pd}+t_{lógica auxiliar}
- Risco de perda de contagem se fclk>1/(atraso de propagação)

Contadores Síncronos (Paralelos)



 Contador síncrono de módulo 16. Cada FF é disparado pela descida do sinal de clock de entrada, de modo que todas as transições dos FF ocorrem ao mesmo tempo.



Contagem	D	С	В	Α
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0
8	a .	etc.		١.

Contadores de Módulo menor que 2^N

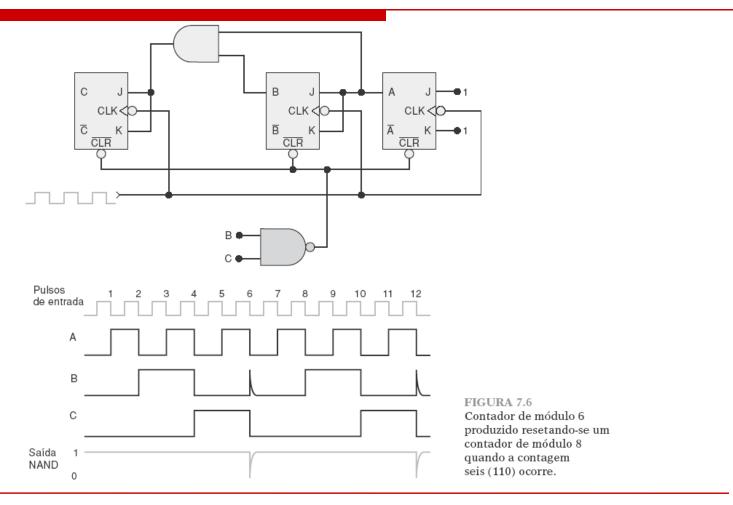
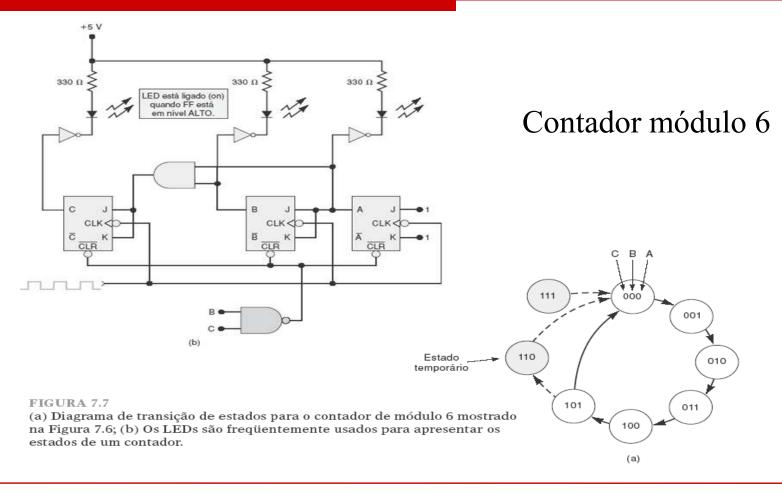


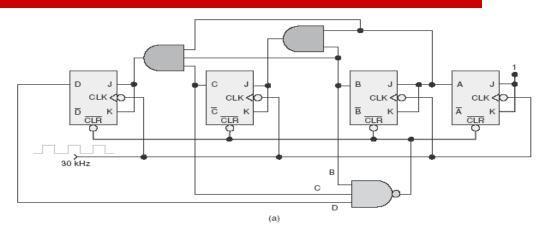
Diagrama de transição de estados



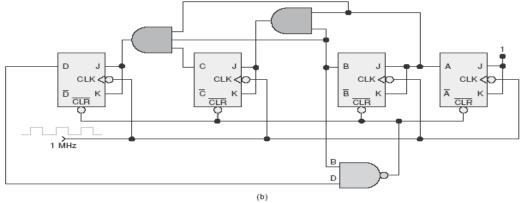


Contadores decádicos/BCD





Contador módulo 14



Contador módulo 10

FIGURA 7.8

(a) Contador síncrono de módulo 14; (b) Contador síncrono de módulo 10 (década).

Contadores decádicos/BCD



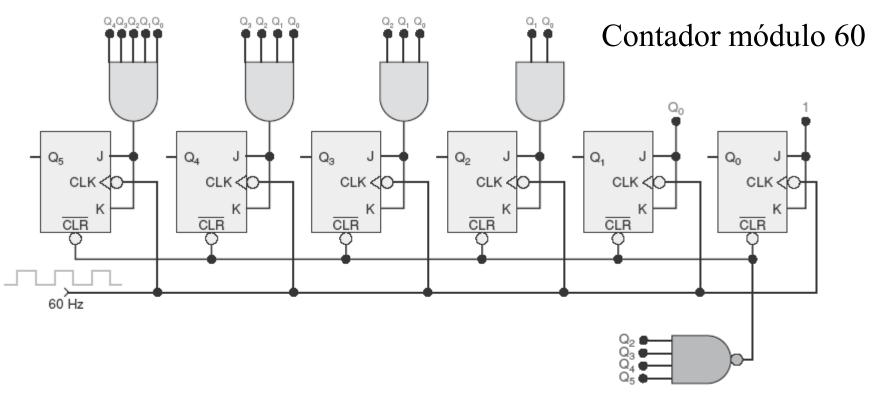
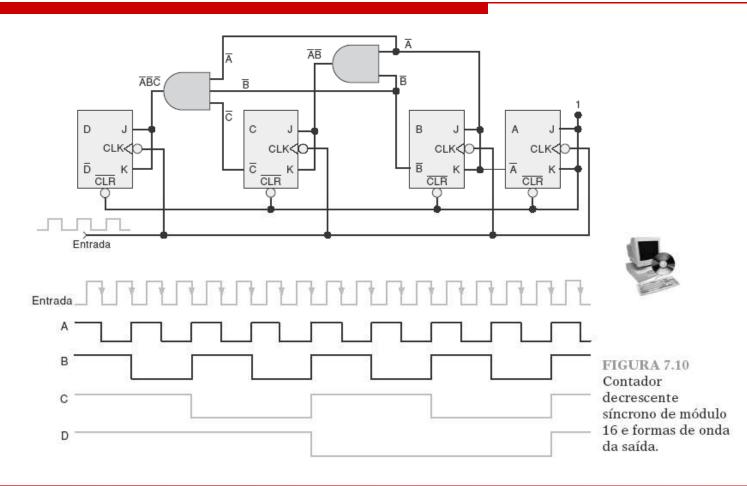


FIGURA 7.9 Contador de módulo 60.

Contador Decrescente

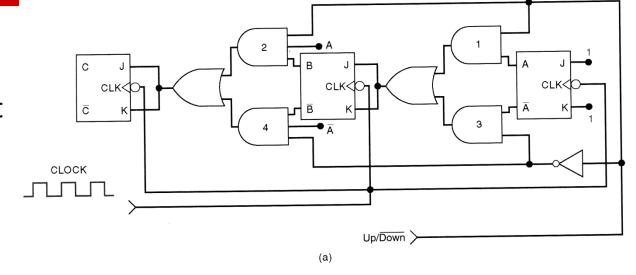


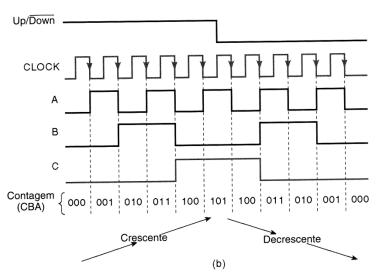


Contador Crescente/Decrescente



- Contador síncrono crescente/decrescent e de módulo 8.
- O contador conta de modo crescente quando a entrada de controle Up/Dowm = 1 e decrescente quando Up/Dowm = 0.





Contador de carga paralela



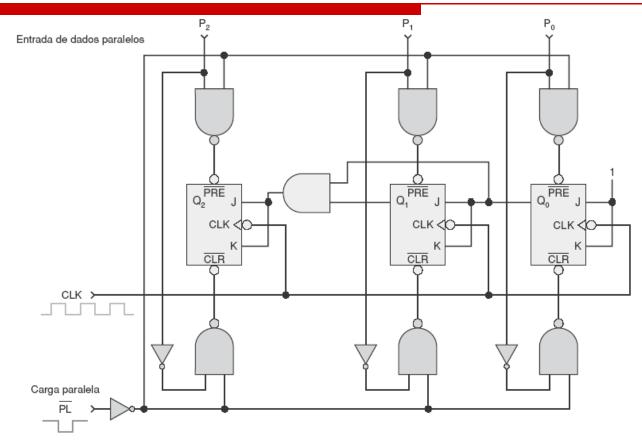
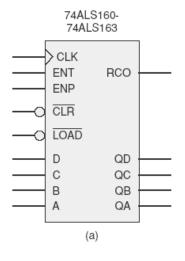


FIGURA 7.12 Contador síncrono com carga paralela assíncrona.

Circuitos Integrados contador Síncronos 74AL160/163



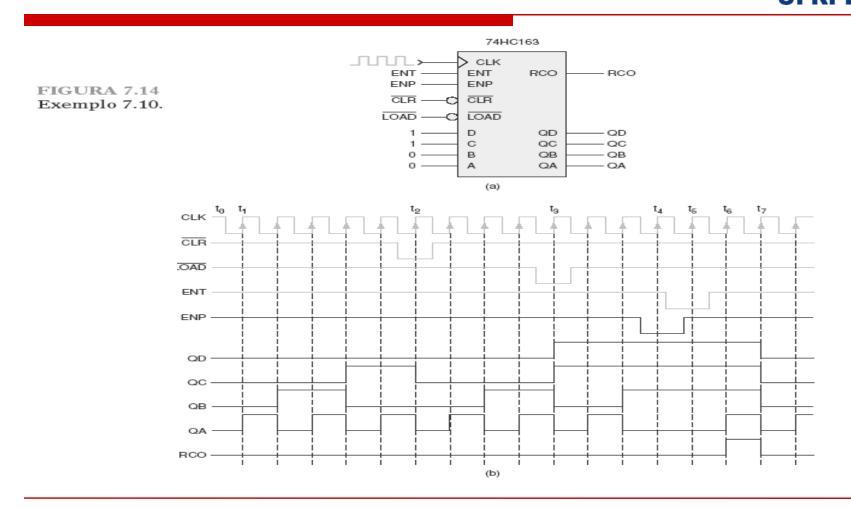
Número do componente	Módulos	
74ALS160 74ALS161 74ALS162 74ALS163	10 16 10 16	
(b)		

74ALS160-74ALS163 Tabela de funções

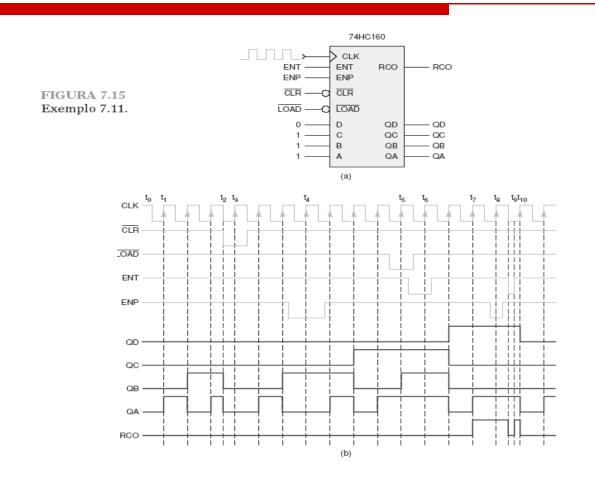
FIGURA 7.13 Série de contadores síncronos 74ALS160 a 74ALS163: (a) Símbolo lógico; (b) Módulos; (c) Tabela de funções.

CLR	LOAD	ENP	ENT	CLK	Função	Número de componentes
L	Х	Χ	Χ	Χ	Clear assíncrono	74ALS160 & 74ALS161
L	Х	Χ	Х	1	Clear síncrono	74ALS162 & 74ALS163
Н	L	Χ	Х	1	Carga síncrona	Todos
Н	Н	Н	Н	1	Contagem crescente	Todos
Н	Н	L	Х	Х	Sem mudança	Todos
Н	Н	Χ	L	Χ	Sem mudança	Todos
(C)						

Exemplo 7.10 – Formas de onda de saída de um contado



Exemplo 7.11 – Formas de onda de saída de um contado







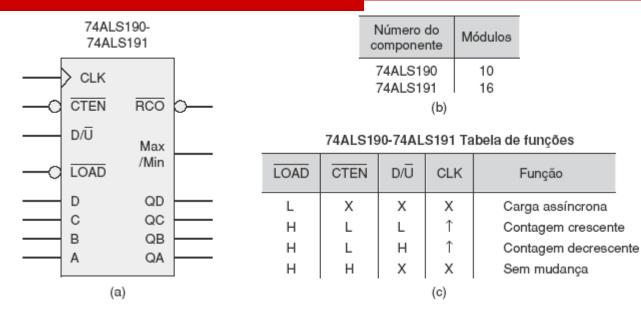
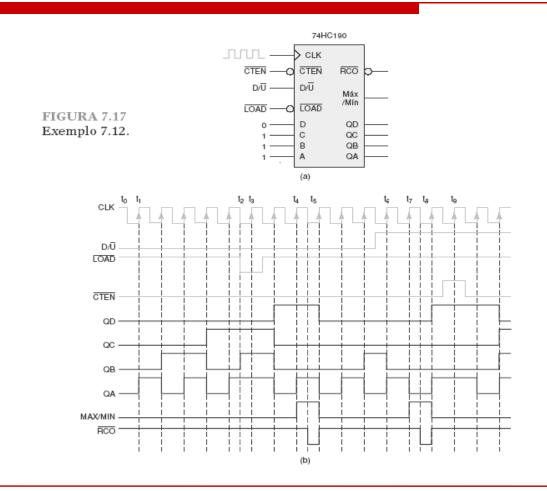


FIGURA 7.16

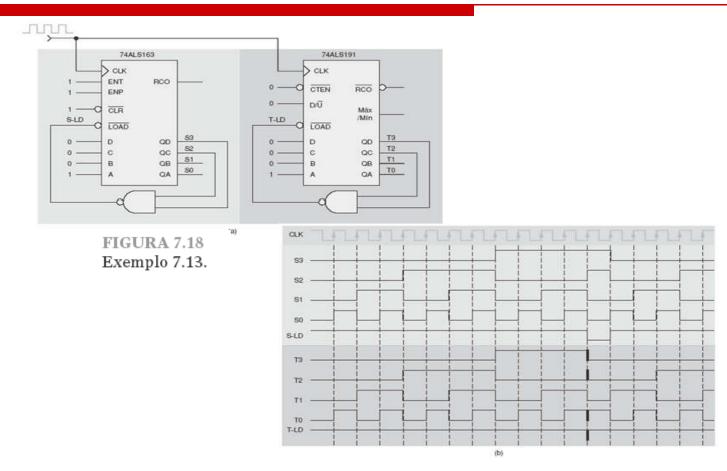
A série de contadores síncronos 74ALS190-74ALS191: (a) Símbolo lógico; (b) Módulo; (c) Tabela de funções.

Exemplo 7.12 – Formas de onda de saída de um contado









Contador de múltiplo estágios

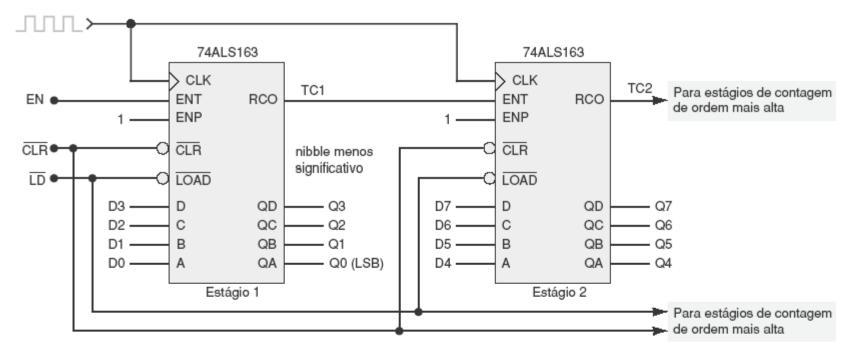


FIGURA 7.19

Dois 74ALS163s conectados em uma configuração de dois estágios para ampliar o seu intervalo máximo de contagem.

Projeto de circuitos sequencias síncronos

- Máquina de estados que represente os estados do sistema(Diagrama de transições)
- Padrão de representação dos estados (Padrão numérico)
- 3. Circuitos de ativação dos FFs utilizados





 Tabelas que refletem a configuração necessária para os sinais de controle sícronos de um FF, de forma a levar a sua saida Q de um estado conhecido a um estado desejado na próxima transição do clock





- 0 ⇒ 0, J=0 e K=0 ou J=0 e K=1
- 0 ⇒ 1, J=1 e K=0 ou J=1 e K=1
- 1 ⇒ 0, J=0 e K=1 ou J=1 e K=1
- $1 \Rightarrow 1$, J=0 e K=0 ou J=1 e K=0

Qn	Qn+1	J	K
0	0	0	Χ
0	1	1	Χ
1	0	X	1
1	1	Χ	0





- $0 \Rightarrow 0$, T=0
- $0 \Rightarrow 1$, T=1
- $1 \Rightarrow 0$, T=1
- $1 \Rightarrow 1$, T=0

Qn	Qn+1	Т
0	0	0
0	1	1
1	0	1
1	1	0





- $0 \Rightarrow 0$, T=0
- $0 \Rightarrow 1$, T=1
- $1 \Rightarrow 0$, T=1
- $1 \Rightarrow 1$, T=0

Qn	Qn+1	D
0	0	0
0	1	1
1	0	0
1	1	1

Tabelas de transição - Resum

Qn	Qn+1	J	K
0	0	0	Χ
0	1	1	X
1	0	X	1
1	1	Χ	0

Qn	Qn+1	Т
0	0	0
0	1	1
1	0	1
1	1	0

Qn	Qn+1	D
0	0	0
0	1	1
1	0	0
1	1	1

Projeto de um contador Síncrono Módulo 5



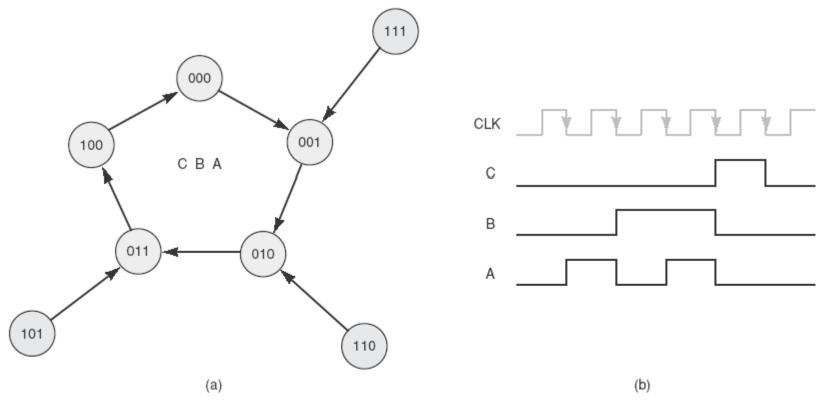


FIGURA 7.24

(a) Diagrama de transição de estados; (b) Diagrama de tempo para o contador síncrono da Figura 7.23.

Organizando as tarefas...



- 1. Definir máquina de estados
- 2. Definir o padrão de representação dos estados
 - Preencher os campos estados atual e próximo estado da Tabela de próximo estado(t->t₊₁) com os valores definidos na máquina de estados
- 3. Circuitos de ativação dos FFs utilizados
 - 1. ...

Organizando as tarefas...



3. Circuitos de ativação dos FFs utilizados

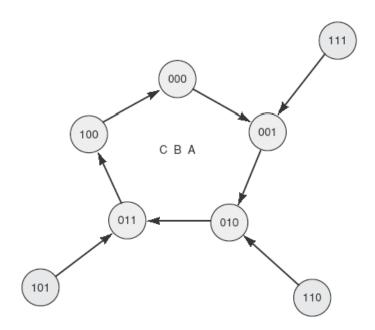
- Preencher os campos das entradas de controle dos FFs na Tabela de próximo estado com valores que levem os FFs dos seus estados atuais aos próximos estados desejados
- Com base nos valores do campo estado atual e das entradas de controle, projetar os circuitos combinacionais que permitam configurar os FFs para assumirem os estados definidos no campo próximo estado

Implementando um exemplo...



Tomando como base o contador síncrono módulo 5 auto-

recuperável



Máquina de estados

Atual	Entradas de Controle		Prox.
СВА			CBA ₊₁
000			001
001			010
010			011
011			100
100			000
101			011
110			010
111			001

Tab. de T. de Prox. Est.

Implementação com FF-JK Tabela de Próx. Estado



Atual	Entradas de Controle						Prox.
CBA	J_{C}	K _C	J_B	K_B	J _A	K_A	CBA ₊₁
000	0	X	0	X	1	X	001
001	0	X	1	X	X	1	010
010	0	X	X	0	1	X	011
011	1	X	X	1	X	1	100
100	X	1	0	X	0	X	000
101	X	1	1	X	X	0	011
110	X	1	X	0	0	X	010
111	X	1	X	1	X	0	001

Geração do circuito de ativação dos FFs

- FS UFRPE
- Analizando a tabela de próximo estado, projetar o circuito combinacional para ativação de cada um dos FFs utilizados
- Deve ser projetado um circuito combinacional para cada uma das entradas síncronas, de cada um dos FFs. Ou seja, tendo como base todas as possíveis combinações previstas para o estado atual, associadas a todas as possíveis combinações dos valores das demais entradas do circuito, projetar os circuitos combinacionais que tenham como resposta os valores que levam os FFs aos estados futuros desejados

Geração do circuito de ativação dos FFs

- Este projeto segue o padrão já anteriormente adotado para circuitos combinacionais:
 - tabela verdade, equações booleanas e simplificação algébrica ou,
 - tabela verdade e simplificação pelo método do Diagrama de Karnaugth
- Por ser mais prático, vamos adotar o método do mapa de Karnaugh para proceder a simplificação dos circuitos

simplificação pelo método do Diagrama de Karnaugth

Exemplo: Equação do circuito de geração do sinal J_C

	\overline{A}	A
\overline{C} \overline{B}	0	0
\overline{C} B	0	1
C B	X	X
$C \overline{B}$	Χ	X

$$J_{c} = A.B$$





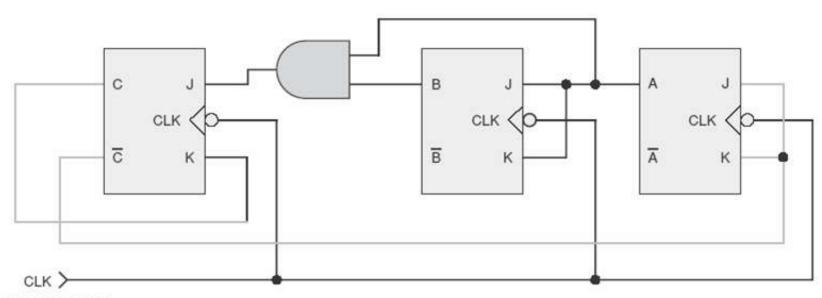


FIGURA 7.23

Contador síncrono com diferentes entradas de controle.

Implementação com FF-D Tabela de Próx. Estado



Atual	Entrad	as de Co	ontrole	Prox.
СВА	DA	DB	DC	CBA ₊₁
000	0	0	1	001
001	0	1	0	010
010	0	1	1	011
011	1	0	0	100
100	0	0	0	000
101	0	1	1	011
110	0	1	0	010
111	0	0	1	001

Obs



- Este é um contador conhecido como contador autocorretor/autorecuperável pois todos os estados possíveis, mesmo os não alcançáveis, tem um próximo estado definido
- Contadores sem este recurso, se forem para um estado não definido poderão entrar em um estado erro do qual só poderão ser recuperados se ressetados

Analisando um contador síncrono



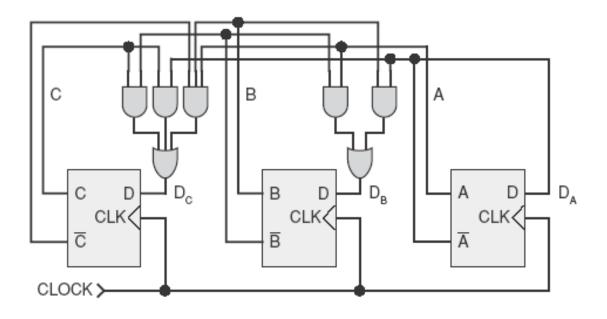


FIGURA 7.25 Contador síncrono usando flip-flops *D*.

Passo a passo...



- 1. Levantar as equações dos circuitos de ativação dos FFs
- Determinar a tabela de transição de Próximo estado
- 3. Verificar o próximo estado para todos os estados possíveis

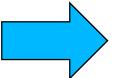




$$D_{C} = C \overline{B} + C \overline{A} + \overline{C} B A$$

$$D_{B} = \overline{B} A + B \overline{A}$$

$$D_{A} = \overline{A}$$



Т	D _C	D _B	D _A	T+1
000	0	0	1	001
001	0	1	0	010
010	0	1	1	011
011	1	0	0	100
100	1	0	1	101
101	1	1	0	110
110	1	1	1	111
111	0	0	0	000

Passo a passo...



Trata-se de um contador módulo 8 autoreciclável

Exemplo: Contador módulo 5 auto corretor



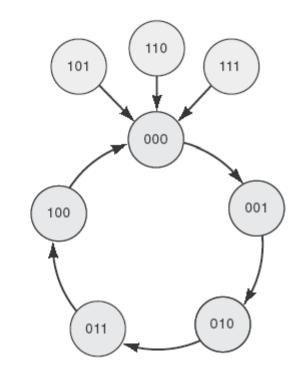


FIGURA 7.26
Diagrama de transição de estados para o exemplo de projeto do contador síncrono.

Tabela de transição de próximo estado



Linha	Es	stado Atu	al	Pró	ximo Est	ado
	С	В	Α	С	В	Α
1	0	0	0	0	0	1
2	0	0	1	0	1	0
3	0	1	0	0	1	1
4	0	1	1	1	0	0
5	1	0	0	0	0	0
6	1	0	1	0	0	0
7	1	1	0	0	0	0
8	1	1	1	0	0	0

Tabela de transição de próximo estado completa



Linha	Estado Atual		Próximo Estado		Entradas de Controle							
	С	В	Α	С	В	Α	J_{C}	K_{C}	J_{B}	K_B	J_A	K_A
1	0	0	0	0	0	1	0	Χ	0	Χ	1	X
2	0	0	1	0	1	0	0	Χ	1	Χ	Χ	1
3	0	1	0	0	1	1	0	Χ	Χ	0	1	1
4	0	1	1	1	0	0	1	Χ	Χ	1	Χ	1
5	1	0	0	0	0	0	Χ	1	0	Χ	0	Χ
6	1	0	1	0	0	0	Χ	1	0	Χ	Χ	1
7	1	1	0	0	0	0	Χ	1	X	1	0	Χ
8	1	1	1	0	0	0	Χ	1	X	1	Χ	1

Simplificação dos circuitos de ativação dos FFs

$$J_A = \overline{C}$$

Α	TUA						
С	В	Α		J_A			
0	0	0		1			
0	0	1		Χ			
0	1	0		1			
0	1	1		X			
1	0	0		0			
1	0	1		Х			
1	1	0		0			
1	1	1		Х			
(a)							

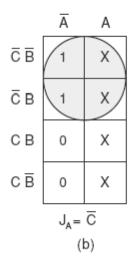
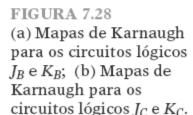
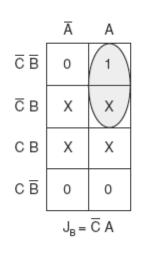


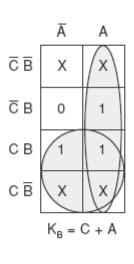
FIGURA 7.27

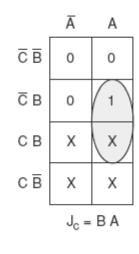
(a) Parte da tabela de excitação do circuito mostrando J_A para cada estado ATUAL; (b) Mapa de Karnaugh usado para obter uma expressão simplificada para J_A.

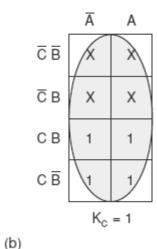
Simplificação dos circuitos de ativação dos FFs











(a)

Circuito final do contador



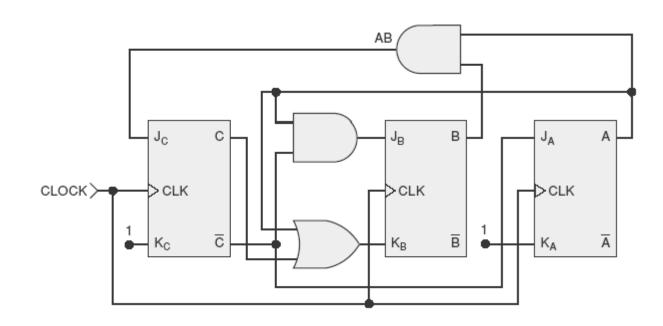
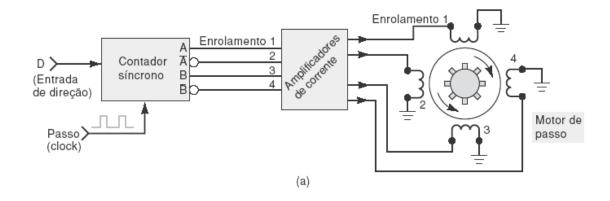


FIGURA 7.29 Implementação final do exemplo de projeto de um contador síncrono.

Exemplo: Projeto do circuito de controle para motor de passo



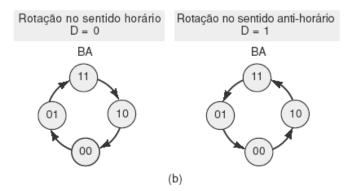


FIGURA 7.30 (a) Um contador síncrono fornece a seqüência apropriada de saídas para acionar o motor de passo; (b) Diagrama de transição de estados para os dois valores da entrada de direção, D.

Tabela de transição de próximes estado

Est. Atual	Prox. Est.	Entradas de Controle						
DBA	ВА	JB	KB	JA	KA			
0 0 0	0 1	0	X	1	X			
0 0 1	1 1	1	X	X	0			
0 1 0	0 0	X	1	0	X			
0 1 1	1 0	X	0	X	1			
100	1 0	1	X	0	X			
101	0 0	0	X	X	1			
1 1 0	1 1	X	0	1	X			
1 1 1	0 1	X	1	X	0			

Simplificação dos circuitos de ativação dos FFs

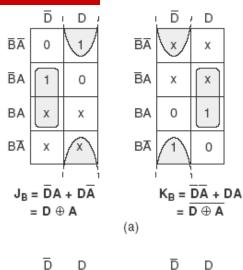


FIGURA 7.31

- (a) Mapas K para $J_B \in K_B$;
- (b) Mapas K para J_A e K_A

$$J_{A} = \frac{\overline{DB} + DB}{D \oplus B}$$

$$K_A = \overline{D}B + D\overline{B}$$

= D \oplus B

ΒĀ

ΒA

BA

 $B\overline{A}$

Circuito Final



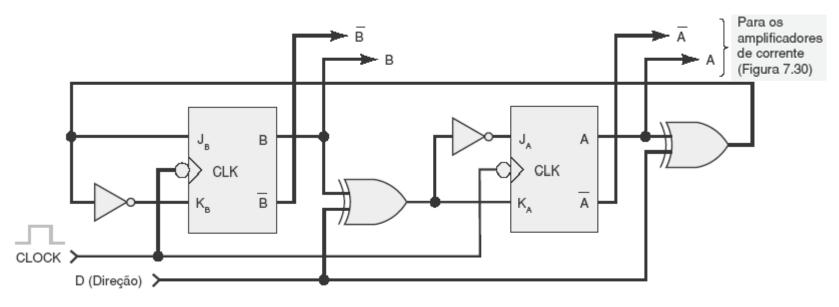


FIGURA 7.32 Contador síncrono implementado a partir das equações para $J \in K$.

Projeto de contador com FF-

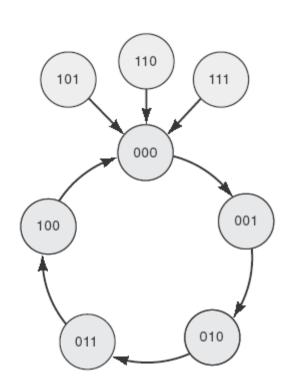


FIGURA 7.26 Diagrama de transição de estados para o exemplo de projeto do contador síncrono.

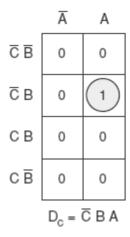


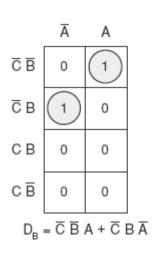


Linha	Estado Atual		Próximo Estado			Entradas de Controle			
	С	В	Α	С	В	Α	D_{C}	D_B	D_A
1	0	0	0	0	0	1	0	0	1
2	0	0	1	0	1	0	0	1	0
3	0	1	0	0	1	1	0	1	1
4	0	1	1	1	0	0	1	0	0
5	1	0	0	0	0	0	0	0	0
6	1	0	1	0	0	0	0	0	0
7	1	1	0	0	0	0	0	0	0
8	1	1	1	0	0	0	0	0	0

Simplificação







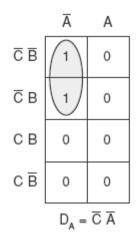


FIGURA 7.33
Mapas K e expressões lógicas simplificadas para o projeto de um contador flip-flop de módulo 5.





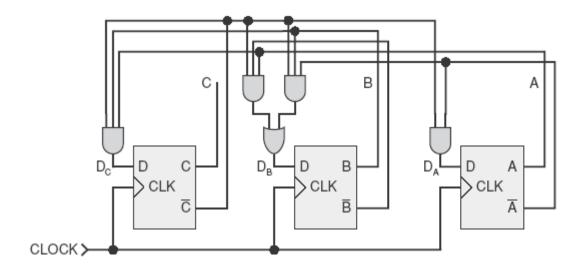


FIGURA 7.34 Implementação do circuito do projeto de um contador flip-flop de módulo 5.



Decodificando um contador

Decodificação ativa em nível alto



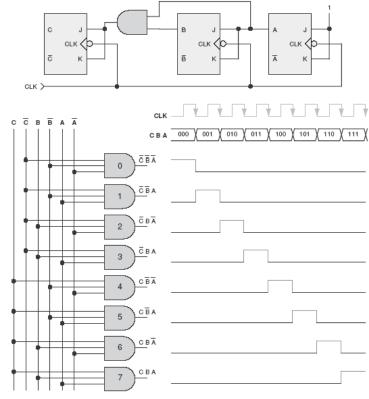
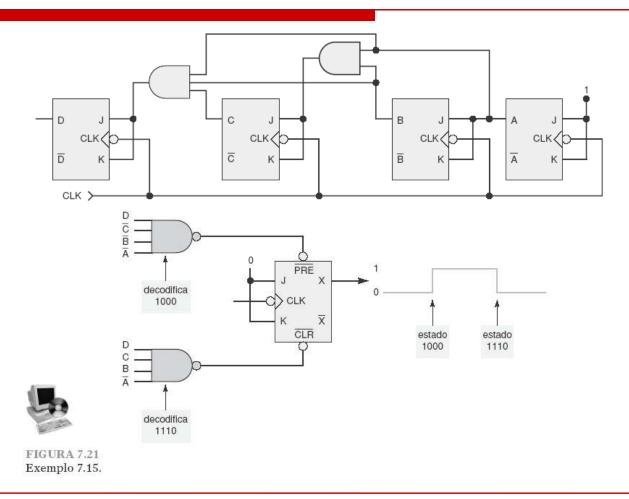


FIGURA 7.20 Usando portas AND para decodificar um contador de módulo 8.

Exemplo 7.15 – Circuito de controle

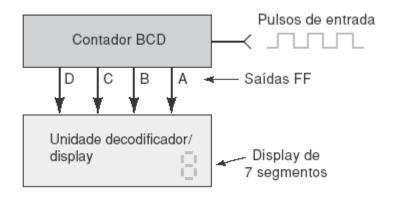




Decodificação de um contado BCD

FIGURA 7.22

Contadores BCD geralmente têm sua contagem mostrada em um único display.





Circuitos Integrados e Registradores

Entrada paralela/saída paralela CI 74174

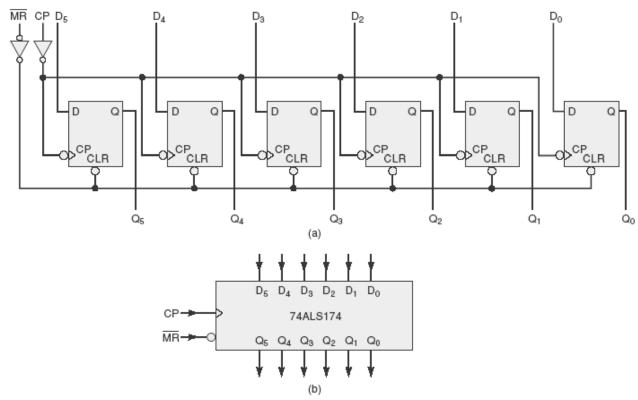


FIGURA 7.62

(a) Diagrama do circuito do 74ALS174; (b) Símbolo lógico.

Registrador de Deslocamento



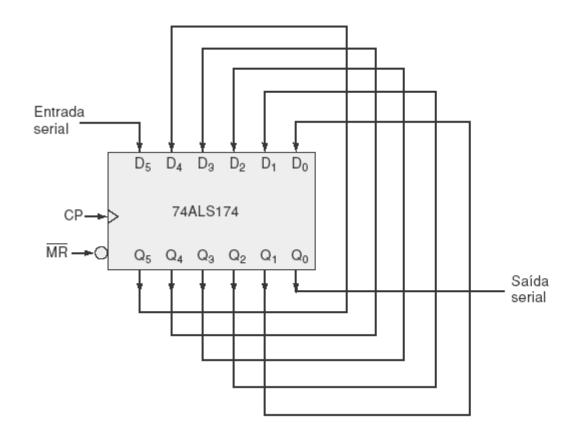


FIGURA 7.63 Exemplo 7.16. Um 74ALS174 conectado como um registrador de deslocamento.

Entrada Serial/Saída Serial CI 74166



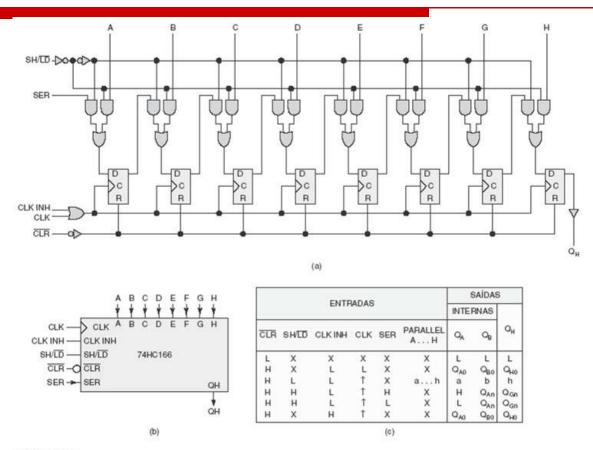
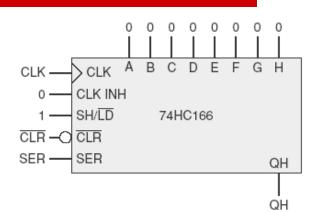


FIGURA 7.64

(a) Diagrama do circuito do 74HC166; (b) Símbolo lógico; (c) Tabela de funções.

Exemplo 7.18: Linha de Atras



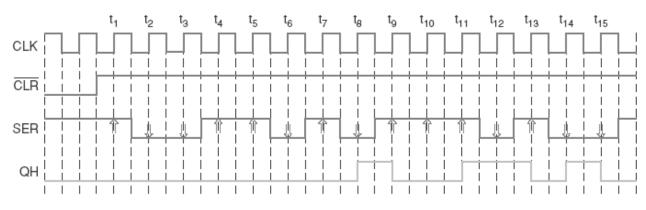


FIGURA 7.65 Exemplo 7.18. **UFRPE**

Entrada Paralela/Saida Serial CI 74165



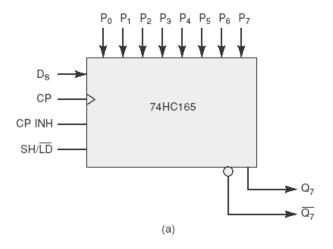


FIGURA 7.66 (a) Símbolo lógico para o registrador com entrada paralela/saída serial 74HC165; (b) Tabela de funções.

Entradas CP CP INH SH/LD Operação Χ Carga paralela Н Χ Sem mudança Н Sem mudança Н Η L Deslocamento Deslocamento

Tabela de funções

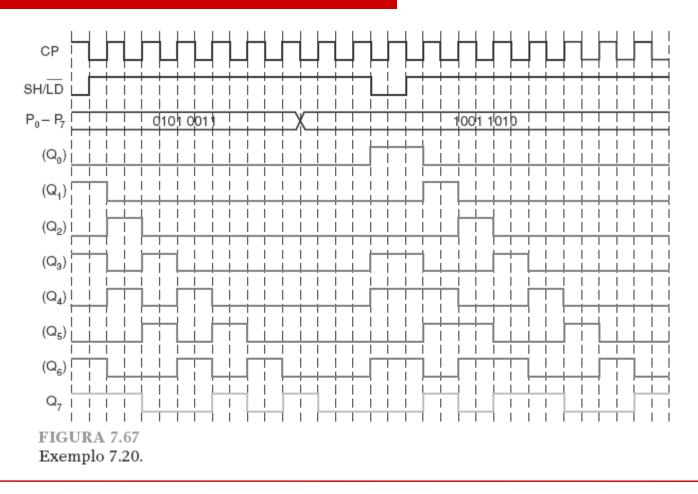
H = nível alto L = nível baixo

X = irrelevante

F = PGT

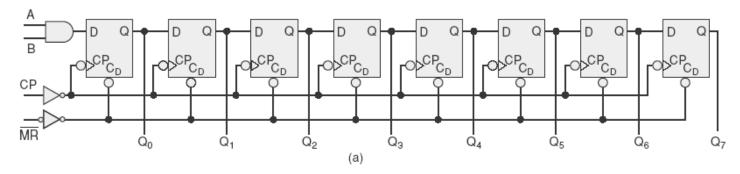
(b)

Exemplo 7.20 Aplicação do CI 74165



Entrada Serial/Saída Paralela CI 74164

Registrador de deslocamento de 8 bits 74ALS164



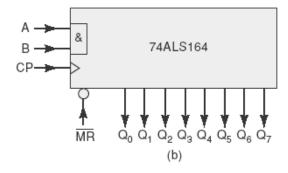
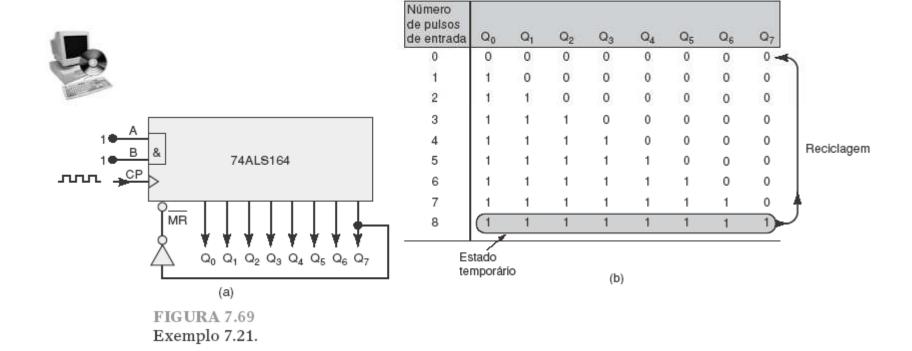


FIGURA 7.68

(a) Diagrama lógico para o 74ALS164; (b) Símbolo lógico.

Exemplo 7.21 Aplicação CI 74164







Contadores com Registradores de deslocamento

Contador em anel



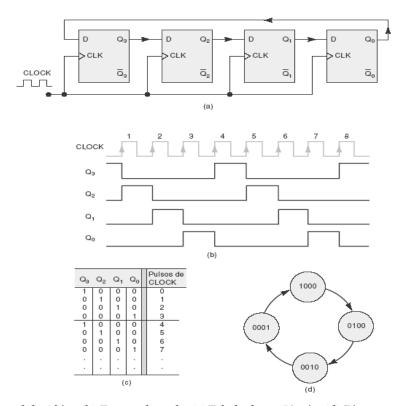


FIGURA 7.70

(a) Contador em anel de 4 bits; (b) Formas de onda; (c) Tabela de seqüência; (d) Diagrama de estados.

Circuito de inicialização do contador



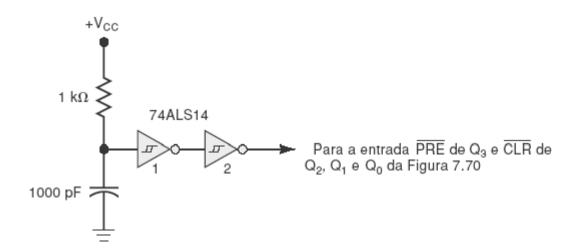


FIGURA 7.71

Circuito que assegura que o contador em anel da Figura 7.70 inicie no estado 1000 quando for energizado.

Contador Johnson ou Contado Torcido

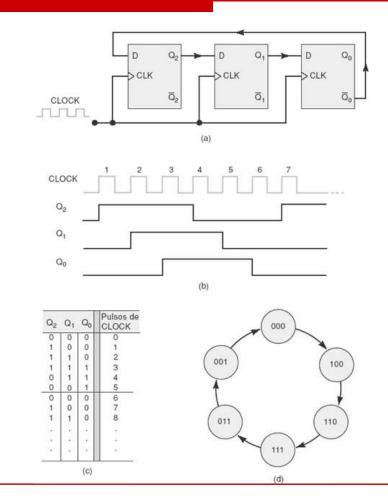
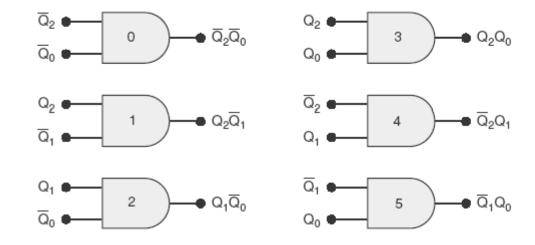


FIGURA 7.72
(a) Contador Johnson de módulo 6; (b) Formas de onda; (c) Tabela de freqüência; (d) Diagrama de estado.

Decodificando um contador johnson





Q_2	Q_1	Q_0	Porta ativa
0	0	0	0
1	0	0	1
1	1	0	2
1	1	1	3
0	1	1	4
0	0	1	5

FIGURA 7.73

Lógica de decodificação para um contador Johnson de módulo 6.



Resolver os exercícios das seções 7.8, 7.9 e 7.10 e os exercícios de fixação

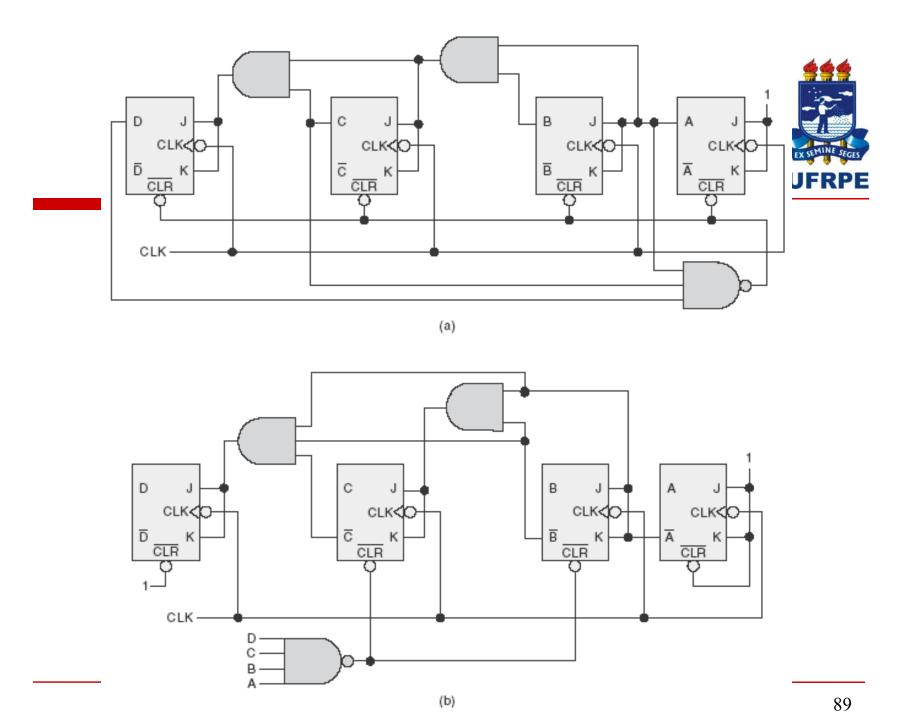
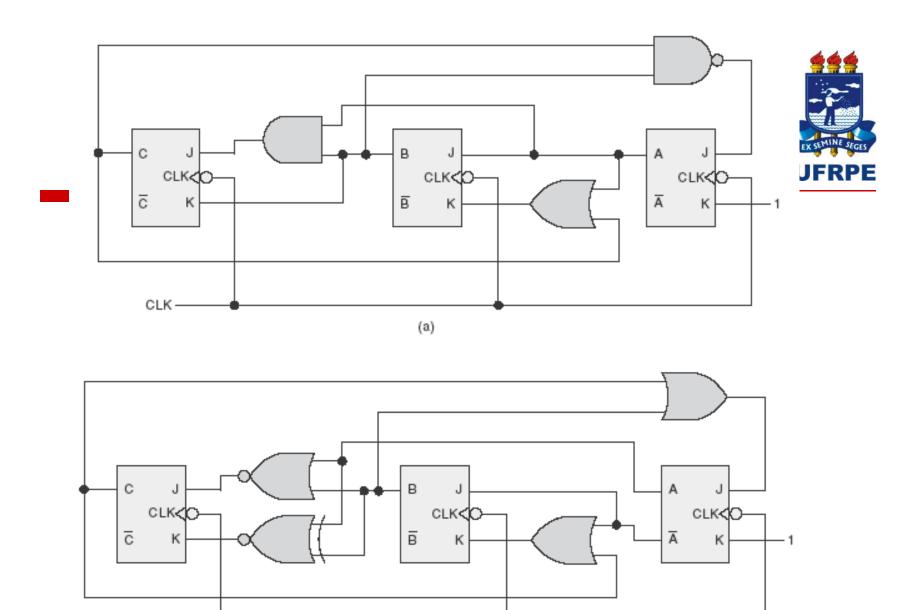


FIGURA 7.103 Problemas 7.37 e 7.38.



(b)

90

CLK-

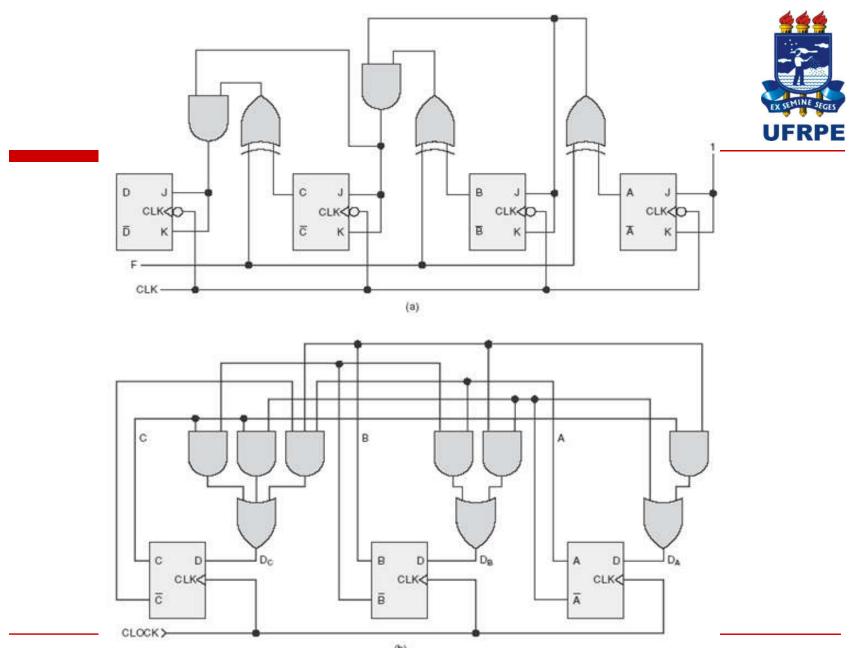


FIGURA 7.105 Problemas 7.41 e 7.42. Correa Barros