



Πανεπιστήμιο Δυτικής Αττικής
Τμήμα Μηχανικών Πληροφορικής και Ηλεκτρονικών Υπολογιστών

Εργαστήριο Προηγμένης Αρχιτεκτονικής Υπολογιστών – Εργασία 2

Χρήστος Μαργιώλης – 19390133

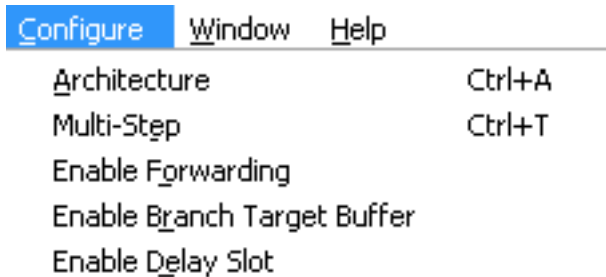
Απρίλιος 2025

Περιεχόμενα

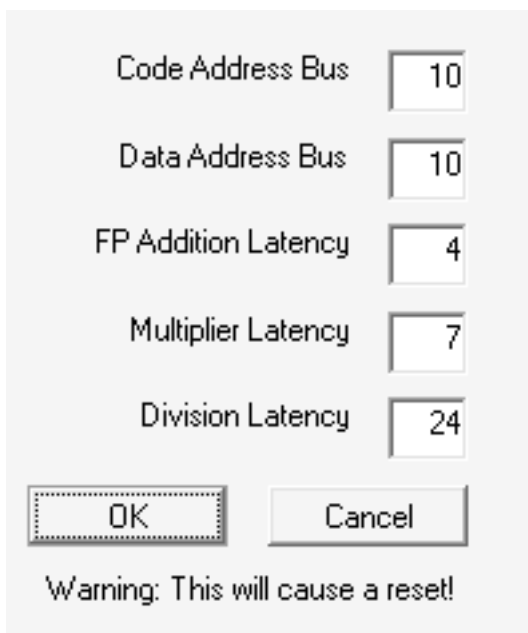
1	Προσαρμογή προσομοιωτή	2
2	Ερώτημα 1	2
3	Ερώτημα 2	3
4	Ερώτημα 3	3
5	Ερώτημα 4	4

1 Προσαρμογή προσομοιωτή

Απενεργοποίηση Enable Forwarding, Enable Target Buffer και Enable Delay Slot:



Επαλήθευση τιμών παραμέτρων: FP Addition Latency = 4, Multiplier Latency = 7, Division Latency = 24:



2 Ερώτημα 1

Τμήμα A:

Εξαρτώμενη	Αρχική	Εξάρτηση	Από
2 dsub r5,r1,r4	1 dadd r1,r2,r3	RAW-A1	r1
3 or r6,r1,r5	2 dsub r5,r1,r4	RAW-A2	r1, r5
4 dadd r7,r1,r6	3 or r6,r1,r5	RAW-A3	r1, r6

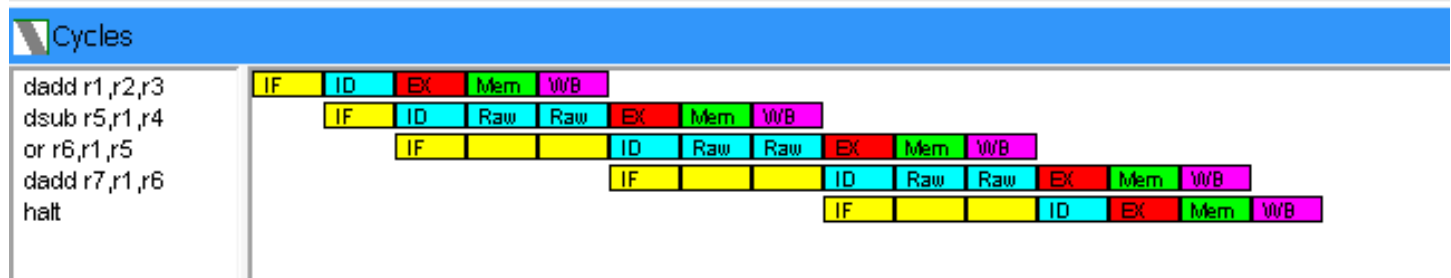
Τμήμα B:

Εξαρτώμενη	Αρχική	Εξάρτηση	Από
2 lw r3,4(r1)	1 lw r1,0(r2)	RAW-B1	r1
4 sw r1,0(r4)	3 dadd r4,r1,r2	RAW-B2	r1

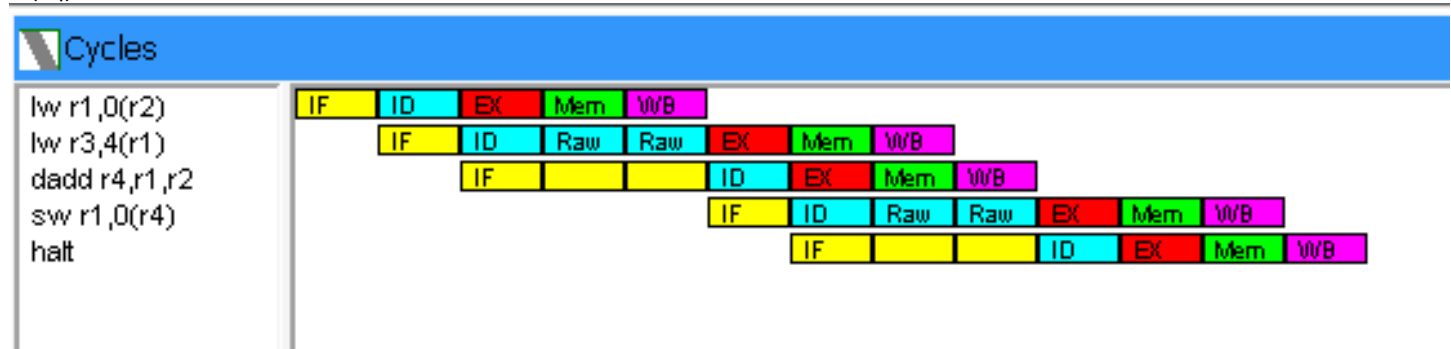
3 Ερώτημα 2

	Τμήμα Α	Τμήμα Β
α)	6 stalls	4 stalls
β)	Στους κύκλους 3, 4, 6, 7, 9, 10	Στους κύκλους 3, 4, 7, 8
γ)		
δ)	15 κύκλοι	13 κύκλοι
ε)	RAW-A1, RAW-A2, RAW-A3	RAW-B1, RAW-B2

Τμήμα Α:



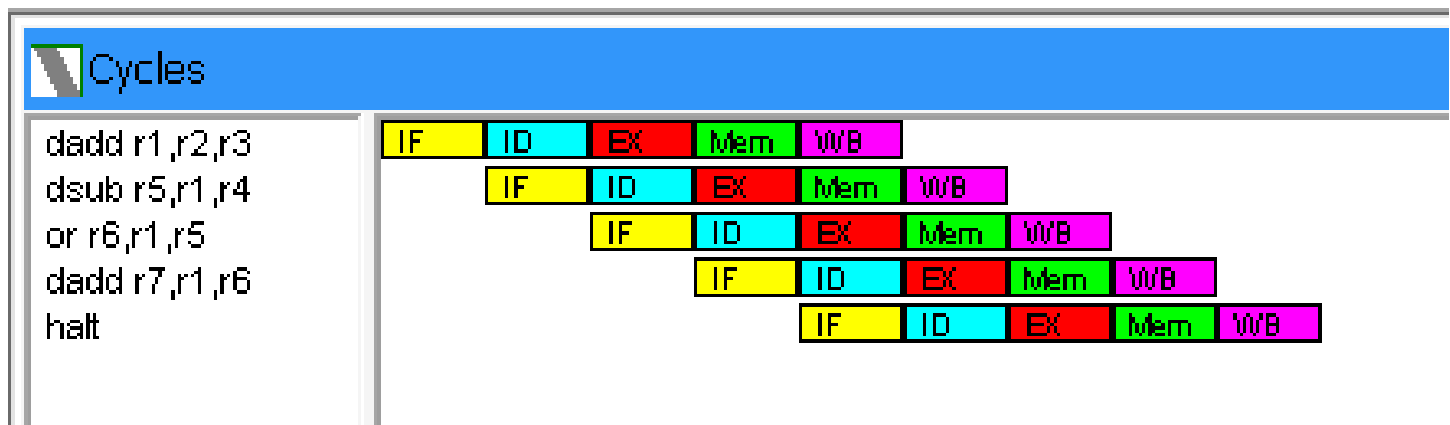
Τμήμα Β:



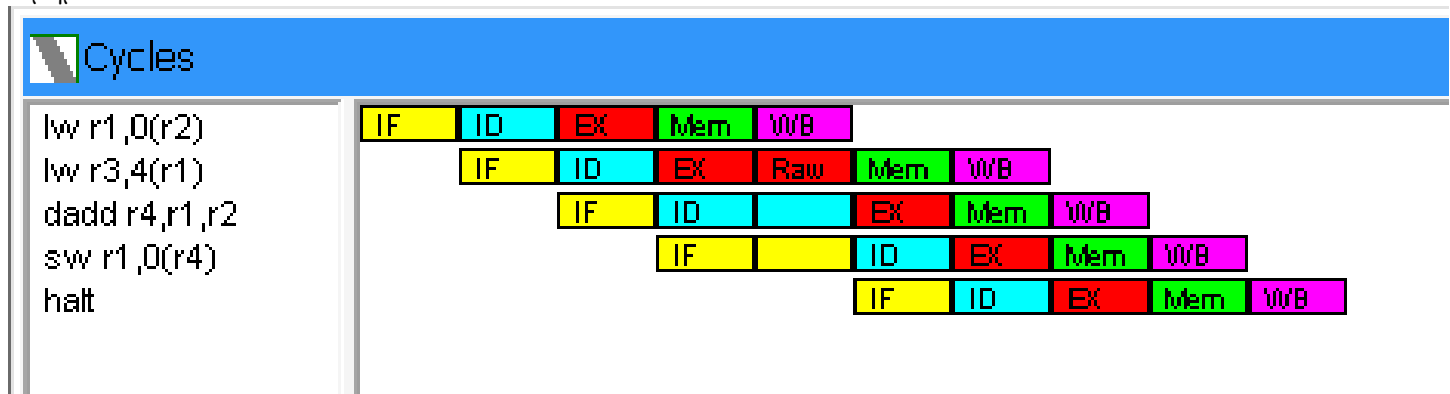
4 Ερώτημα 3

	Τμήμα Α	Τμήμα Β
α)	0 stalls	1 stall
β)	Πουθενά	Στον κύκλο 4
γ)		
δ)	9 κύκλοι	10 κύκλοι
ε)		RAW-B1

Τμήμα Α:



Τμήμα B:



5 Ερώτημα 4

β) Για το τμήμα A η εκτέλεση επιταχύνθηκε κατά 6 κύκλους, και το τμήμα B κατά 3 κύκλους.