

个人简历

张传俊 男 23岁

自我评价

本人对待工作细致认真，追求完美，有较好的团队精神与适应性，以诚信正直为原则，勇于挑战自我潜力，做一个主动的人。本科与研究生阶段就读于华工，2021年以专业排名第1位取得推免资格。

在校期间攻读微电子学院集成电路专业。硕士期间研究方向为MEMS传感器，谐振器研究，包括基于声表面波的微流控研究，SAW传感研究，具有SAW/FBAR器件的建模仿真与优化能力，实际参与并熟悉半导体器件制造集成工艺。此外，熟悉数字集成电路设计，具有FPGA开发经验。

专业技能

- 能够进行SAW,BAW等声学谐振器/与流体物理场/微流道相耦合的仿真模型的开发，及其制造流程；
- 熟悉常见的声波模式及其特点与适用场景；
- 具有数字逻辑设计能力，熟悉Verilog硬件描述语言，及Quartus、PDS、Vivado、Modelsim等多种开发工具；
- 熟悉FPGA RTL设计以及数字IC开发流程，能够完成一定的电路设计以及仿真；

项目经历

1. 2023 IEEE International Ultrasonics Symposium

2023-09

国际会议论文，在会议上作为“Study of Acoustofluidics and Microparticle Motion Based on Nonhomogeneous Acoustic Field Induced by SAW”的研究汇报并投稿，阐释基于压电材料和叉指电极激发的声波对微流体作用的影响。

主要内容：

论文研究了SAW在由PDMS制成的微通道中的衰减效应，其厚度和高度参数发生变化。采用基于雷诺应力的两步法模拟声流效应。由流体声场频域内的速度场和密度场得到时均声辐射力，使用该力使用求解器求解稳态声流流动。比较了光刻形成的叉指换能器(IDT)的形状，特别是线性和弧形电极，它们激发SAW并产生相应的流型和强度的能力，阐释了驱动差异的原因。通过动态模拟揭示了不同声场对微通道内连续流体流动中悬浮聚苯乙烯颗粒运动的影响。

2. 竞赛：面向未来智能通信与万物互联的新型SAW滤波技术

2022-03至2022-08

项目简述：以不同切向的铌酸锂/钽酸锂为衬底，联合comsol与matlab仿真基于COM模型的一阶SAW滤波器，调节电极尺寸参数等进行频带和插损的优化，得到多种不同频带的滤波器（例如位于卫星移动通信系统工作频段的声表面波滤波器（通带为1980~2010MHz（发射）2170~2200MHz（接收）））。

项目职责：

- 建立对带电电极的压电LiNbO₃/LiTaO₃的SAW模式的有限元仿真模型，得到单端口谐振器的S11参数；
- 分别以晶体切向、电极材料和沉积厚度等参数，研究SAW单端口谐振器机电耦合系数的影响；
- 将串联与并联谐振器S参数导入ads软件进行滤波器的仿真；
- 采用特殊结构（如菱形加权等）进一步增大一阶滤波器的带宽，抑制杂散波模式与净化频谱。

3. Design of AXI-MEMERY controller in SoC chip

2022-11至2023-04

专业实践：基于AXI4协议设计高性能DDR4内存MC，实现axi bus与ddr颗粒array的bridge功能。系统

features：axi bus read/write优先级可配置；支持array接口时序可配置；支持刷新周期可配置；支持burst内跨行。该控制器支持8, 16和32bit的数据读写操作。

个人主要职责：

- 基于sram存储体，阅读文档并建立SRAM时序与MC接口时序，构建顶层architecture；
- register files完善，array_wr/rd RTL相关部分的design；
- 设计将AMBA总线的控制信号、地址信号以及数据信号进行转化，并将其发送给相应的SRAM存储器；
- 实现axi4到array interface的接口转换。

18382710715

ce_zcj@outlook.com

基本信息

出生日期 1999-12-02
政治面貌 中共党员
民族 汉族
婚姻状况 未婚

教育信息 专业：集成电路工程



2021-09至2024-06

华南理工大学

| 硕士 |



2017-09至2021-06

华南理工大学

| 本科 |

英语等级

CET-6, CET-4

获奖情况

2023-08\全国二等奖\第七届全国大学生集成电路创新创业大赛-紫光同创杯

2022-08\全国二等奖\第六届全国大学生集成电路创新创业大赛-芯原杯

2020-04\校级三等奖\2020年全国大学生组织管理能力大赛

2019-12\国家励志奖学金

2023集创赛

基于紫光同创FPGA的图像采集及神经网络目标识别
2023-03至2023-08

项目概况：

对FPGA的HDMI输入端进行有效像素的裁剪:双线性插值缩放算法或最近点采样法，实现对帧的选择性缓存(缓存至于DDR3并用于CNN识别)、利用基于紫光同创官方IP核实现视频源解码为并行视频接口、HDMI产生输出并行时序与编码，实现缩放后画面的输出，最终优化后的系统可实现25帧的循环输出，80%的检测精度以及12帧的检测帧率。

个人主要职责：

- 四路1080P@60Hz作为输入(HDMI、网口、双目摄像头等)；
- 判断各路的行为同步信号与数据de信号之间的时序，将有效区域的RGB信号经过降采样写入异步fifo；
- 基于AXI4协议编写ddr3读写程序，ddr3控制器以四倍单路ffo的写入速度，使用轮询仲裁机制，对四路ffo进行读取，并将像素数据经ddr3写通道接ffo来源存入固定的地址空间，完成一帧的拼接；
- 显示设备与hdmi输出口通过iic协议完成关键信号传输后，ddr3读通道连续突发读出RGB数据配合计数器建立行场同步与de信号，连接至hdmi输出芯片的对应引脚进行循环输出。