

Pauta Auxiliar 8

Assembler + Circuitos

Profesores: Luis Mateu, Alexandra Ibarra y Rodrigo Urrea

Auxiliares: Luciano Márquez, Tomás Vergara

P1 [P2.a Control 2 2023-2)]

La función f de la derecha está programada en assembler Risc-V. Considere que se invoca f recibiendo en $a1$ el entero 5 y en $a0$ la dirección de d de un arreglo de 4 enteros con los valores 3, 8, 1 y 0. La siguiente tabla muestra la ejecución de la función hasta la 2da ejecución de lw

f:		Risc-V
mv	a4, a0	
.L1		
lw	a5, 0(a4)	
addi	a4, a4, 4	
bge	a5, a1, .L2	
sw	a5, 0(a0)	
addi	a0, a0, 4	
.L2		
bne	a5, zero, .L1	
ret		

Instrucción	a0	a1	a4	a5	arreglo d
	d	5			3 8 1 0
mv a4, a0			d		
lw a5, 0(a4)				3	
addi a4, a4, 4			d+4		
bge a5, a1, .L2			no salta		
sw a5, 0(a0)					<u>3</u> 8 1 0
addi a0, a0, 4	d+4				
bne a5, zero, .L1			salta		
lw a5, 0(a4)				8	

Prosiga llenando la tabla a partir de la ejecución de `addi a4, a4, 4` hasta que se ejecute la instrucción `ret`.



- La tabla completa es la siguiente:

Instrucción	a0	a1	a4	a5	arreglo d
	d	5			3 8 1 0
mv a4,a0			d		
lw a5,0(a4)				3	
addi a4,a4,4			d+4		
bge a5,a1,.L2		no salta			
sw a5,0(a0)					<u>3</u> 8 1 0
addi a0,a0,4	d+4				
bne a5,zero,.L1		salta			
lw a5,0(a4)				8	
addi a4,a4,4			d+8		
bge a5,a1,.L2		salta			
bne a5,zero,.L1		salta			
lw a5,0(a4)				1	
addi a4,a4,4			d+12		
bge a5,a1,.L2		no salta			
sw a5,0(a0)					3 <u>1</u> 1 0
addi a0,a0,4	d+8				
bne a5,zero,.L1		salta			
lw a5,0(a4)				0	
addi a4,a4,4			d+16		
bge a5,a1,.L2		no salta			
sw a5,0(a0)					3 1 <u>0</u> 0
addi a0,a0,4	d+12				
bne a5,zero,.L1		no salta			
ret					

P2.b

b) Para el circuito diseñado en la parte P2.a, complete la tabla a partir del primer ciclo con los valores de las siguientes salidas, con las entradas **x=0b00101100** y **n=0b00000011**:

Ciclo	1	2	3	4	5	6
start	0	1	0	0	0	0
RegX	0	0	101100			
RegN						
sumador						
rdy						

Recuerde que un ciclo del reloj inicia con el cambio de 1 a 0 de clk y termina con el siguiente cambio de 1 a 0 de clk.

- La tabla completa es la siguiente:

Ciclo	1	2	3	4	5	6
start	0	1	0	0	0	0
RegX	0	0	101100	101101	101110	101111
RegN	0	0	11	10	1	0
sumador	1	1	101101	101110	101111	110000
rdy	1	0	0	0	0	1