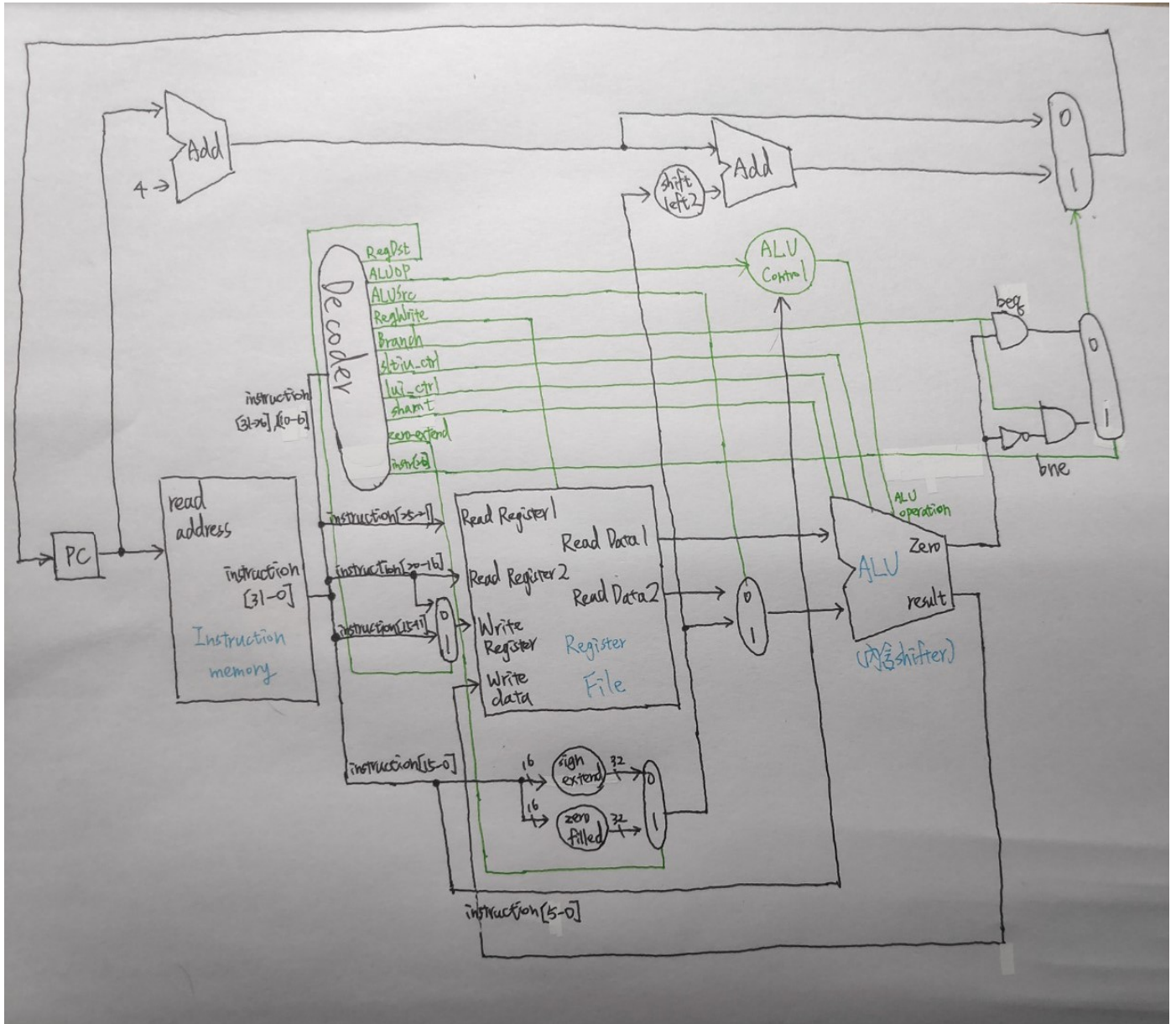


# Term Project - Lab 2(Simplified single cycle CPU) Report

0716221 余忠旻

Architecture diagram:



## Module description:

### ProgramCounter:

輸出 PC 值。初始值為 0。

### Instr\_Memory:

讀進 PC address，輸出 32 bits instruction。

### Reg\_File:

讀取 Rs, Rt 的值，並將值寫入 Rd(由 RegWrite 控制)。

### Adder:

給定兩個值相加得出一個 output 值，用在 PC+4 和 Branch 跳到的 address。

### MUX\_2to1:

兩個 input 值，透過一個 control 值(0 或 1)來決定要選哪個 input 值來輸出，有五個地方會用到 MUX，如上圖 diagram。

### Decoder:

輸入 instruction[31:26](也就是 opcode)和 shamt(右移位數)，將 opcode 解碼並輸出各個指令需要用到的值。有 RegDst, ALUOP, ALUSrc, RegWrite, Branch, sltiu\_ctrl, lui\_ctrl, shamt, zero\_extend。當作控制元連接到各個執行的地方。

### ALU\_Ctrl:

輸入 ALUOP 和 instruction[5:0](也就是 function field)去決定 ALU control，讓 ALU 知道做什麼運算。

Shift\_Left\_Two\_32:

將 32 bits 的值左移兩位，相當於乘以 4。

Sign\_Extend:

將 16 bits 的值做 sign extension 成 32 bits，也就是用 sign bit 擴充數值。

Zero\_Filled\_Extend:

16 bits 的值擴充成 32 bit，與 sign extension 不同的是前面補 16 個 0。

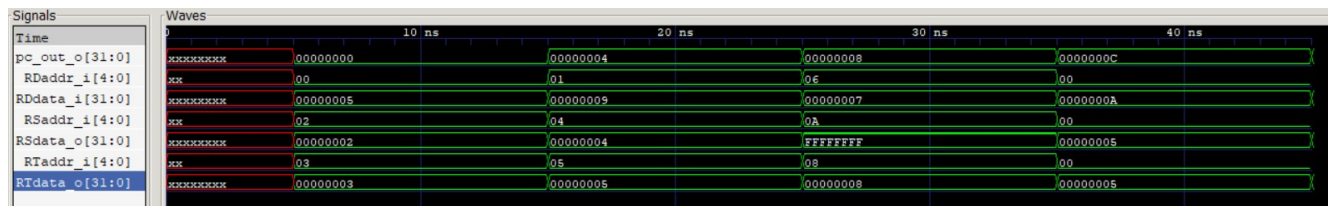
ALU (包含子 module: alu\_top, alu8bits, alu32bits, CLA4bits, CLA8bits):

執行 and, or, add, sub, slt, shift 等主要運算。有兩個 input 值:src1 和 src2 計算出 result 和 zero，而要執行哪種運算是由 ALU\_ctrl，sltiu\_ctrl，lui\_ctrl，shamt 共同決定(子 module 和計算過程為 Lab1 所實作出來的)。

Simple\_Single\_CPU:

將上述全部 module 依照上圖 diagram 接線，實作出 Single Cycle CPU。

Waveform:



## Questions:

- What is the difference between "input [15:0] input\_0" and "input [0:15] input\_0" inside the module?

Ans:

前者最左邊為 Most significant bit，後者最右邊為 Most significant bit，兩者順序不同  
假設 input [15:0]=16'b1111111100000000，則 input[0]=0，input[15]=1，  
input [0:15]=16'b1111111100000000，則 input[0]=1，input[15]=0，

- What is the meaning of "always" block in Verilog?

Ans:

以 always 為主的程式區塊，只有每當觸發條件成立時，執行一次，執行完後需要等待下一次的觸發條件成立才會再次執行。設計多個 always block 時，當條件滿足會同時執行(平行處理)，always blocking 的所有輸出一定要宣告成 reg，Always 是指條件符合時會再進入 block 內執行程式，當條件不符合時，必須維持上一次輸出的數值，所以選擇 reg 作為輸出腳位的型態宣告。

- What are the advantages and disadvantages of port connection by order and port connection by name in Verilog?

Ans:

Port connection by order:

優點: 不需要將全部 port name 列出，只需要確認 port 的順序

缺點: port 順序若有變化就會出錯，易讀性較差

Port connection by name:

優點: 不一定要按照順序，僅需確認 port name 是否正確，易讀性較佳

缺點: 假如 port name 十分冗長，需花費大量時間打出各個 port name

## Contribution:

各個module實作， Single Cycle CPU 接線， d-bug， 共同討論答案

## Discussions:

problem I encountered: Verilog語法不熟悉，花費不少時間研究語法，有些I-format的指令需要額外處理，所以利用deocder輸出額外的控制元(sltiu\_ctrl， lui\_ctrl， shamt)