

# **National Taiwan University of Science and Technology, NTUST**

## **Design of Embedded Microprocessor Systems**

### **EE5019701\_HW1**

教授：王乃堅

班級：電機所碩一

姓名：陳俊博

學號：M11207521

- CPU(ARM): ADDR[31:0], DATA[31:0], nWE (Write Enable), nOE(Output Enable), nBE[3:0](Byte Enable), nWBE[3:0] (Write Byte Enable).
- (Note: nWE means #WE ... etc.)
- Memory: (D0- D7), (A0-A28), #OE, #WE, #CS
- Decoder: 3-8 decoder

## Question

1. What is the max memory space of this system?

Ans: 最大記憶體空間是由 CPU 的地址匯流排的寬度所決定。CPU 的地址匯流排寬度為 32 位元，代表 CPU 能夠直接存取的地址範圍是  $2^{32}$  個不同的地址，每個地址對應到記憶體中的一個 byte。所以這個系統的最大記憶體空間為  $2^{32}$  bytes，即 4 GB  $\approx$  4294967296 bytes。

2. What is the memory space of each memory chip?

An: 每個記憶體晶片的記憶體空間是  $2^{29}$  bytes，即 512 MB  $\approx$  536870912 bytes。因為記憶體晶片使用了 29 條地址線 (A0-A28)，每條地址線能表示兩種狀態 (0 或 1)，所以總共可以表示  $2^{29}$  個不同的地址。

3. Design the whole system which can achieve the all memory space. (Draw the circuit)(Using: 3-8 decoder + basic logic gates is necessary)

Ans: 在這個系統設計中之所以會使用到 4 個記憶體，在於 CPU 的資料線為 32 位元 (DATA[31:0])，而記憶體的資料線則為 8 位元 (D0-D7)。為了能夠完整利用 CPU 的 32 位元資料線，系統需要 4 個記憶體來並行處理這 32 位元的資料，每個記憶體負責其中的 8 位元。

先利用 CPU 的地址線 ADDR[31:29] 作為 3-to-8 Decoder 的輸入，根據 CPU 發出的地址訊號來選擇需要的記憶體。系統中只包含四個記憶體，實際上會用到 Decoder 的前四個輸出，每個輸出連接到一個記憶體的 CS 輸入端，啟用對應的記憶體。

為了控制記憶體的讀寫，CPU 的 nOE 訊號和 nWE 訊號被分別接到多個 AND 閘的其中一端輸入。每個 AND 閘的另一輸入端連接到 Decoder 的一個輸出，當需要的記憶體被選中時，相對應的讀寫才會被啟用。AND 閘的輸出則連接到各個記憶體的 OE 或 WE 端，確保對記憶體讀寫的控制。至於 nBE[3:0] 和 nWBE[3:0] 訊號，這些訊號直接連接到各個記憶體晶片的控制端，用於控制在讀取或寫入中啟用特定的資料。

最後 CPU 的資料線 DATA[31:0]，由於一個記憶體只處理一個 byte 的資料，所以將資料線分為四個部分，每部分的 8 位連接到一個記憶體。另外，CPU 的地址線 ADDR[28:0] 則直接連接到所有記憶體的地址輸入端 A0-A28，以便在選中的記憶體中進行資料存取。

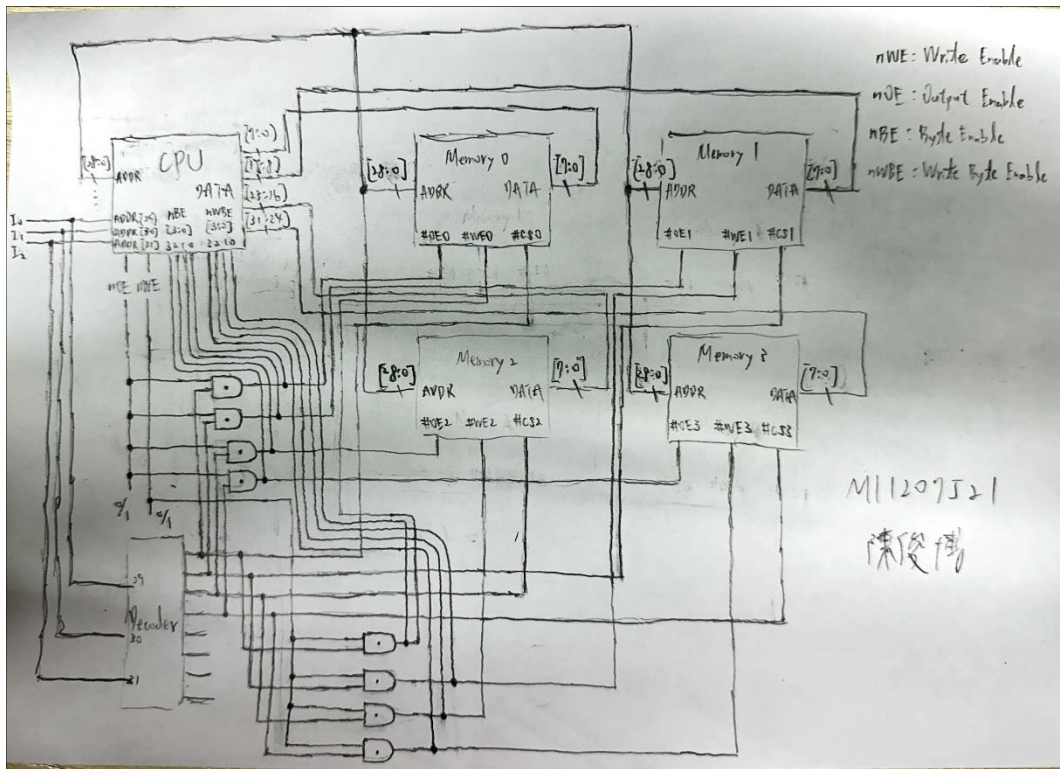


圖 1 系統圖