

Unisoc Confidential For hiar

UDS710_UDX710

DDR客制化指导手册

WWW.UNISOC.COM

紫光展锐科技



修改历史



版本号	日期	注释r hiar
V1.0	2020/09/30	第一次正式发布。

关键字



关键字: DRAM客户配置列表, PINMUX, DRAM自适应。
Unisoc Confidential Formula Confident



Unisoc**自录**fidential For hiar DRAM客户配置列表

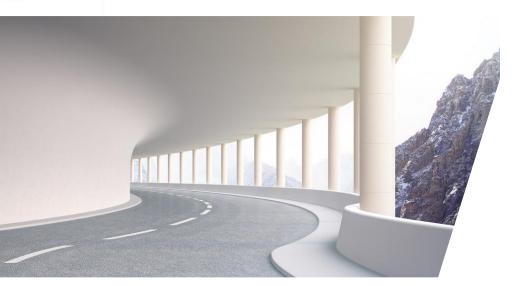
02 电压配置

03 频率配置

04 驱动强度配置

05 PINMUX—参考方案

06 DRAM自适应





DRAM客户配置列表

➤ 支持DCDC_CORE/DCDC_MEM配置 DCDC_MEM(LPDDR4X): 1100-1170(mv)

➤ 支持DRAM类型 LPDDR4X

▶ 支持DRAM最高频点 LPDDR4X: 1866(MHz)

▶ 支持DRAM频点 LPDDR4X: 256/384/667/768/1333/1536/1866 (MHz)

➤ 支持客户PINMUX配置

➤ 支持客户Drive Strength (DS)配置

CA DS: 34/40/48/60(ohm) DQ DS: 34/40/48/60(ohm)

*修改配置前,请务必确保Chipram软件为最新版本。



电压配置



```
➤ DCDC_CORE配置
文件位置: chipram\include\configs\工程名.h
#define DCDC_CORE 900
➤ DCDC_MEM配置
文件位置:chipram/ddr/ddr_init/init/ddrc/r1p1/ddrc_r1p1.c
void ddr_power_cfg(void)
        else if(LPDDR4X == ddr_chip_cur.chip_type)
                 regulator_set_voltage("vddcore", DCDC_CORE);
                 regulator_set_voltage("vddmem", 1130);
                 regulator_set_voltage("vddmemq", 600);
```





文件位置:

ifidential For hiar chipram\include\configs\工程名.h

> 下载/开机频率配置方法

修改下载/开机频率位置的值,可修改支持的任意频率。

固定DDR频率配置方法

修改开机频率位置值

chipram/ddr/ddr_init/init/ddrc/r1p1/ddrc_r1p1.c

dmc_ddr_debug_mode()函数里ddr_mode变量最低位bit0置为1

> 最高频点配置方法

修改最高频点位置的值,可选择为DDR_CLK_1866M/DDR_CLK_1536M



驱动强度(Drive Strength, DS)配置



文件位置:

chipram/ddr/ddr_init/init/ddrc/r1p1/ddrc_r1p1_phy.h

#define DMC GUI PHY DATA LP4 1536 09 0x02777705 //9

➤ LPDDR4X CA DS配置

每个频点的DMC_GUI_PHY_DATA_LP4_xxx_09的bit[22:20] [18:16]用于设置PHY的CA 驱动强度1:240ohm , 2:120ohm , 3:80ohm , 4:60ohm , 5:48ohm , 6:40ohm , 7:34ohm。

➤ LPDDR4X DQ DS配置

每个频点的DMC_GUI_PHY_DATA_LP4_xxx_09的bit[14:12] [10:8]用于设置PHY的CA 驱动强度1:240ohm , 2:120ohm , 3:80ohm , 4:60ohm , 5:48ohm , 6:40ohm , 7:34ohm。



Pinmux-参考方案



文件位置: chipram/ddr/ddr_init/init/ddrc/r1p1/ddrc_r1p1_auto_detect.c

```
struct ddr_type_t ddr_type_gpio_casef
                                                     DDR TYPE ADC DETECT ddr type case[4] =
         gpio N1 gpio N0 pinmux_case
                                                      ***v min
                                                                         ddr type pinmux type
                                                                 v max
                 LPDDR4X.
                                                          {1050,
                                                                 1200,
                             LP4 PINMUX CASEO).
                                                                         LPDDR4X,
                 LPDDR4,
                             LP4 PINMUX CASEO),
                                                          {880,
                                                                 1000,
                                                                         LPDDR4,
                                                                                     LP4 PINMUX CASE1),
                LPDDR4X,
                                                                         LPDDR4X,
                             LP4 PINMUX CASE1),
                                                          {730,
                                                                 830,
                                                                                     LP4 PINMUX CASE1),
                                                                                     LP4 PINMUX CASEO)
                             LP4 PINMUX CASE1)
                                                          {560,
                                                                 640,
                                                                         LPDDR4.
                 LPDDR4,
};
```

- ▶ LPDDR4/LPDDR4X器件提供两种Pinmux方案,默认采用LP4_PINMUX_CASE0
- ➤ LPDDR4/LPDDR4X支持GPIO和ADC两种Pinmux自动配置方案(需要硬件支持如上图)
- ➤ 客户可以根据硬件实际走线手动配置chipram/include/configs/ud710_xxx.h

```
#define CFG PINMUX CASE LP4 PINMUX CASEO
```



DRAM自适应



不同颗粒DRAM最高频率自适应—— Lor hiar

该功能主要是兼容多颗料的代码,用来配置某些DRAM物料跑不到1866最高只能跑1536。

文件位置:chipram\include\configs\工程名.h

打开DDR_FREQ_AUTO_SEL

chipram/ddr/ddr_init/init/ddrc/r1p1/ddrc_r1p1_auto_detect.c

修改数据结构里的reg_val_mr5, reg_val_mr6, reg_val_mr7, reg_val_mr8和需要匹配的ddr_clk_sel, 如果mr5, mr6, mr7, mr8和实际物料的不一样就会使用默认1866的频率。

DRAM自适应



获取mr5, m6, mr7, mr8方法如下图所示。 hiar uint32 mr_freq_select(u32 *ddr_c1k u32 mc5 val = 0, mc6 val = 0, mc7 val = 0, mc8 val = 0;u8 hex_value[16] = {0}; int size = sizeof(mr freq detect)/sizeof(mr freq detect[0]); int i = 0; *ddr clk = max ddr clk sel; dmc_mrr(0, 5, &mr5_val, 10000); dmc mrr (0, 6, &mr6 val, 10000); dmc_mrr(0, 7, &mr7_val, 10000); dmc mrr(0, 8, &mr8 val, 10000); mr5 val &= 0xFF; mr6 val &= 0xFF; mr7 val &= 0xFF; 将#if 0的宏改成#if 1 mr8 val &= 0xFF; #if 0ddrc print info("mr5: 0x"); ddrc print info(itoa simple(mr5 val, hex value, 16)); ddrc print info("\n");

注意:不同批次的物料可能寄存器会有差别。

ddrc print info(itoa simple(mr6 val, hex value, 16));

ddrc print info(itoa simple(mr7 val, hex value, 16));

ddrc print info(itoa simple(mr8 val, hex value, 16));

ddrc print info("mr6: 0x");

ddrc_print_info("\n");
ddrc_print_info("mr7: 0x");

ddrc_print_info("\n");
ddrc_print_info("mr8: 0x");

ddrc print info("\n");

Unisoc Confidential For hiar

谢谢

小紫光展锐

