

目录

一. MIC3 数字程序设计.....	2
二. MIC3 数字前仿真（功能仿真）	2
2.1 前仿真需要准备的文件.....	2
2.2 NClaunch 功能仿真步骤.....	3
三. MIC3 数字综合.....	16
3.1 综合需要准备的文件.....	16
3.2 Design Compiler 综合.....	18
四. MIC3 数字综合后仿真.....	19
4.1 综合后仿真需要准备的文件.....	19
4.2 NClaunch 综合后仿真步骤.....	20
五. MIC3 数字布局布线后仿真.....	27

MIC3 数字前端流程

一. MIC3 数字程序设计

根据设计要求用硬件描述语言实现想要的电路，硬件描述可以用 VHDL 或者 verilog。MIC3 数字部分是用 VHDL 语言描述的。最终使用的程序在 maps 服务器上面，路径如下：

/home/maps/week_work/xiaole/mic3/v3/mic3_digital_v3.vhd

二. MIC3 数字前仿真（功能仿真）

数字前仿真使用的软件是 NClaunch。在仿真开始之前需要编写测试平台的激励程序 testbench。编写 testbench 的主要目的是为了对使用硬件描述语言设计的电路进行仿真验证，测试设计电路的功能、部分性能是否与预期的目标相符。

编写 testbench 进行测试的过程如下：

- 1) 产生模拟激励（波形）；
- 2) 将产生的激励加入到被测试模块并观察其输出响应；
- 3) 将输出响应与期望进行比较，从而判断设计的正确性。

MIC3 的测试激励程序使用的是 verilog 仿真语言编写的，在 maps 服务器上面，路径如下：

/home/maps/week_work/xiaole/mic3/v3/mic3_testbench.v

2.1 前仿真需要准备的文件

数字前仿真需要的文件有数字设计程序和测试平台程序。MIC3 中这两个文件

为 mic3_digital_v3.vhd 和 mic3_testbench.v。准备好这两个文件后就可以开始使用 NClaunch 进行功能仿真了。

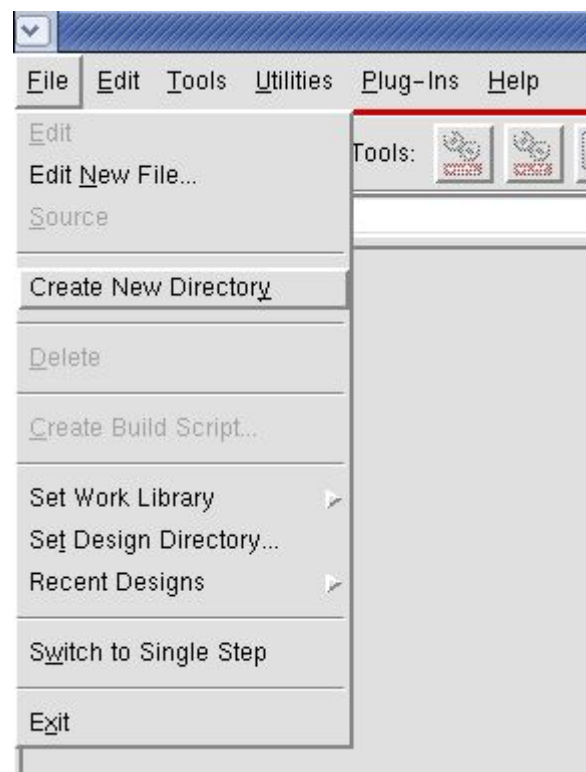
2.2 NClaunch 功能仿真步骤

(1) 先在服务器上面新建一个文件夹，将 mic3_digital_v3.vhd 和 mic3_testbench.v 拷到该文件夹里面。例如将上诉文件放到/home/xiaole/test 路径下。

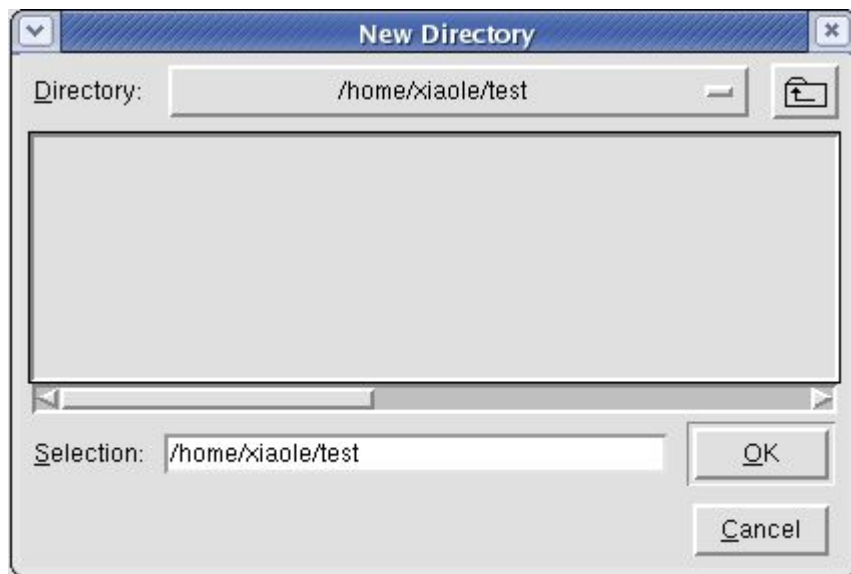
(2) 在服务器的命令中端中先到/home/xiaole/test 路径下，然后输入 nclaunch 就可以打开 nclaunch 仿真软件了。如下图：



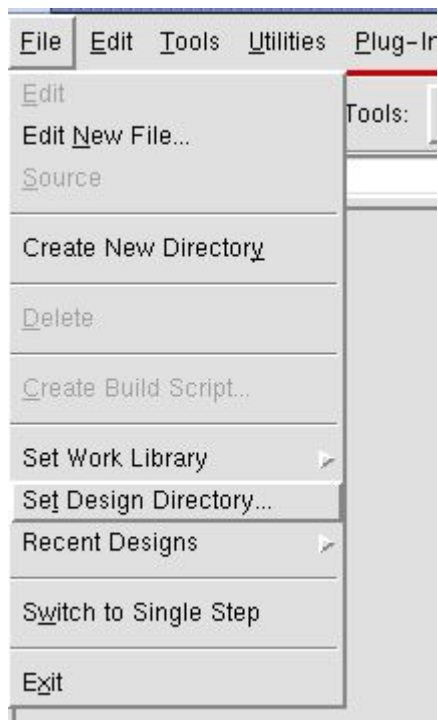
(3) 新建工程路径：在 nclaunch 下点击 File-Creat New Directory，如下图：



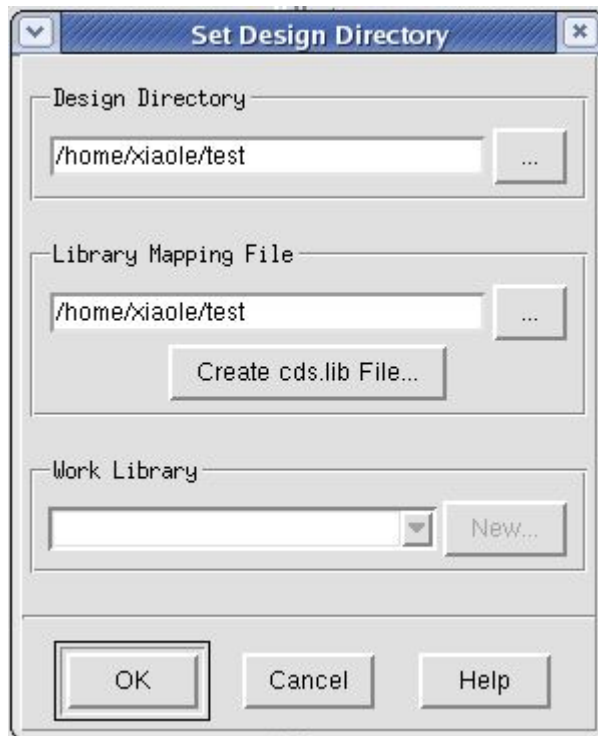
在弹出的窗口中设置好路径后点击 OK，如下图：



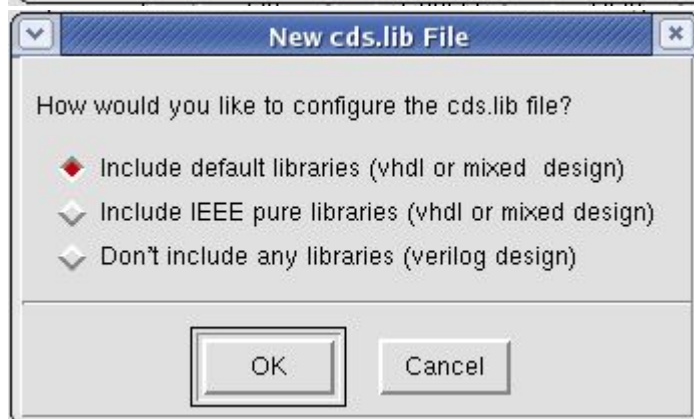
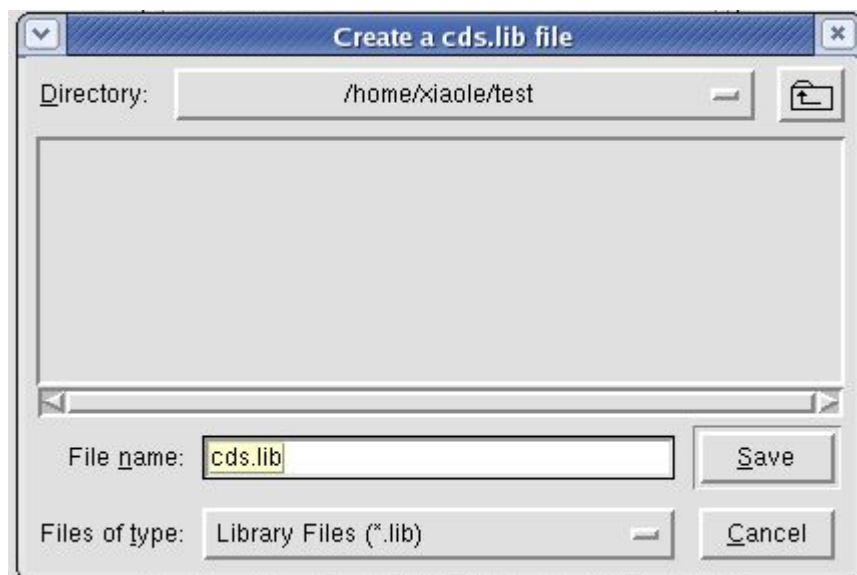
(4) 设置工程路径：在 nclaunch 下点击 File-Set Design Directory，如下图：



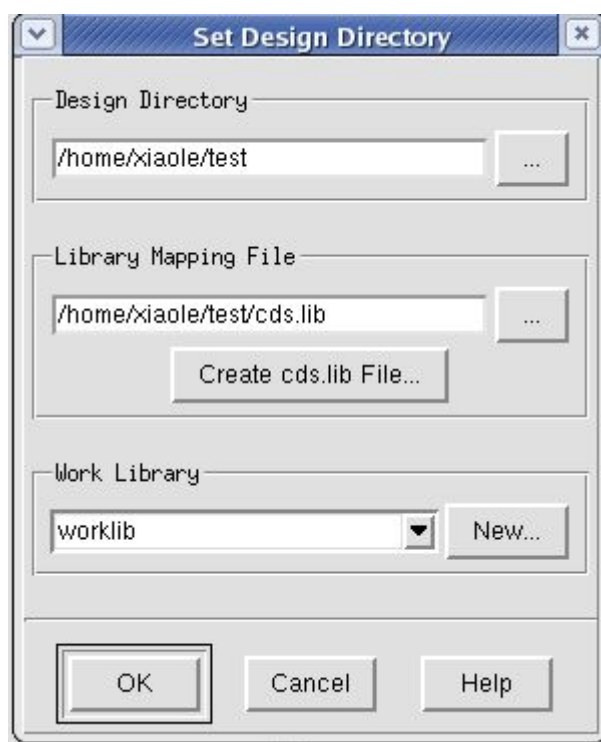
在弹出的窗口中先设置好路径，如下图



然后点击 Creat cds.file，弹出如下窗口，点击 save

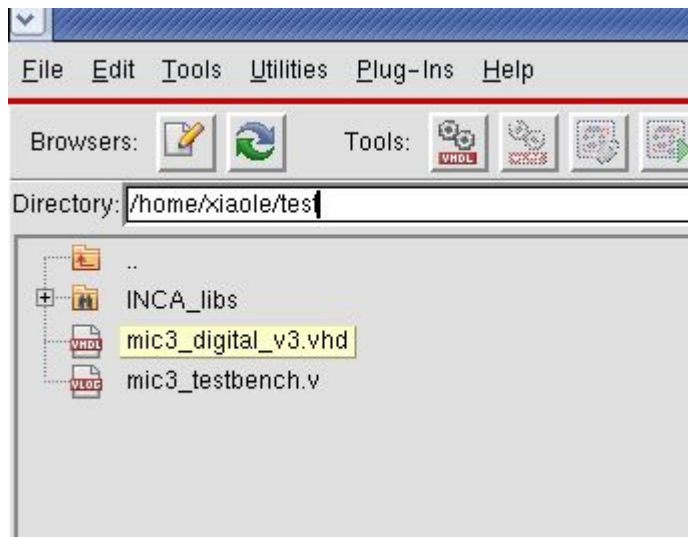


选择好需要包含的库文件然后点击 OK。MIC3 选择默认的第一项。

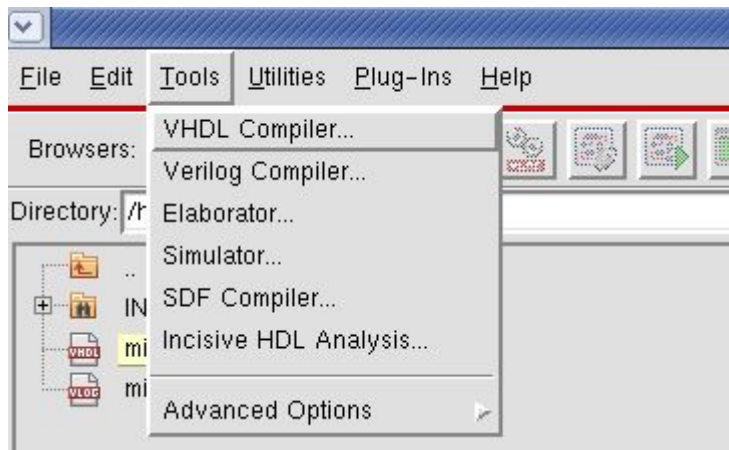


点击 OK。

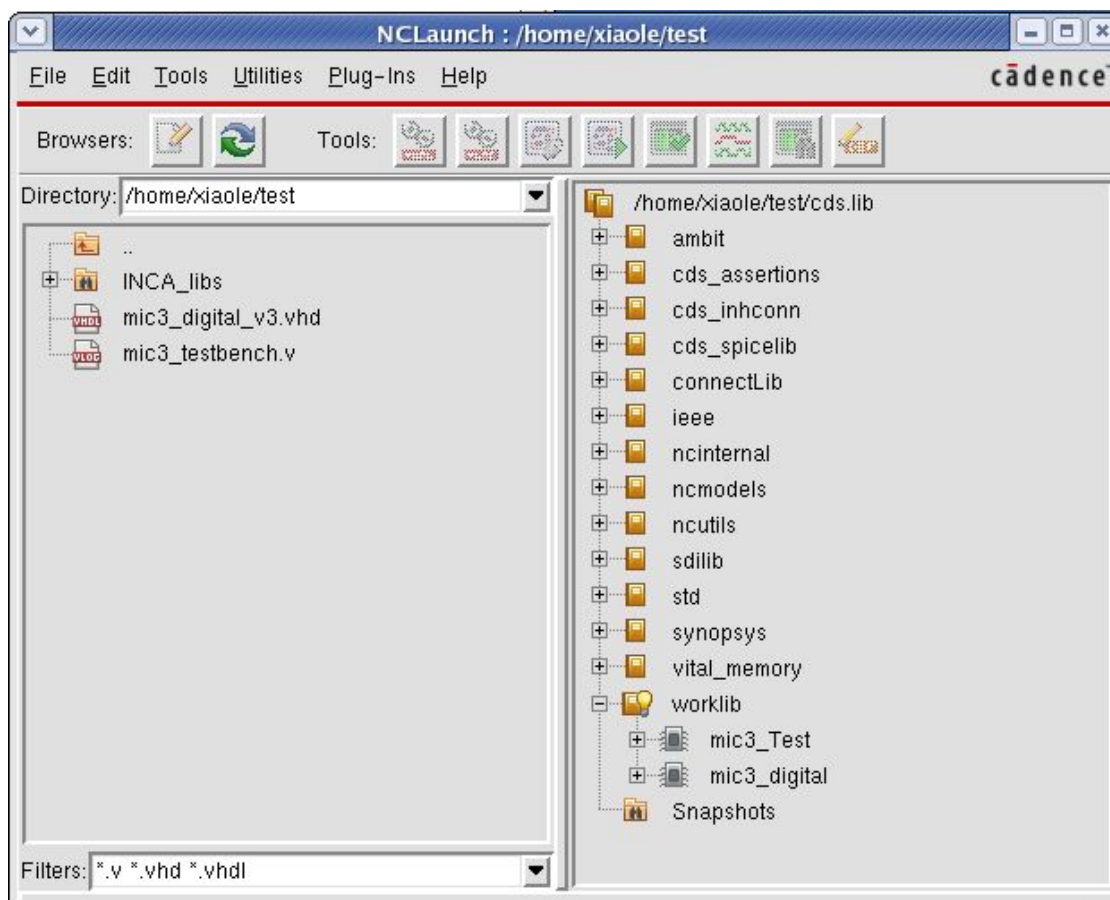
(5) 编译源文件和测试平台



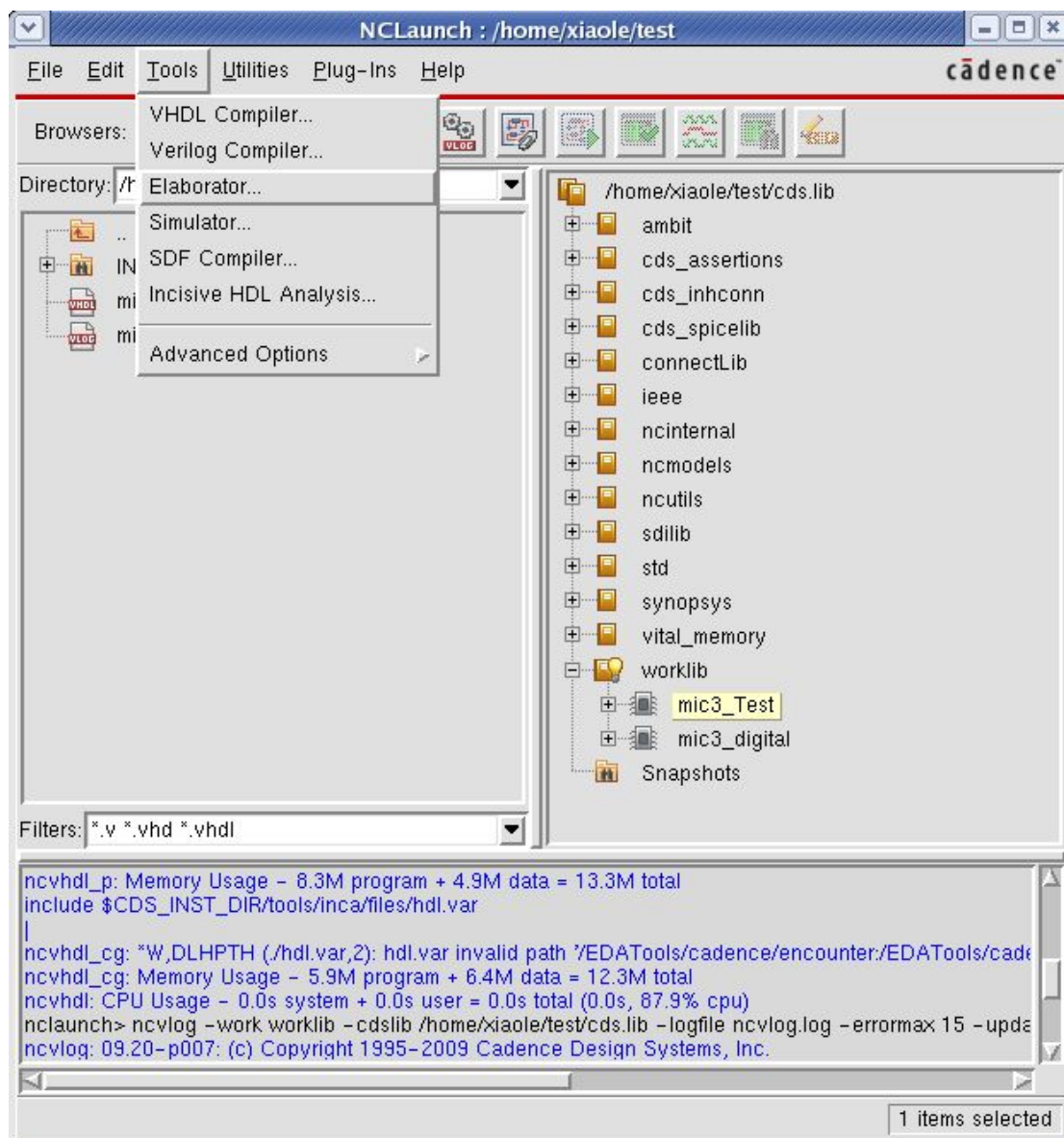
如上图选中要编译的文件，然后在在 nclaunch 下点击 Tools-VHDL Compiler 或者 Verilog Compiler，如下图

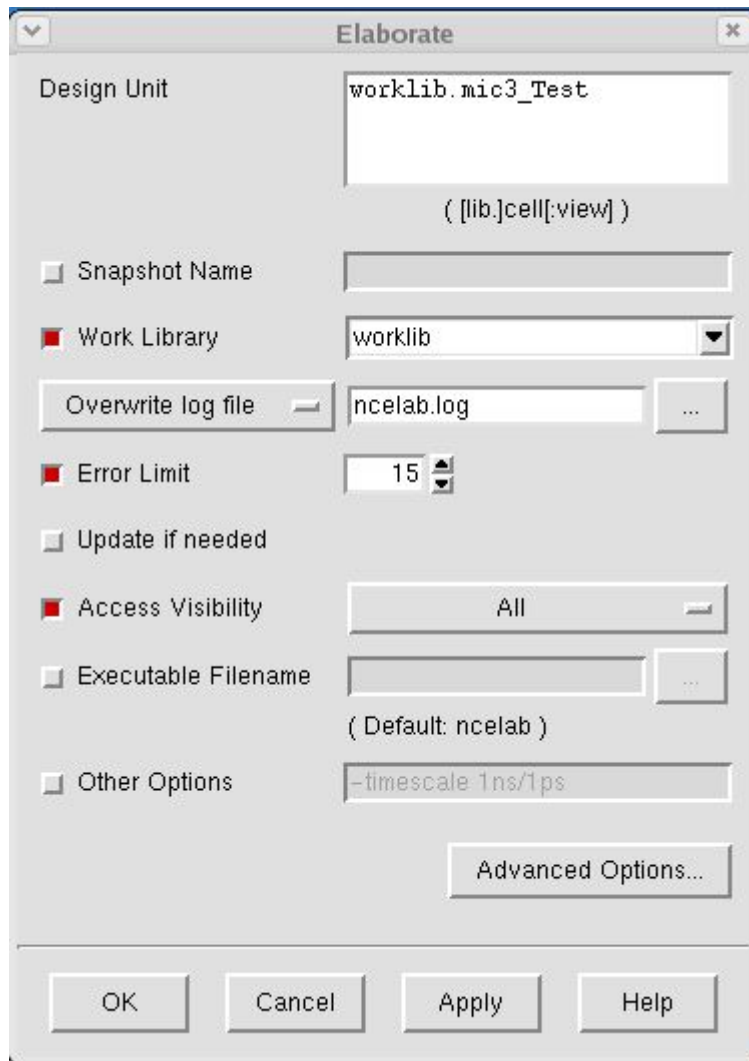


编译好的模块会出现在 nclaunch 界面右边的 worklib 下，如下图：

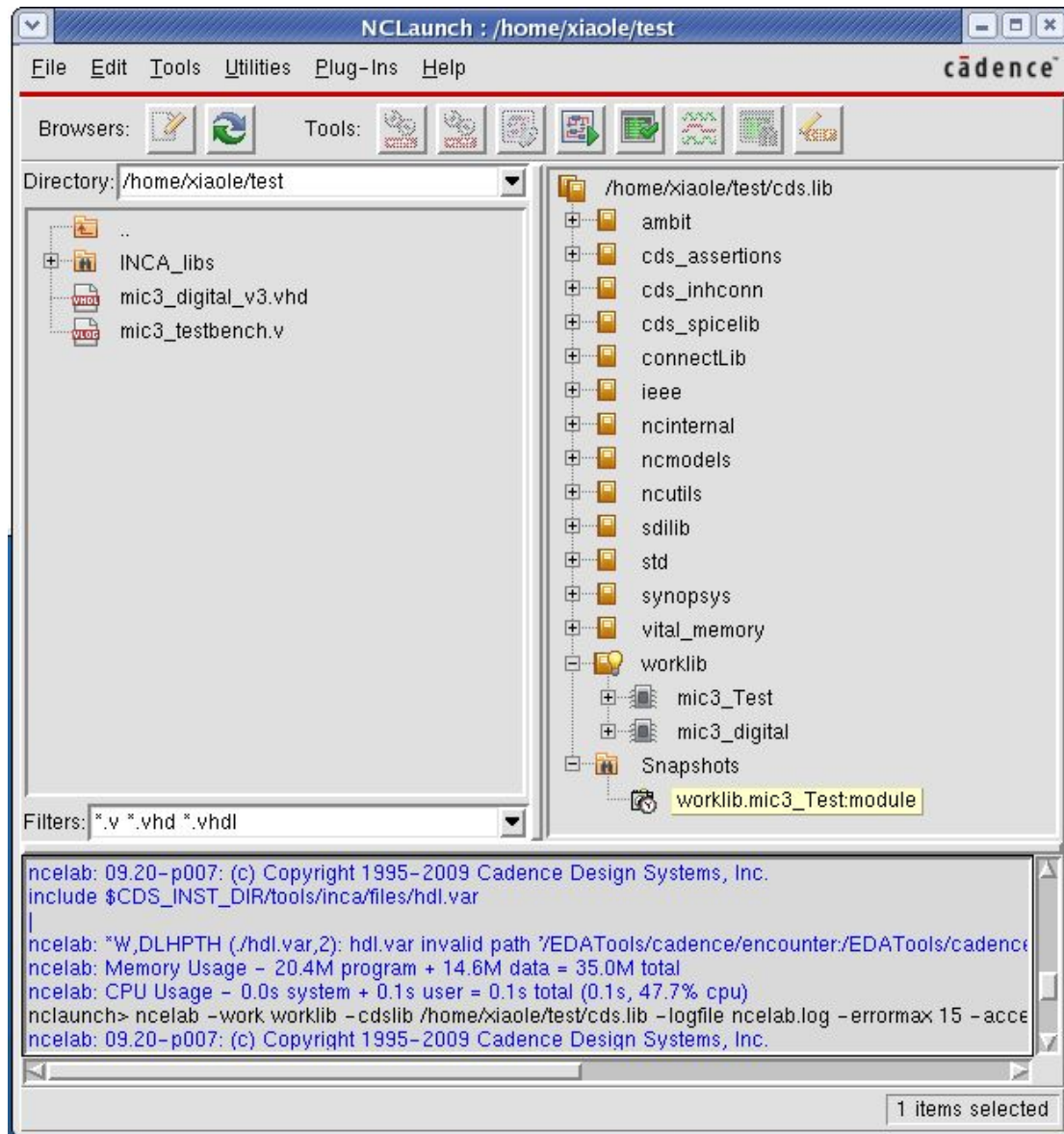


(6) 在 worklib 下选中测试平台 mic3_Test, 然后点击 Tools-Elabrator

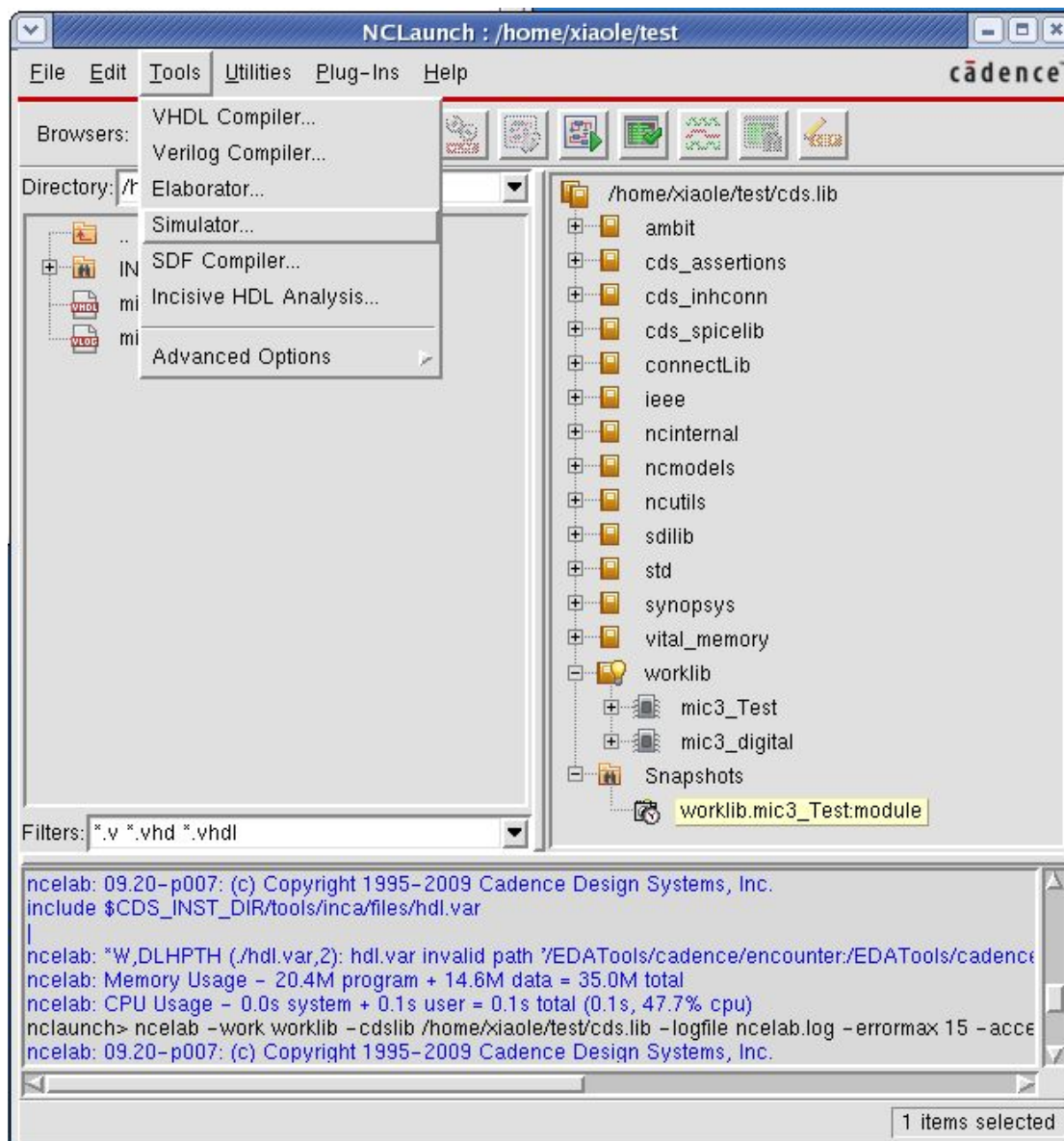


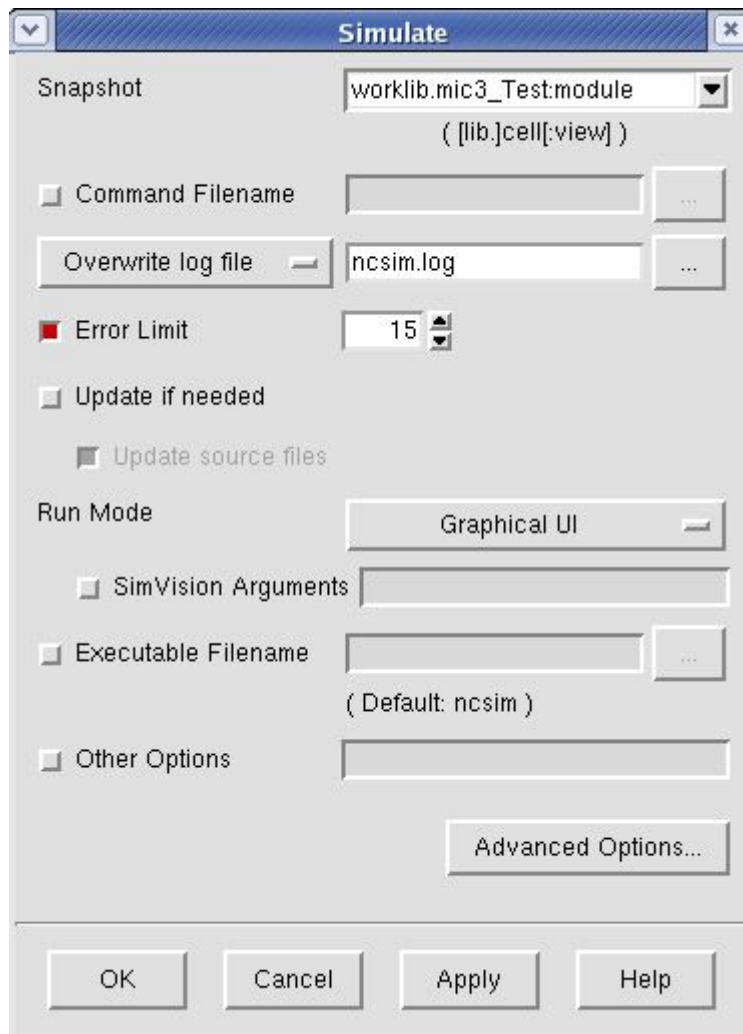


点击 ok 之后在 nclaunch 界面右边的 Snapshots 下会出现用于仿真的快照，选中它。

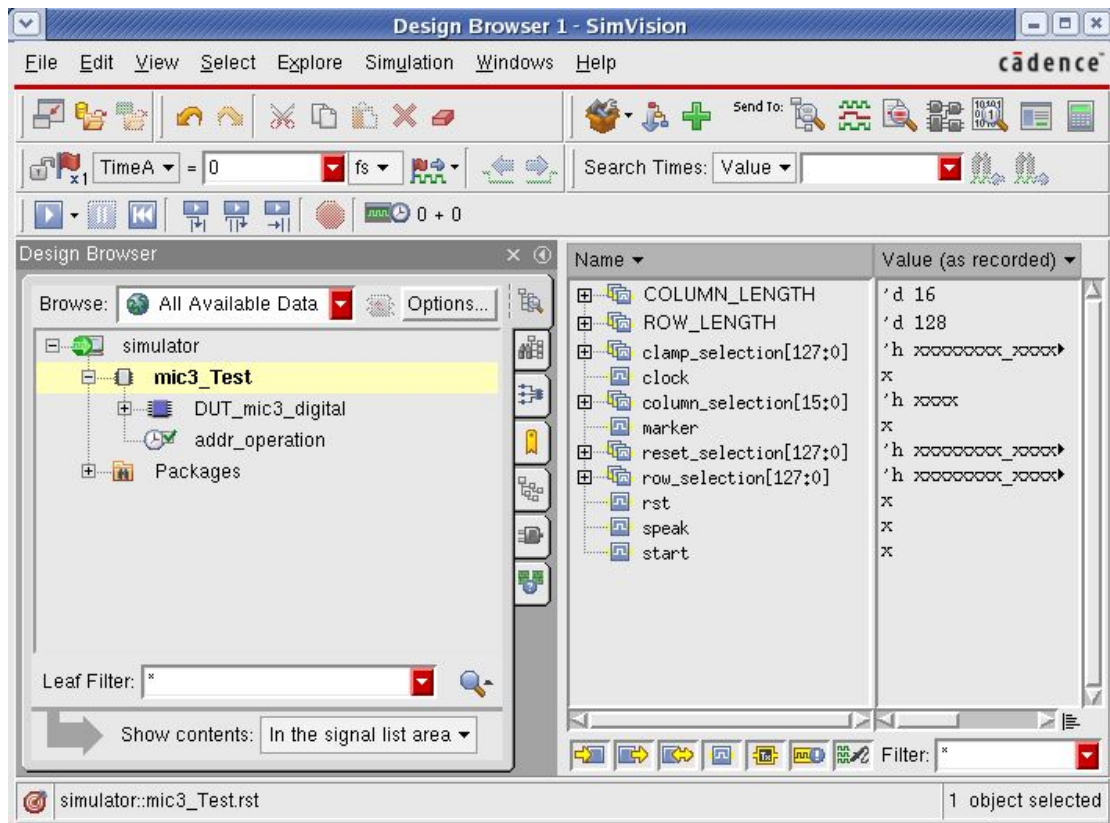


(7) 选中快照之后点击 Tools-Simulator



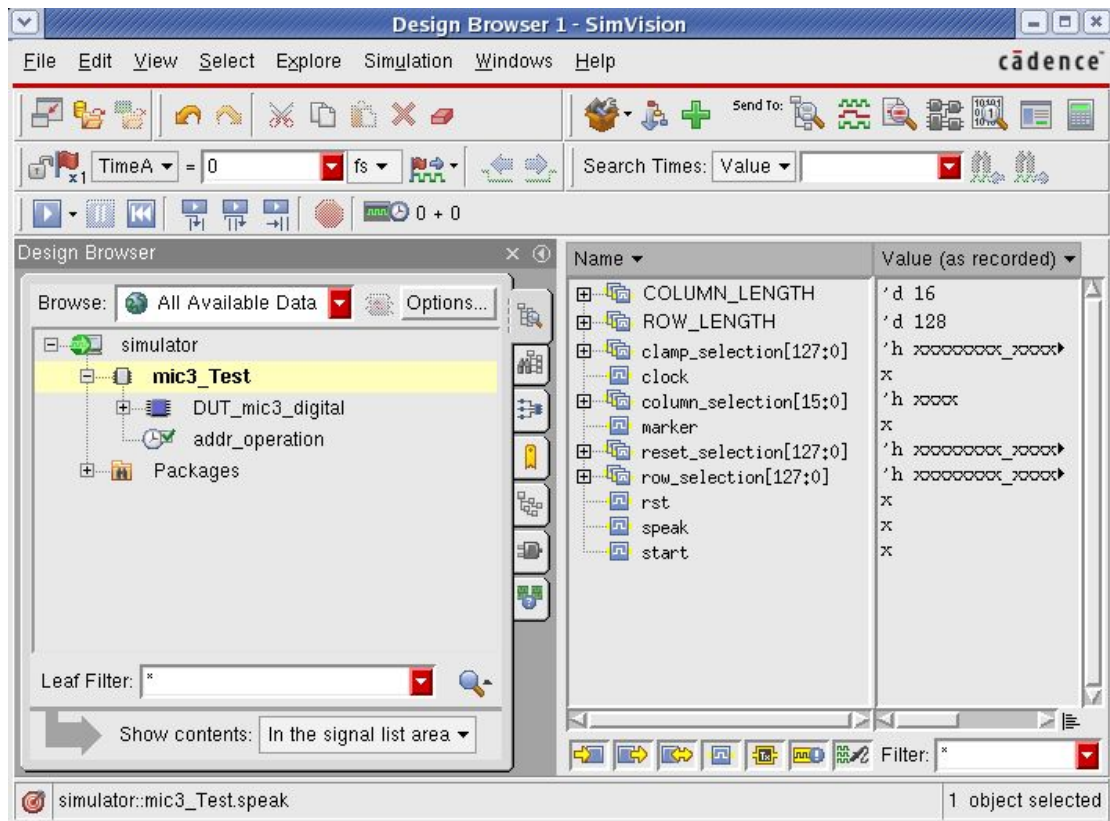


点击 ok 将出现如下窗口



(8) 选出仿真需要观察的引脚和寄存器

选中 mic3_Test 将在右边的窗口出现 mic3_Test 模块的信号，如下图：



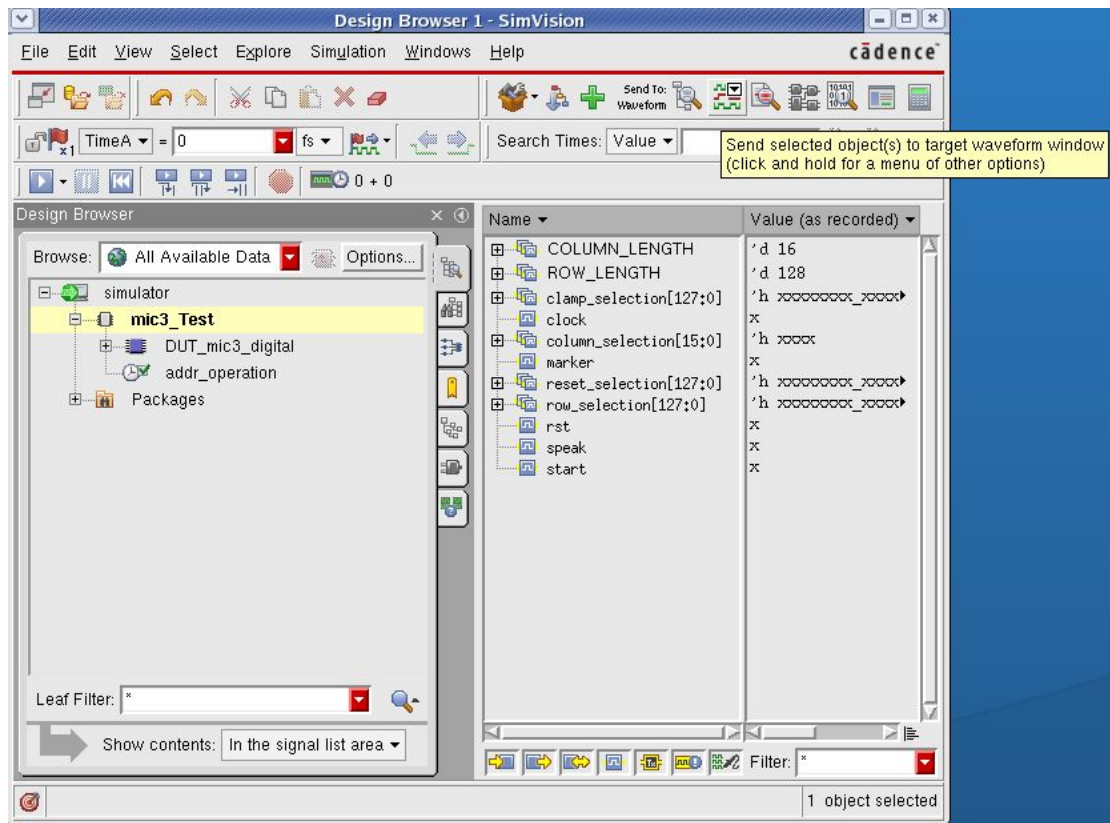
选中 DUT_mic3_digital 将在右边的窗口出现 DUT_mic3_digital 模块的引脚和寄

The screenshot shows the Cadence Design Browser window titled "Design Browser 1 - SimVision". The top menu bar includes File, Edit, View, Select, Explore, Simulation, Windows, and Help. Below the menu is a toolbar with various icons for file operations, navigation, and simulation control. A status bar at the bottom indicates "1 object selected".

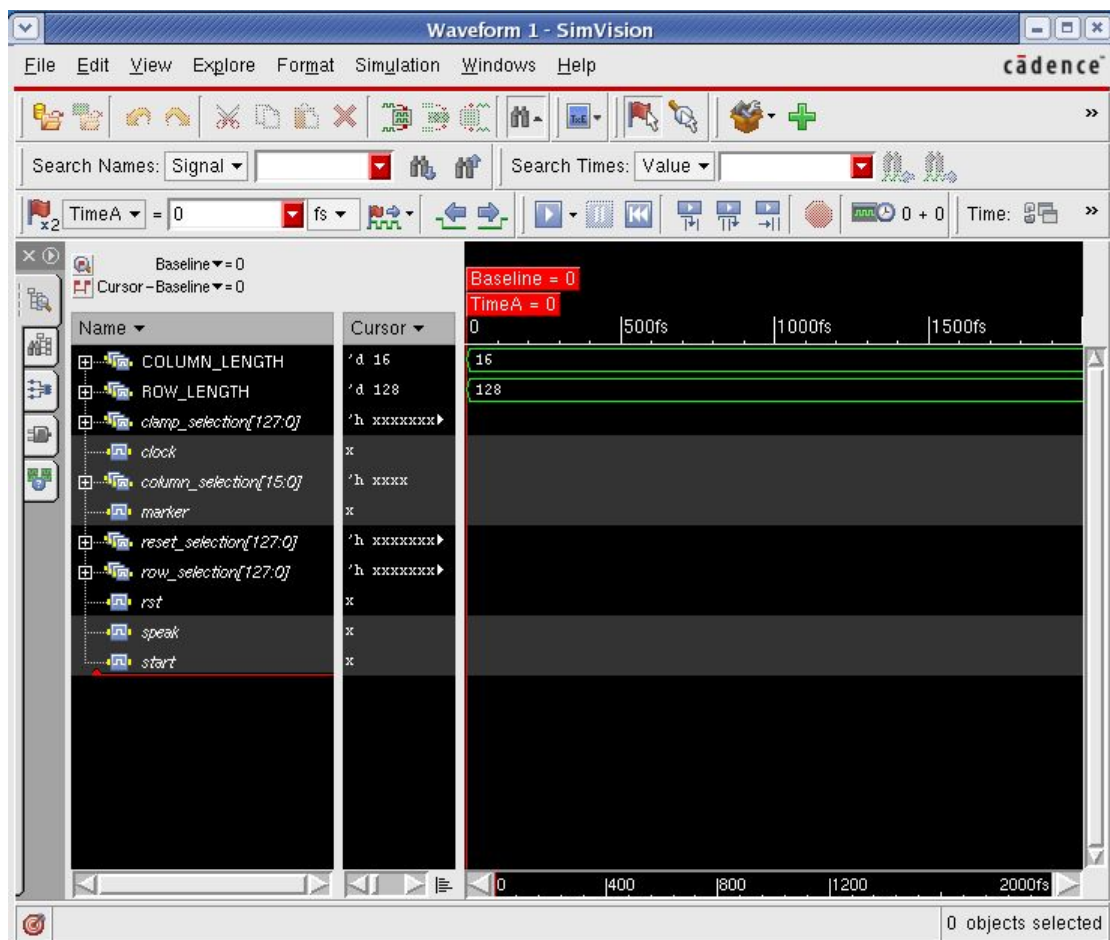
The main area is divided into two panes:

1. **Left Pane (Design Browser):**
- **Browse:** All Available Data
- **Tree Structure:**
 - simulator
 - mic3_Test
 - DUT_mic3_digital (highlighted)
 - addr_operation
 - Packages
- **Leaf Filter:** *
- **Show contents:** In the signal list area

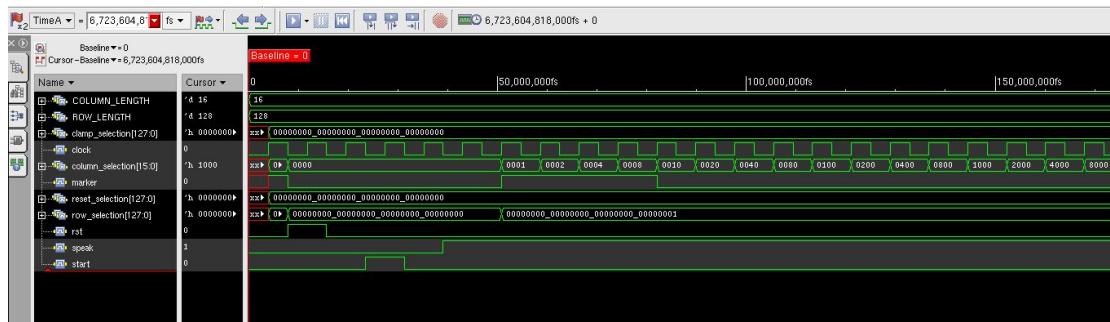
Name ▾	Value (as recorded) ▾
clamp_selection	UUUUUUUUUUUUUUUUUU>
clamp_selection_buf	UUUUUUUUUUUUUUUUUU>
clk_cnt	UUUUUUUUUUUUUUUUUU
clock	U
COLUMN_INDEX	'd 4
COLUMN_LENGTH	'd 16
column_selection	UUUUUUUUUUUUUUUUUU
column_selection_buf	UUUUUUUUUUUUUUUUUU
marker	U
MARKER_INDEX	'd 2
reset_selection	UUUUUUUUUUUUUUUUUU>
reset_selection_buf	UUUUUUUUUUUUUUUUUU>
ROW_INDEX	'd 7
ROW_LENGTH	'd 128
row_selection	UUUUUUUUUUUUUUUUUU>
row_selection_buf	UUUUUUUUUUUUUUUUUU>
rst	U
speak	U
start	U
start_delay	U
started	U



点击右上方的 Send to waveform 按钮，出现如下窗口



点击上图中的运行和暂停按钮就可以控制仿真了，仿真的结果如下图：



(10) 观察仿真波形，看设计的逻辑功能是否正确。功能仿真没有问题就可以开始综合了。

三. MIC3 数字综合

MIC3综合使用的软件是 Design Compiler，design compiler 是一种综合工具，是在用 verilog 或 VHDL 产生 RTL 级文件后，对设计的时序，面积等设置约束条件，产生设计网表，供后端布局布线（也就是 P&R）用。

3.1 综合需要准备的文件

1. 库文件准备

link_library

target_library

symbol_library

MIC3 使用的是 XFAB 的工艺库，link_library 是 db 文件，target_library 可以与 link_library 相同，symbol_library 是 sdb 文件。三个库文件在工作服务器的路径如下：

link_library:

/FdryLib/xfab/synopsys/xh035/MOS/D_CELLS_MOS_typ_3_30V_25C.db

target_library:

/FdryLib/xfab/synopsys/xh035/MOS/D_CELLS_MOS_typ_3_30V_25C.db

symbol_library:

/FdryLib/xfab/synopsys/xh035/MOS/D_CELLS.sdb

2. 设计文件

设计文件是 MIC3 数字部分设计的源文件 mic3_digital_v3.vhd。在 MAPS 服务器上的路径如下：

/home/maps/week_work/xiaole/mic3/v3/mic3_digital_v3.vhd

3. 脚本

Design Compiler 软件可以使用界面操作，也可以使用脚本命令进行操作。为方便，MIC3 的综合是通过采用脚本命令实现的。MIC3 的脚本文件在 MAPS 服务器的路径如下：

/home/maps/week_work/xiaole/mic3/v3/dc_command.txt

```
1 set search_path [list . /FdryLib/xfab/synopsys/xh035/MOS]
2 set link_library { * /FdryLib/xfab/synopsys/xh035/MOS/D_CELLS_MOS_typ_3_30V_25C.db }
3 set target_library /FdryLib/xfab/synopsys/xh035/MOS/D_CELLS_MOS_typ_3_30V_25C.db
4 set symbol_library /FdryLib/xfab/synopsys/xh035/MOS/D_CELLS.sdb
5
6 remove_design -designs
7
8 read_file -format vhd1 {/home/xiaole/DC_test/mic3_digital_v3.vhd}
9
10 link
11
12 reset_design
13
14 set all_in_ex_clk [remove_from_collection [all_inputs] [get_ports CLOCK ] ]
15
16
17
18 set_operating_conditions -library D_CELLS_MOS_typ_3_30V_25C
19 set_auto_wire_load_selection true
20
21 create_clock -p [expr 1.0/200*1000] -n MCLK [get_ports CLOCK]
22 set_max_fanout 4 $current_design
23
24
25 set_flatten true
26
27 compile_ultra -top -exact_map -timing_high_effort_script
28 compile_ultra -top -exact_map -timing_high_effort_script
29
30 write -hierarchy -format verilog -output /home/xiaole/DC_test/mic3_digital_v3_dc.v
31 write_sdf /home/xiaole/DC_test/mic3_digital_v3_dc.sdf
32 write_sdc /home/xiaole/DC_test/mic3_digital_v3_dc.sdc
```

该脚本的 1~4 行设置 XFAB 库文件的路径

6 行移除之前的设计

8 行读入设计的源文件

10 行是与库进行链接

12 行重置设计

14~22 行是对综合进行约束

25~28 行是设置综合的策略以及综合

30 行输出综合的网表文件（用于综合后仿真和数字后端设计）

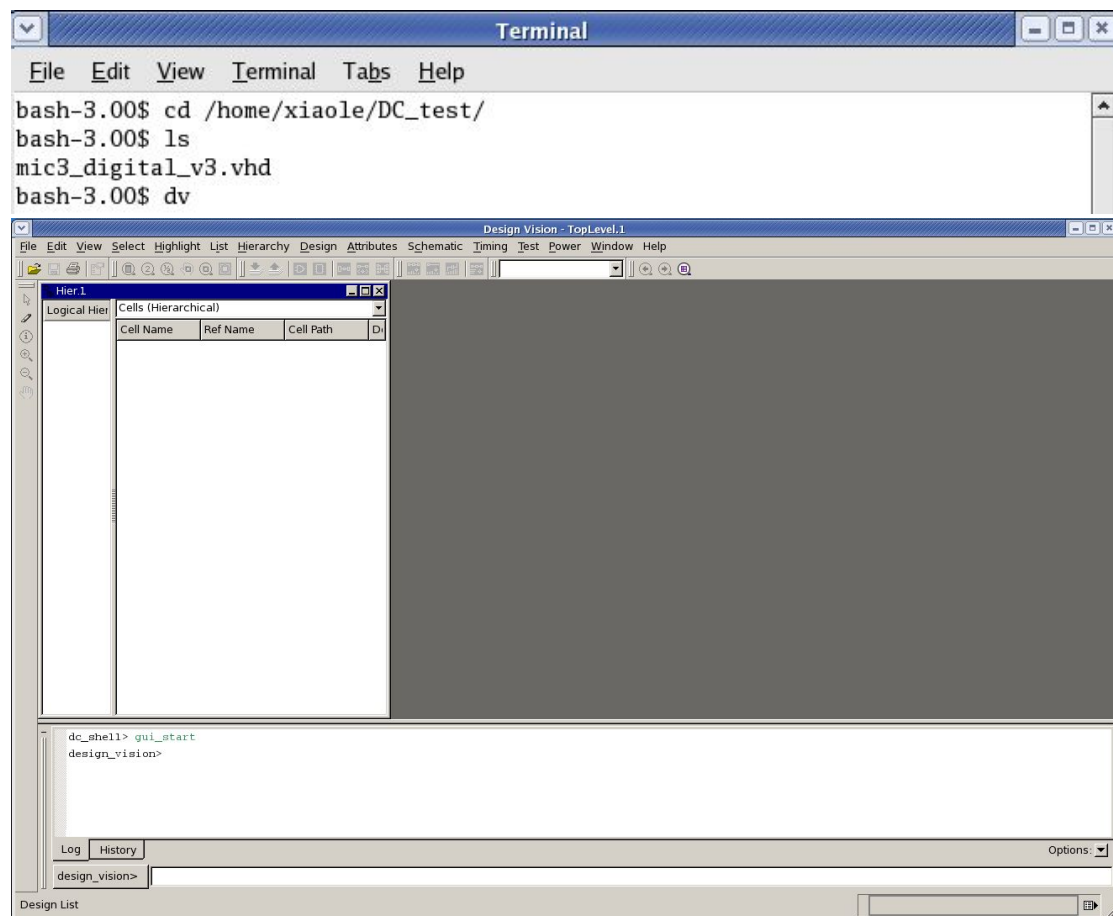
31 行输出时序反标 SDF 文件（用于综合后仿真）

32 行输出时序约束 SDC 文件（用于数字后端设计）

3.2 Design Compiler 综合

（1）先在服务器上面新建一个文件夹，将 mic3_digital_v3.vhd 拷到该文件夹里面。例如将上诉文件放到/home/xiaole/DC_test 路径下。

（2）在服务器的命令中端中先到/home/xiaole/DC_test 路径下，然后输入 DV 就可以打开 Design Compiler 综合软件了。如下图：



（3）开始综合

在 Design Compiler 中输入脚本中的所有命令，enter 执行命令。几分钟后

就可以在/home/xiaole/DC_test 路径下面得到下面三个输出文件：

网单文件 mic3_digital_v3_dc.v

时序反标文件 mic3_digital_v3_dc.sdf

时序约束文件 mic3_digital_v3_dc.sdc

综合好之后就可以开始综合后仿真了。

MIC3 项目这一阶段文件在 MAPS 服务器的路径如下：

/home/maps/week_work/xiaole/mic3/v3/mic3_digital_v3_dc.v

/home/maps/week_work/xiaole/mic3/v3/mic3_digital_v3_dc.sdf

/home/maps/week_work/xiaole/mic3/v3/mic3_digital_v3_dc.sdc

注：MIC3 在综合好之后又手工修改了网表文件，加上了驱动 buffer。并重新获取了以上三个文件。新文件在 MAPS 服务器的路径如下：

/home/maps/week_work/xiaole/mic3/加驱动/驱动/mic3_digital_v3_dc.v

/home/maps/week_work/xiaole/mic3/加驱动/驱动

/mic3_digital_v3_dc.sdf

/home/maps/week_work/xiaole/mic3/加驱动/驱动

/mic3_digital_v3_dc.sdc

四. MIC3 数字综合后仿真

4.1 综合后仿真需要准备的文件

1. 库文件

由于综合的时候使用了库文件，引入了内部逻辑门的延迟，所以在综合后仿真的时候需要先编译库文件。

XFAB 库用于综合后仿真的文件为 VLG_PRIMITIVES.v 和 D_CELLS.v。

这两个文件在 MAPS 服务器的路径如下：

/home/maps/week_work/xiaole/mic3/加驱动/列驱动/VLG_PRIMITIVES.v

/home/maps/week_work/xiaole/mic3/加驱动/列驱动/D_CELLS.v

2. 设计文件

数字前仿真需要的文件有数字设计的综合网表文件、测试平台程序和延迟反标 SDF 文件。MIC3 中这三个文件为 mic3_digital_v3_dc.v、mic3_testbench.v 和 mic3_digital_v3_dc.sdf。准备好这三个文件后就可以开始使用 NClaunch 进行综合后仿真了。

以上三个文件的路径在 MAPS 服务器的路径如下：

/home/maps/week_work/xiaole/mic3/加驱动/列驱动/mic3_digital_v3_dc.v

/home/maps/week_work/xiaole/mic3/加驱动/列驱动/mic3_testbench.v

/home/maps/week_work/xiaole/mic3/加驱动/列驱动/mic3_digital_v3_dc.sdf

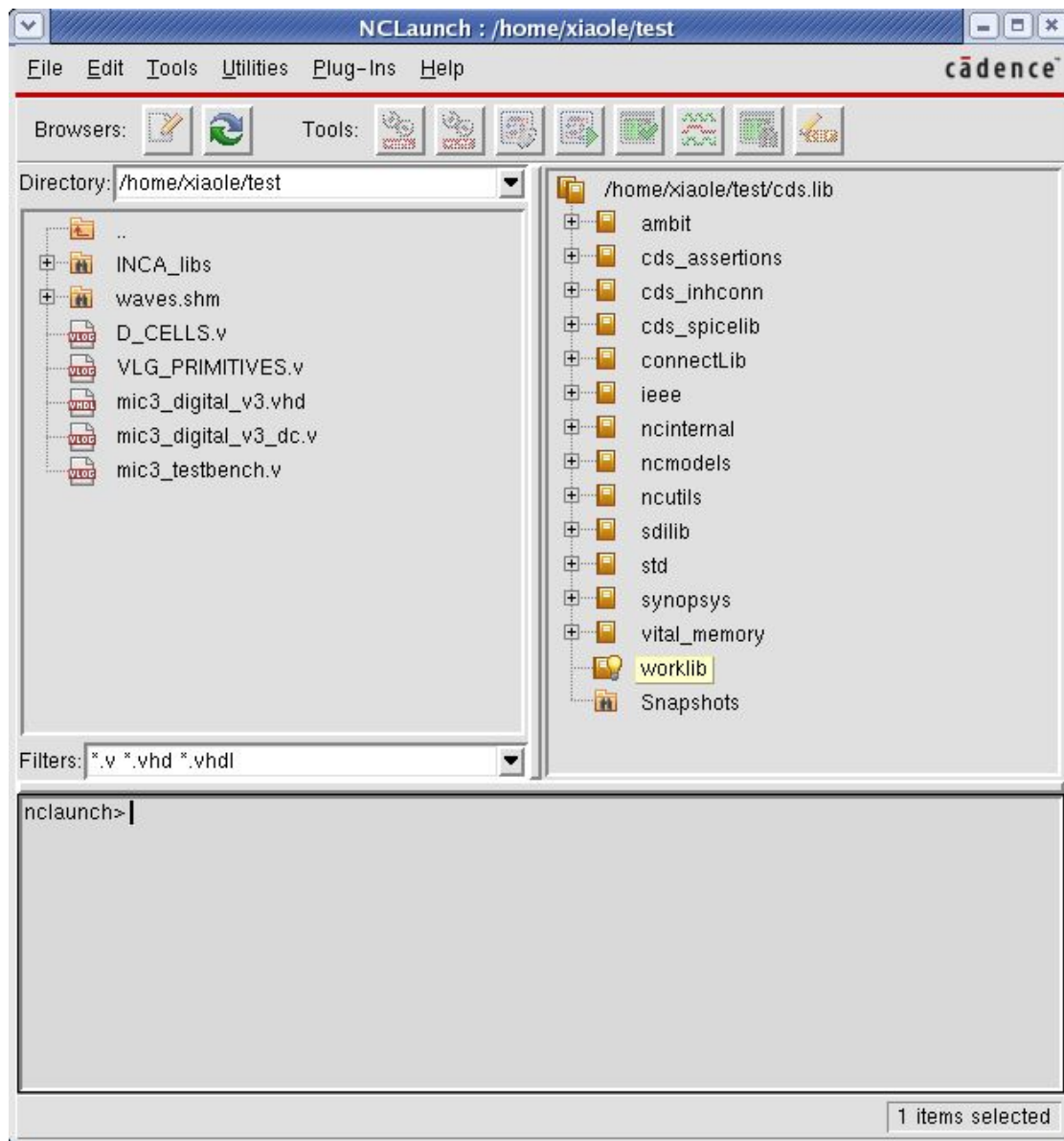
4.2 NClaunch 综合后仿真步骤

(1) 由于之前做过功能仿真，所以此处不必再新建文件夹。直接将 VLG_PRIMITIVES.v、D_CELLS.v、mic3_digital_v3_dc.v 和 mic3_digital_v3_dc.sdf 拷到/home/xiaole/test 文件夹里面。

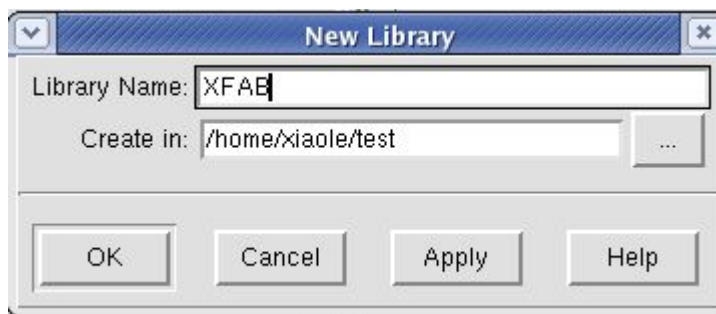
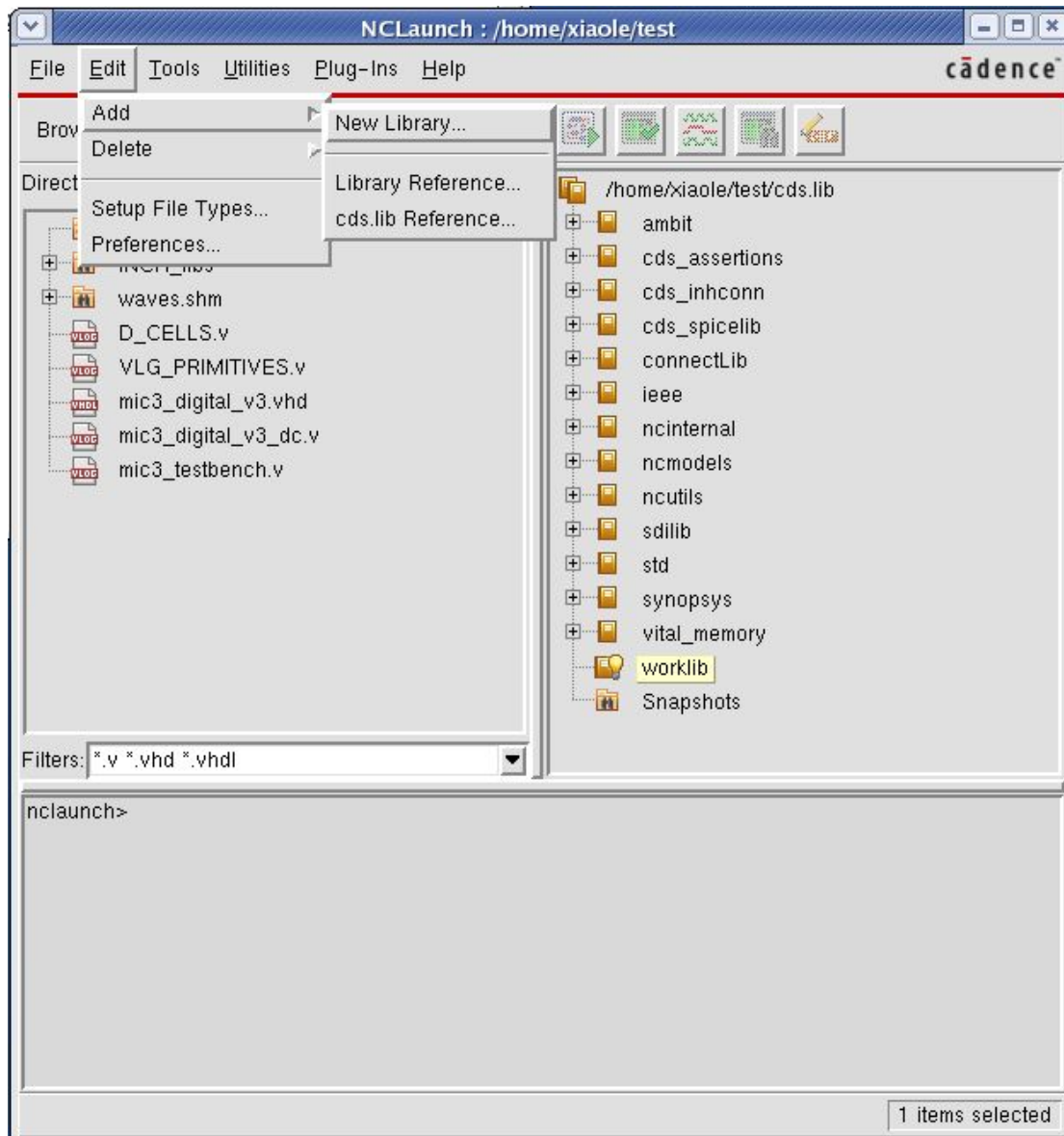
(2) mic3_testbench.v 可以使用功能仿真时的测试平台，不过得加上反标语句，在 initial begin 下一行加上如下语句：

```
$sdf_annotate("mic3_digital_v3_dc.sdf",DUT_mic3_digital);
```

(3) 在服务器的命令中端中先到/home/xiaole/test 路径下，然后输入 nclaunch 就可以打开 nclaunch 仿真软件了。如下图：

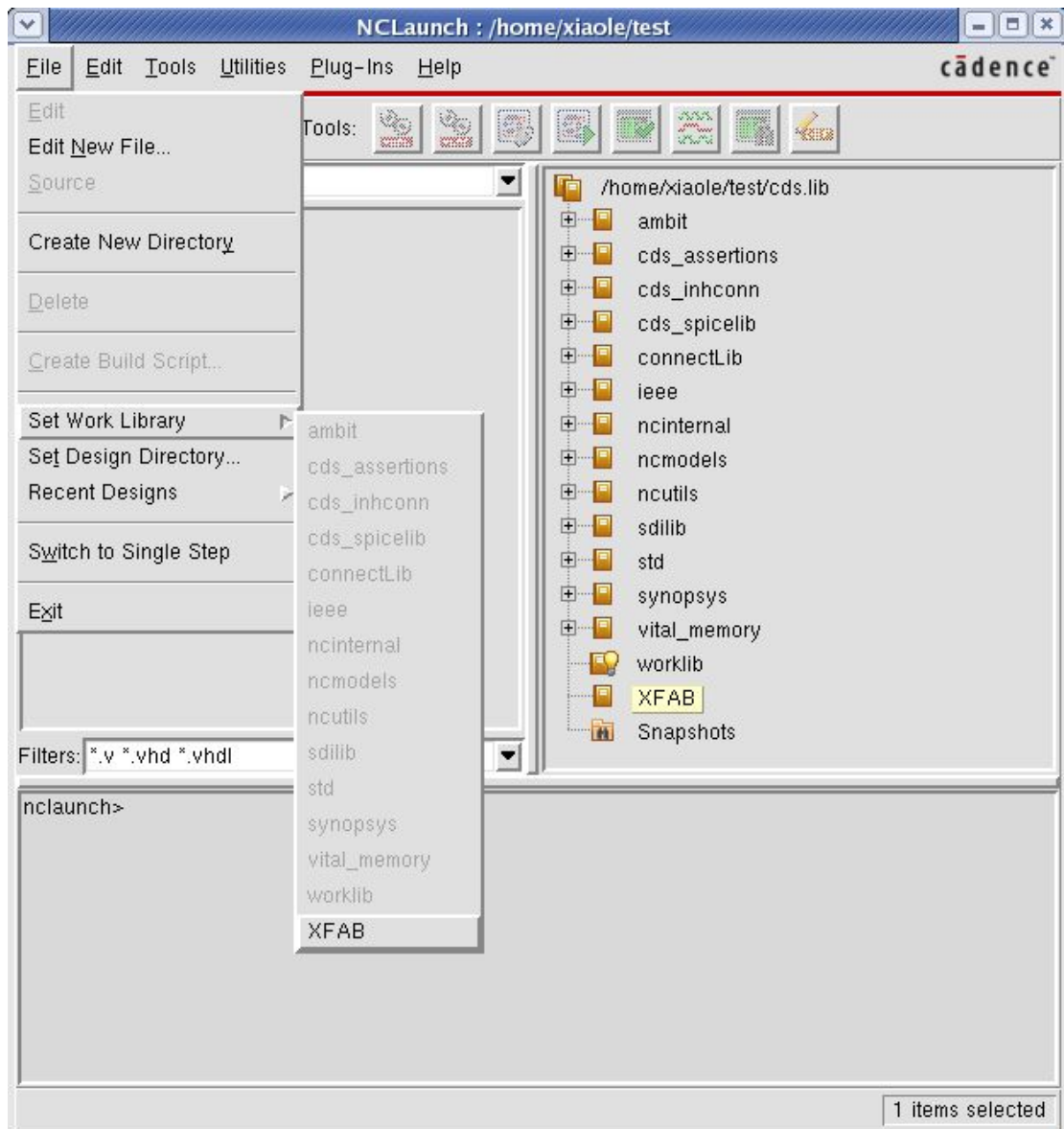


(4) 新建一个 lib 存放库文件编译的模块，点击 Edit_Add_New Library

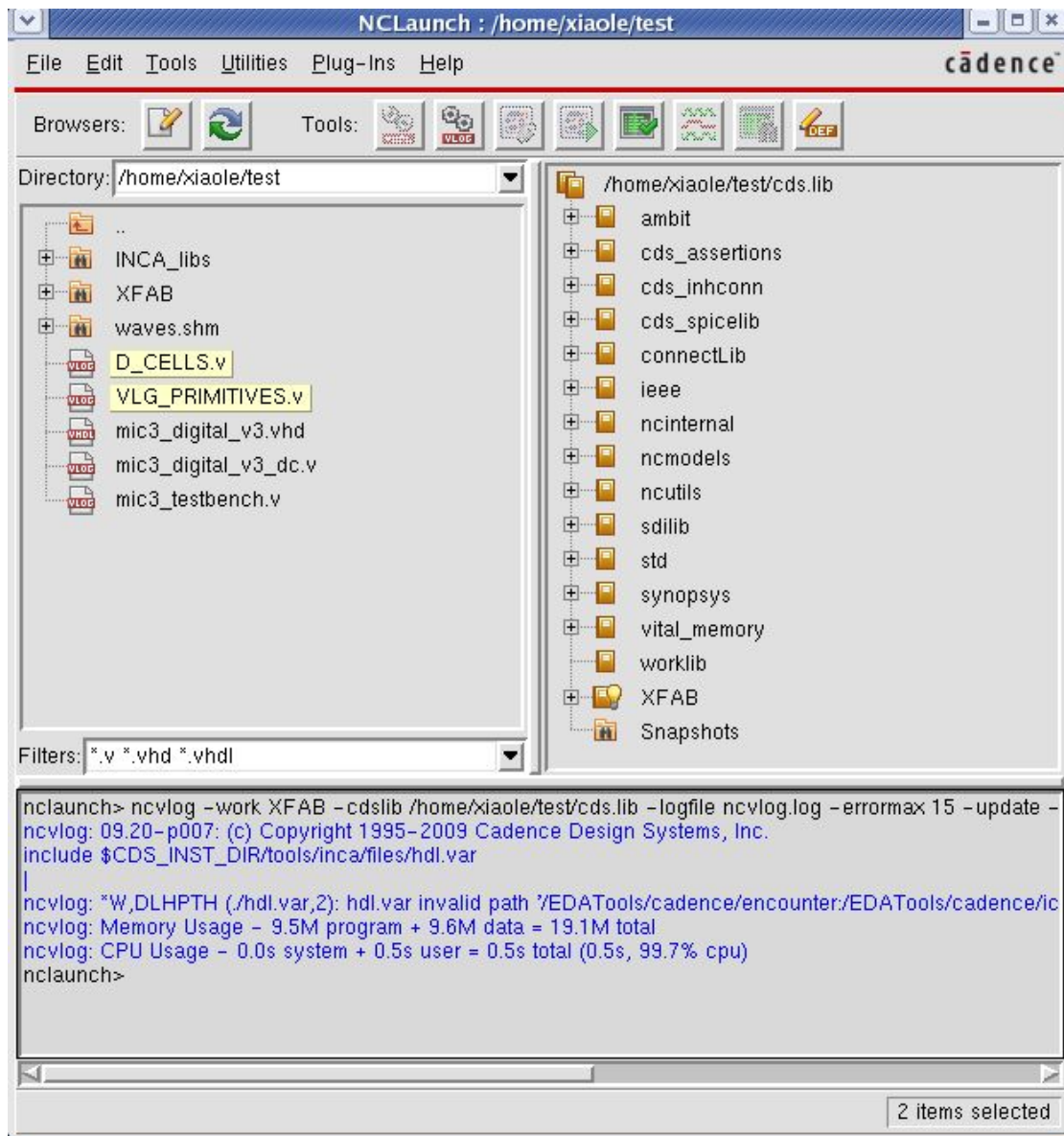


取名 XFAB，点击 OK

(5) 设置工作库，将 XFAB 库的模块编译到里面

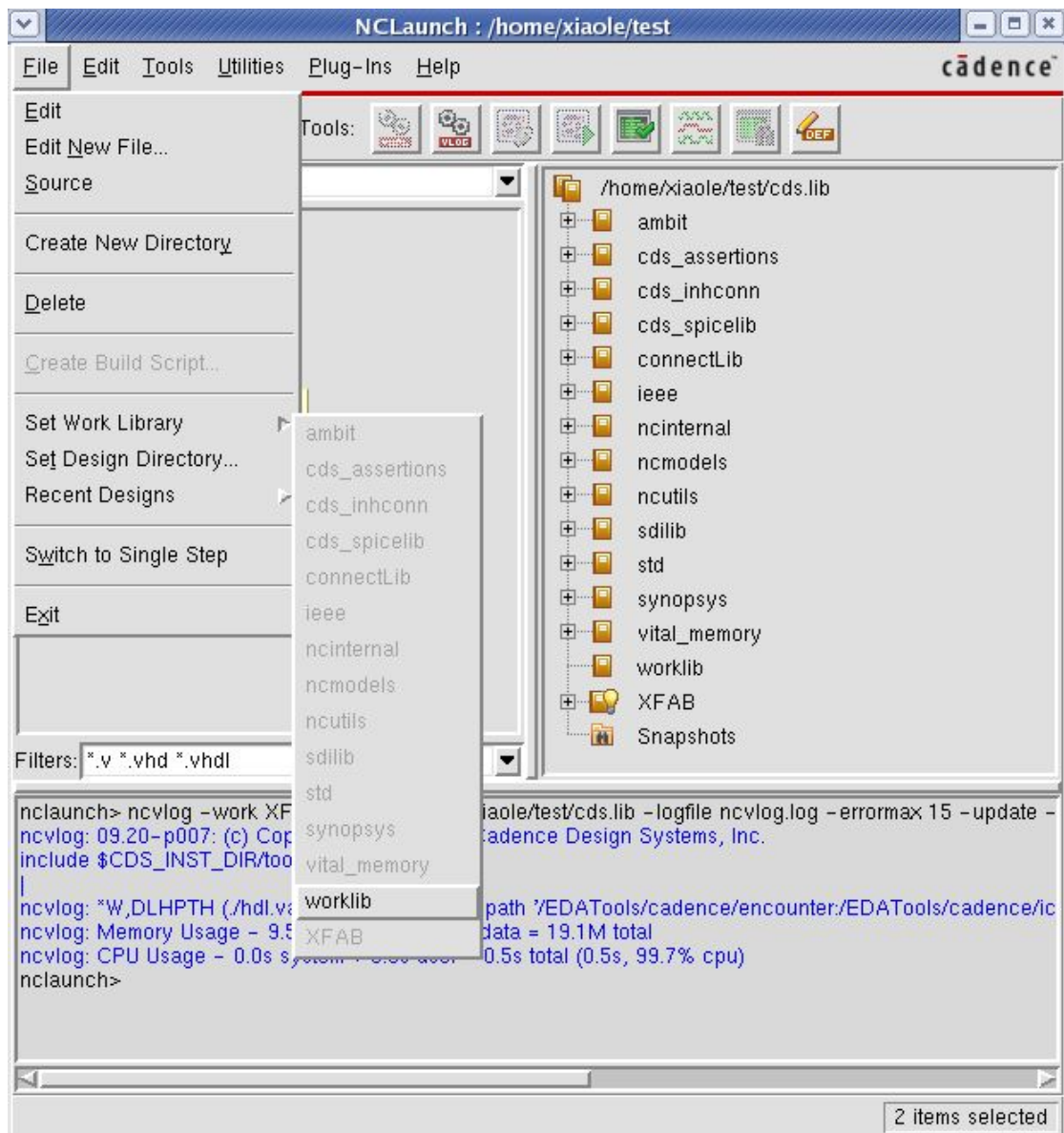


如上图点击 File_Set Work Library_XFAB 将 XFAB 设置为工作库。



将 D_CELL.v 和 VLG_PRIMITIVES.v 进行编译

(6) 再将工作库设置为 worklib 并编译网单文件和测试平台，分别选中 mic3_digital_v3_dc.v 和 mic3_testbench.v 进行编译。



五. MIC3 数字布局布线后仿真

布局布线后仿真流程与综合后仿真一样。只是把三个设计文件作了更换。
布局布线后的网表文件和布局布线后的延迟反标 SDF 文件由数字后端流程提供。

测试平台程序需要将反标语句作修改，在 initial begin 下一行加上如下语句：

```
$sdf_annotate("mic3_digital_v3_soc.sdf",DUT_mic3_digital);
```

以上三个文件在 MAPS 服务器的路径如下：

```
/home/maps/week_work/xiaole/mic3/加驱动/列驱动/mic3_digital_v3_soc.v
```

```
/home/maps/week_work/xiaole/mic3/加驱动/列驱动/mic3_testbench.v
```

```
/home/maps/week_work/xiaole/mic3/加驱动/列驱动
```

```
/mic3_digital_v3_soc.sdf
```

观察布局布线后仿真后发现波形延迟更大了，这是由于布局布线后不仅考虑了逻辑门单元的延迟还考虑了连线的延迟。

