基于 XFAB35 工艺的 SOC Ecounter

数字版图设计流程

（以 top_metal DAC 版图设计为例）

REV 1.0

BY hu xing

Phy CCNU

2012.06

2 文件准备

2.1 库文件的准备

对于 SOC Encounter 而言后端设计所需的数据主要有是 XFAB35 厂提供的标准单元，它包括物理库、时序库，分别以.lef、.tlf(或者.lib，更好)的形式给出。对于 XFAB35 的工艺，版图设计所需要的库文件及其在 10.144.1.3 服务器上的目录路径分别如下：

(1)Lef 文件：

/FdryLib/xfab/cadence/xh035/LEF/xh035_ml4lr_FE/xh035ml4lr_FE.lef (金属层定义)

/FdryLib/xfab/cadence/xh035/LEF/xh035_ml4lr_FE/D_CELLS.lef(数 字单元)

(2)时序库文件(timing libraries)

Typ timing libraries：

/FdryLib/xfab/synopsys/xh035/MOSLT/D_CELLS_MOSLT_typ_3_30V_25C.lib

说明：1)这里的时序库文件用的是.lib 文件，如果没有.lib 文件，用.tlf 文件也可以，建议用.lib 文件，信息比较全。

2)库的网表库(verilog 文件)这里不需要。只在后仿真的时候需要。

2.2 根据设计自己准备的文件

需要自己准备的和设计相关的文件是 verilog 网单， sdc 时序文件，io 位置说明文件。

(1)DC 综合后的网单文件(.v 格式)

/home/star/xfab/8_11/dac/top_metal_digital_dac_dc.v

(2)时序约束.sdc 文件(timing constraint files)，由 DC 产生(write_sdc ***.sdc)，提供设计的时序约束信息。

/home/star/xfab/8_11/dac/top_metal_digital_dac.sdc

(3)IO 位置说明文件(IO file)。

说明：如果没有 IO 文件，版图会自动摆放 pan 或 pin；可以先不加此文件，从版图中导出一个，再修改。

参考例子：

/home/star/xfab/8_11/dac/top_metal_digital_dac.save.io

3 运行软件

如果已经准备好上述所有库文件和设计文件，那么就可以着手进行版图工作了。键入“encounter”命令，运行 Encounter，注意不要加“&”, 5.2 版本不支持后台运行。(注意 encounter 的运行路径)

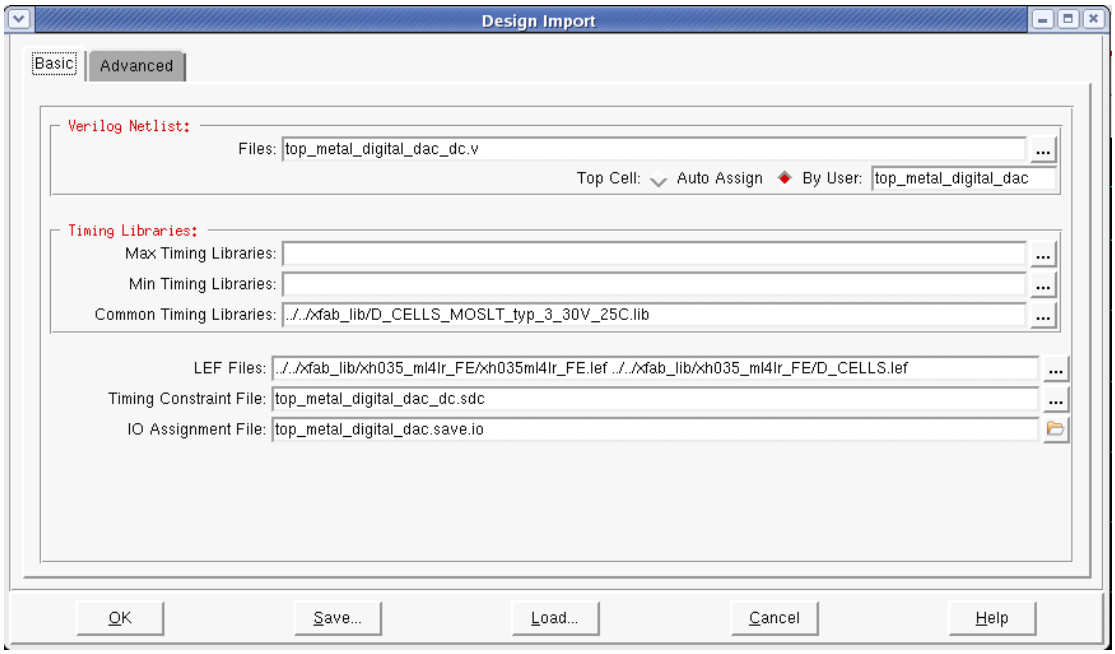
4 Design_import

目的：读入设计所需的库文件和设计文件。

菜单操作：Design – design import

在 basic 模式:

导入上述准备好的设计网单(Verilog Nelist).v 文件，时序库文件(Timing Libraries).lib 文件，LEF 文件，设计的时序约束文件(Timing Constraint)sdc 文件、以及 IO 位置文件。



说明：

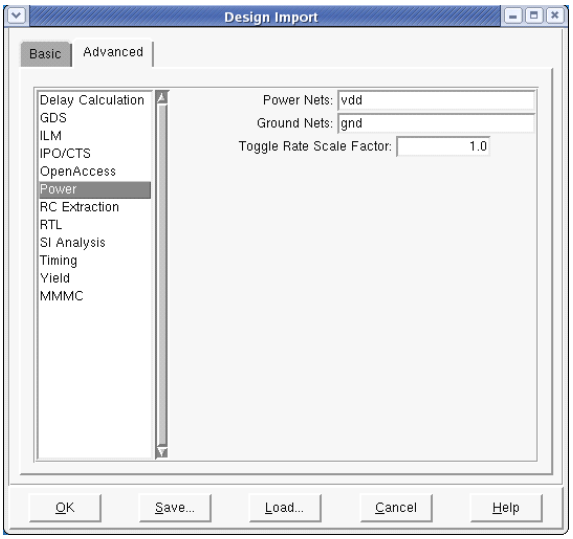
LEF文件的导入顺序必须先是层定义，然后再是数字单元。若则会出错。

在 Advance 模式:

目的：这里填入版图里电源和地的线名

Power Nets: vdd

Ground Nets: gnd



（1）Power Nets 和 Ground Nets 的名字最好和库里面的标准单元的电源和地的 pin 名（可在库文件里查）一致，这样后面做映射会比较方便。

（2）做到这里可以保存一下，直接点 design_import 菜单里的 SAVE 保存，后缀是.conf，下次直接 Load 进来，再进行修改，不用每次都这么麻烦地设置这么多选项。

5 LOAD IO file 文件

如果目前有 IO file，可以导入。如果没有 IO file 可以不做这一步。可以在 placement 之后导出 IO file 进行修改，修改之后再导入。

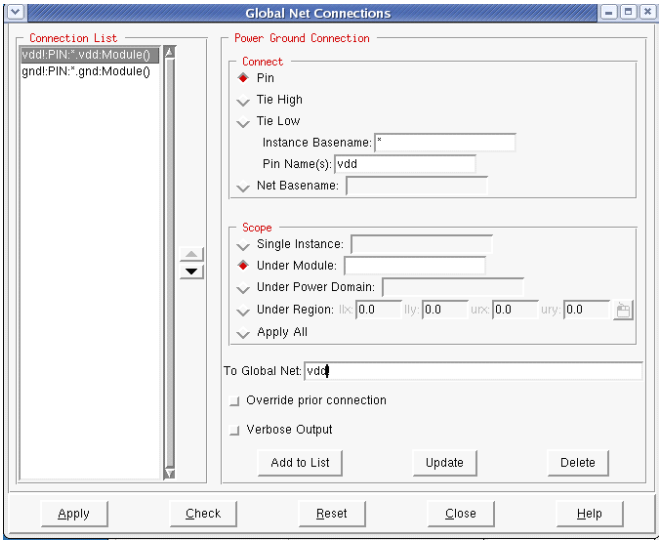
补充说明：3.2 版本的 Encounter，可能需要在 Floorplan 之后即 Place 之前 load IO File，才会有效.

6 Global Net Connection

目的：把标准单元，电源 pad 等版图中用到的 cell 的 pin 和电源的 net 一一对应起来。

菜单操作：

在 encounter 的工具列 ，按 Floorplan -> Connections Global Net…



操作步骤如下：

（1）Power Ground Connection –〉 Connect Pins: vdd

（2）Scope 选中 Under Module

（3）To Global Nets: vdd!

（4）选中 Override prior connection 和 Verbose Output

（5）Add to List

（6）把 vdd 改成 gnd，重做（1）到（5）步

（7）选中 Tie High，To Global Nets: vdd，Add to List，表示 vdd 是电源高电平

（8）选中 Tie Low，To Global Nets: gnd，Add to List，表示 gnd 是电源地

（9）Apply

补充说明：

（1） 关于 pin 的名字不同的工艺要去工艺库文件查看 cell 的 pin 的名字，xfab 的标准单元的 pin 的名字是 vdd!和 gnd!；

（2） Global Net 即前面 design import 的 Advance 模式 Power 菜单里声明的电源 net 名。

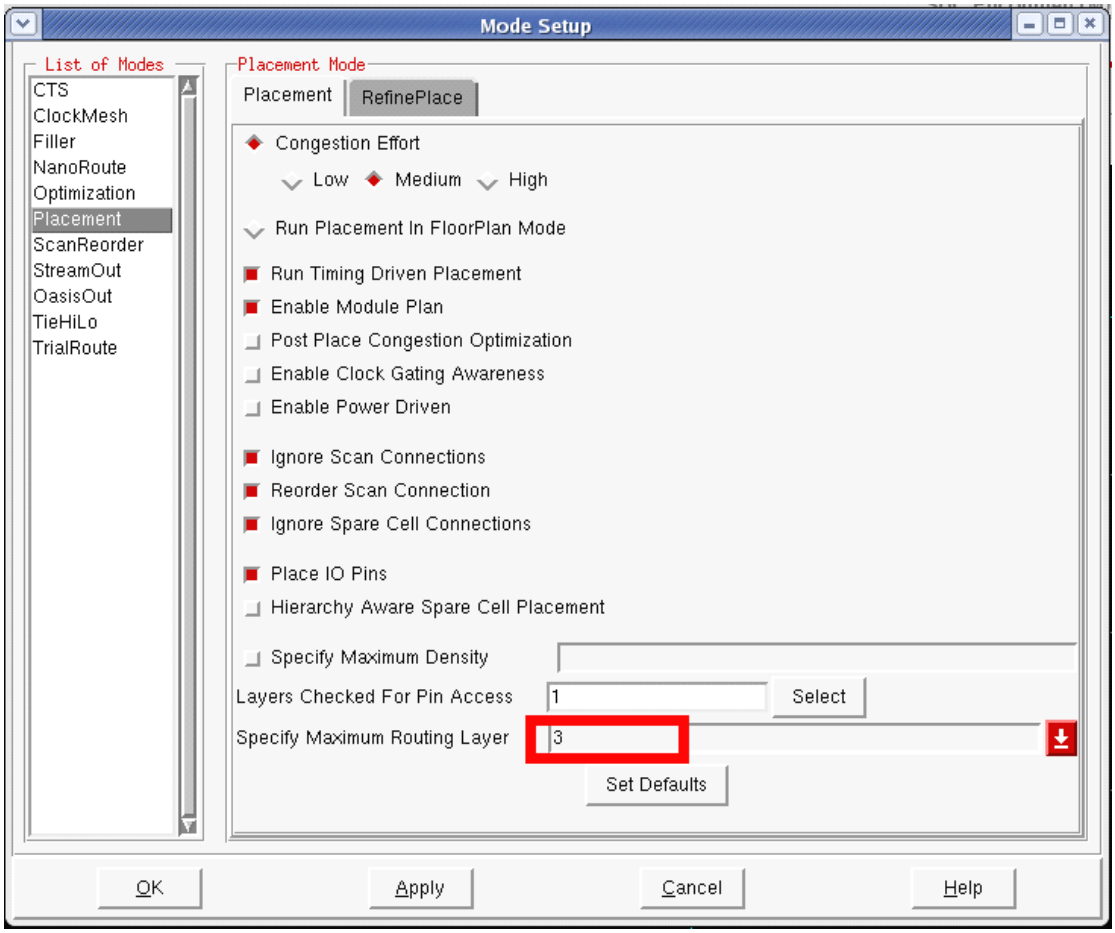
（3） 如果有 PAD 的话，要注意看一下工艺库文件里的 PAD 的 pin 名，可能会和标准单元的不一样，比如 XFAB 工艺库的给 core 供电的电源 Pad 的 pin 是 vdd 和 gnd，这样的话就要多做一步（1）至（5），把 pin gnd 和 net gnd 连接起来。

（4） 做到这一步可以保存一下 Floorplan。Design –〉Save –〉Floorplan，保存 Floorplan 这一单步，后缀是.fp；

或者直接 Design –〉Save Design，保存当前整个版图，后缀是.enc，自己取名字。下一次直接 Design –〉Restore Design .enc 文件进来就行。

7 MODE STEUP

MODE STEUP 的作用是设置布局布线的相关规则，比如 APR 只是用 3 层金属。



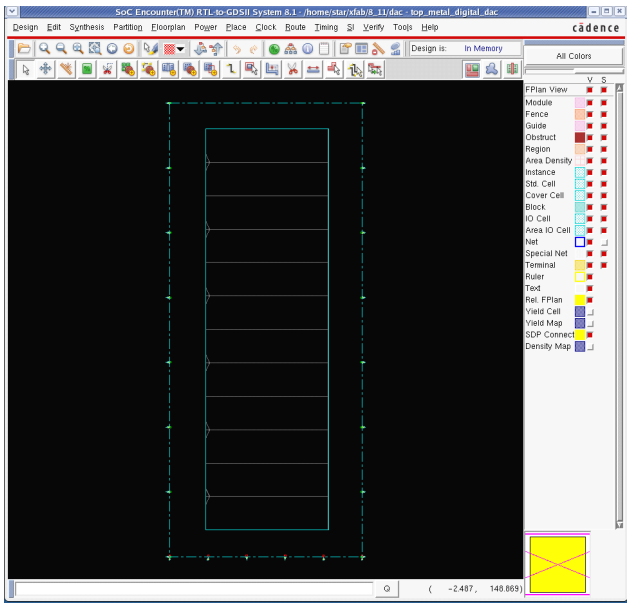
上图是元件自动摆放时的层数设置，还有 NanoRoute（自动布线）层数设置，等等，不同的应用情况要有不同的设置。

在 Top_Metal 里面，我们只使用了三层金属，M1、M2、M3，所以这这里将 PLACEMENT、NAOROUTE、TrialRoute 都设置为使用 3 层。

8 FloorPlan

目的：

对整个版图进行布局规划



菜单操作：

菜单选择 FloorPlanà Specify FloorPlan，在弹出的对话框中对将要进行的设计进行一个整体的规划。

补充说明：

以下对设定内容进行几点解释：

（1）Size by -〉Core Size by -〉Aspect Ratio

选择 Ratio（H/W）将给出一个整个布局区域的宽长比，一般是一个长方形；

（2）Core Utilization

用 Size by -〉Core Size by -〉Aspect Ratio-〉Core Utilization 选项确定芯片面积的大小， Core Utilization 表示 core 面积的利用率，面积允许的话，其数值越低，则芯片面积越大，用于布线的面积越宽松，布线越容易通过，一般选择 0.7 左右。这是决定芯片面积大小，能否布局布线成功关键的一步。

（3）Core Margins by:

选择 Core to IOBoundary， 设置 core 和芯片边缘的间隔，这个间隔是用来放置 Core 的电源环的。所以需要根据后面的电源环，电源环间距等参数综合来决定。这里选择 8（因为我后面的电源环宽度是 2，电源环间距是 1，电源环距边缘的 offset 是 1）

（4）Standard Cell Rows à Double-back rows 图示选择表示隔行 row 将进行翻转，以保证靠在一起的部分同为 power 或 ground。

（5）Row Spacing：表示行与行之间的间距，这里选择默认的 8；

（6）Row hight：表示行的高度。这里选择默认的 8。点击 OK

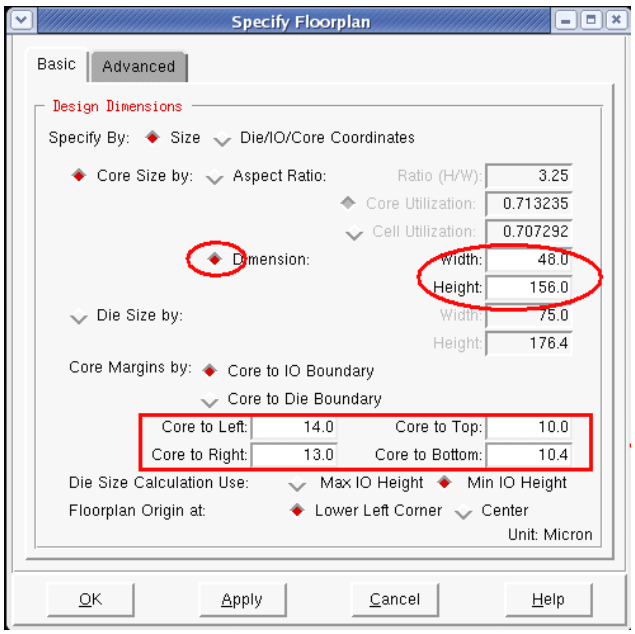
Ecounter 将根据用户上面的限定估算出芯片的面积和利用率，如果利用率过高布线有问题需要重新调整参数。

在 Top_Metal 里面，由于引脚的位置都是固定的，所以在此时我们设置为长宽固定的 floorplan。指标如下：

Floorplan：H 156um* W 48um

Left：14.0um top：10.0um

Right：13.0um bottom：10.4um



9 Add Power Rings

目的：添加 core 的电源环和地环，在数字标准单元区域的周围放置 power ring，用于提供数字部分的电源和地。

菜单操作：按 Power -> Power Planning -> Add Rings…

相关设置：

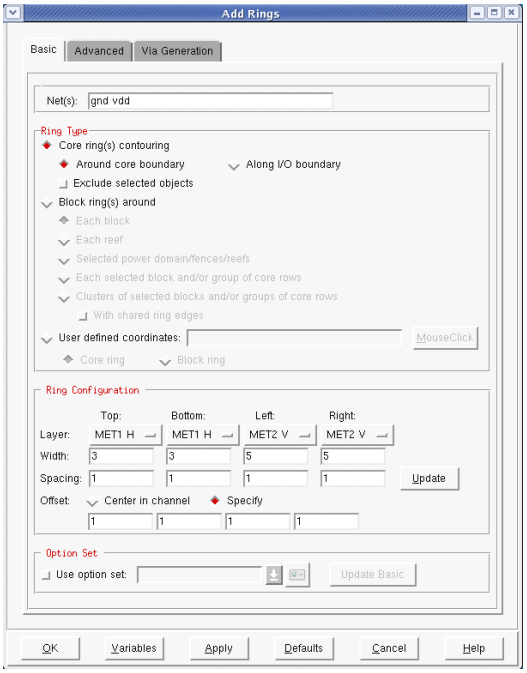
在弹出的选单中，Ring Configuration 里面需要填写 Power Ring 的宽度、间距，金属层等数据信息，一般要视实际需求而定

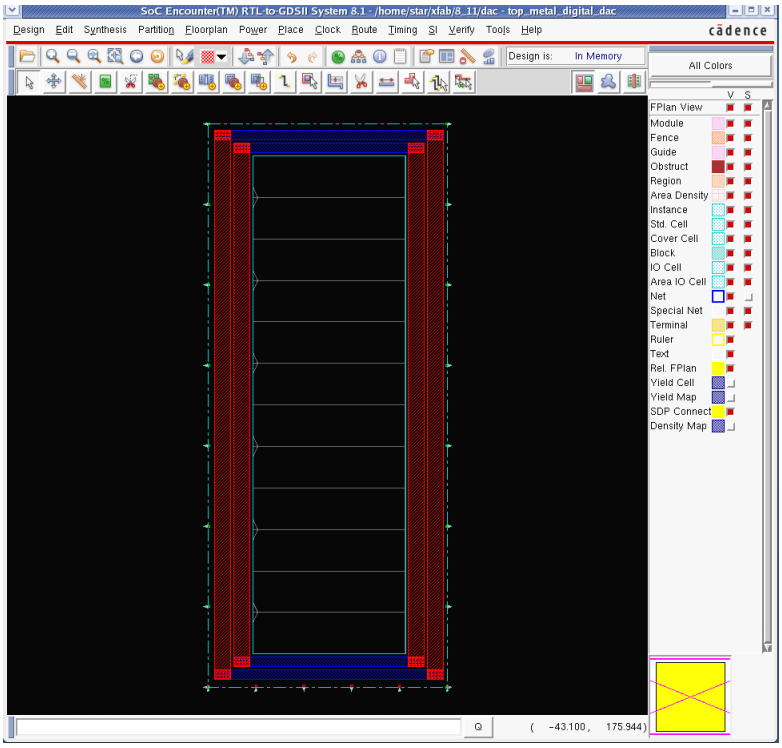
Layer：表示电源环所在的金属层，一般默认。

Width 表示电源环的线宽，尽量宽一些，这里选择 2。

Spacing 表示两根电源环的间距，这里选择 1。

Offset 表示电源环和 core 之间的距离，选择 Center in channel。




SoC Encounter(TM) RTL-to-GDSII System 8.1 - /home/star/xfab/8_11/dac - top_metal_digital_dac
Design Edit Synthesis Partition Floorplan Power Place Clock Route Timing SI Verify Tools Help
cadence
Design is: In Memory
All Colors
V S
FPlan View
Module
Fence
Guide
Obstruct
Region
Area Density
Instance
Std. Cell
Cover Cell
Block
IO Cell
Area IO Cell
Net
Special Net
Terminal
Ruler
Text
Rel. FPlan
Yield Cell
Yield Map
SDP Connect
Density Map
(-43.100 , 175.944)

10 Add Stripes （可选）（本设计中没设计这一步）

目的：

用于在芯片中插入一些横的竖的电源线，保证供电。

菜单操作：

Power -> Power Planning -> Add Stripes…，

说明，根据需求增加，如果宽度大于 150um，建议增加，增加了不是坏事，但是会给布线带来难度。

11 Placement Blockage （可选）（本设计中没设计这一步）

目的：

在电源的 Stripes 和 Routing 的 blockage 的地方放置一些 blockage，防止在这些地方 place 标准单元。（个人理解供参考）

菜单操作：

Place-> Specify -> Placement Blockage…，金属层 M1-M4 全选。

补充说明：

这一步可选。

12 Placement

目的：放置标准单元。

菜单操作：Place -> Standard Cells and Blockages

相关设置如下：

（1）ModeFull

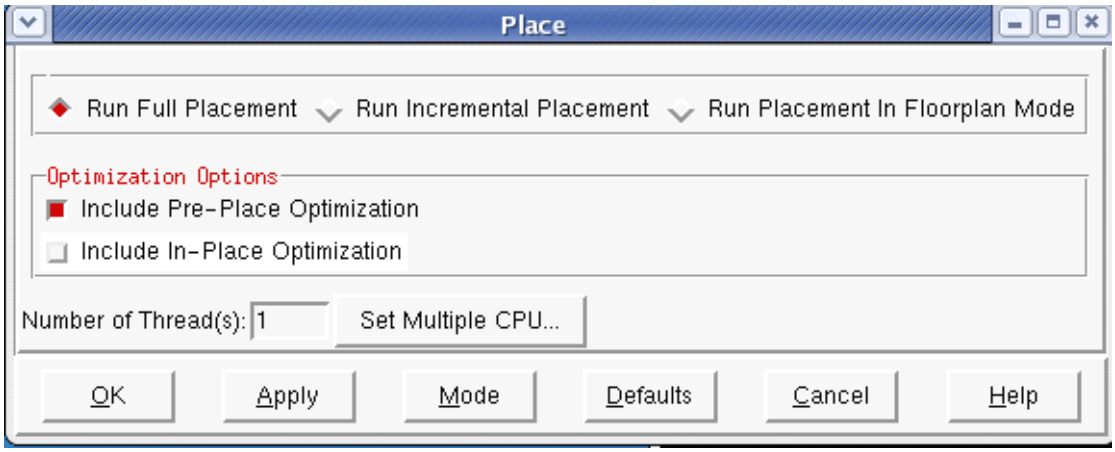
（2）Optimization Options 选中 Include Pre-Place Optimization

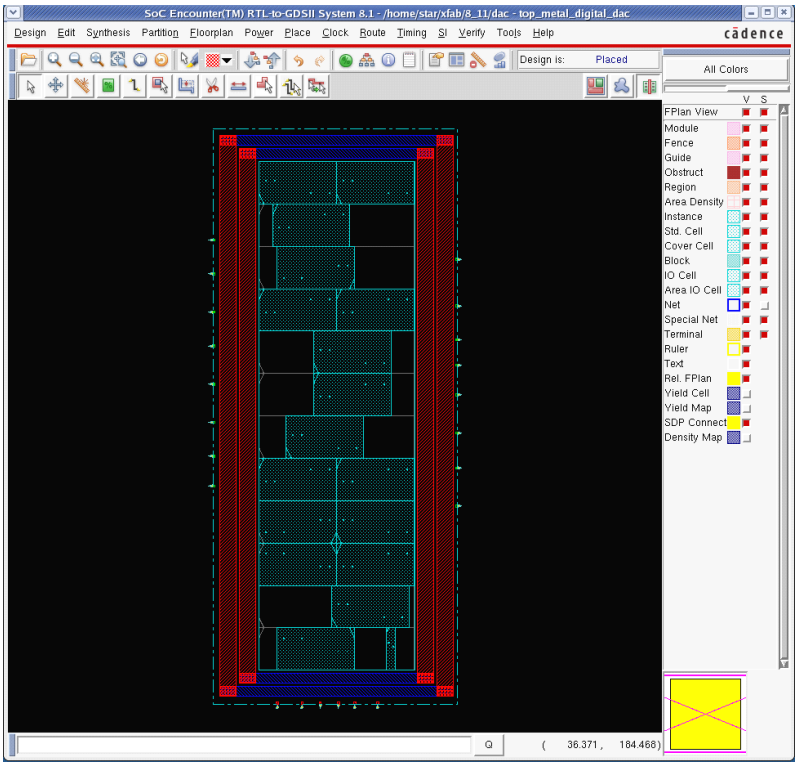
（3） Click OK button

补充说明:

（1）做完这一步，可以用 Place -〉check Placement 菜单操作查看标准单元放置情况。

（2）Design -〉Save -〉Place，保存 Place 这一单步，后缀是.fp；或者直接 Design -〉Save Design，保存当前整个版图，后缀是.enc，自己取名字。





Placement 之后可能什么模块都看不到，这个时候需要点击右上角的 physical view 就可以了。

这时候引脚位置已经摆好了，可以 save io file 然后修改引脚的位置，从新导入 io file 即可实验引脚位置的摆放。

13 Special Route (SRoute)

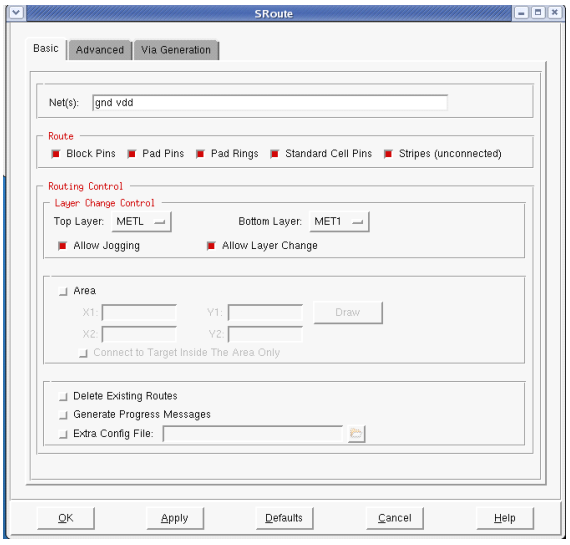
目的：把标准单元的电源以及给 core 供电的电源 pad 和 core 电源环连接起来。

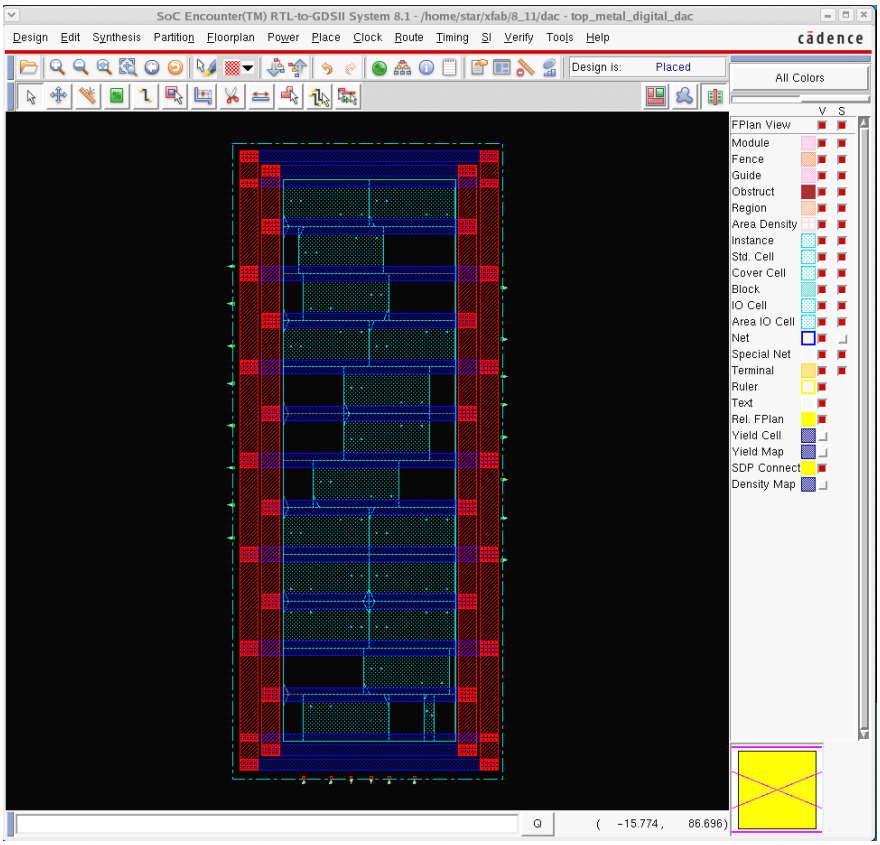
菜单操作：Route -> Special Route…

相关设置：

（1）Route à PAD pins: 把给 core 供电的电源 pad 的 pin 和 core 电源环连接起来。

（2）Route à Standard Cell pins: 把标准单元的电源 pad 的 pin 和 core 电源环连接起来。



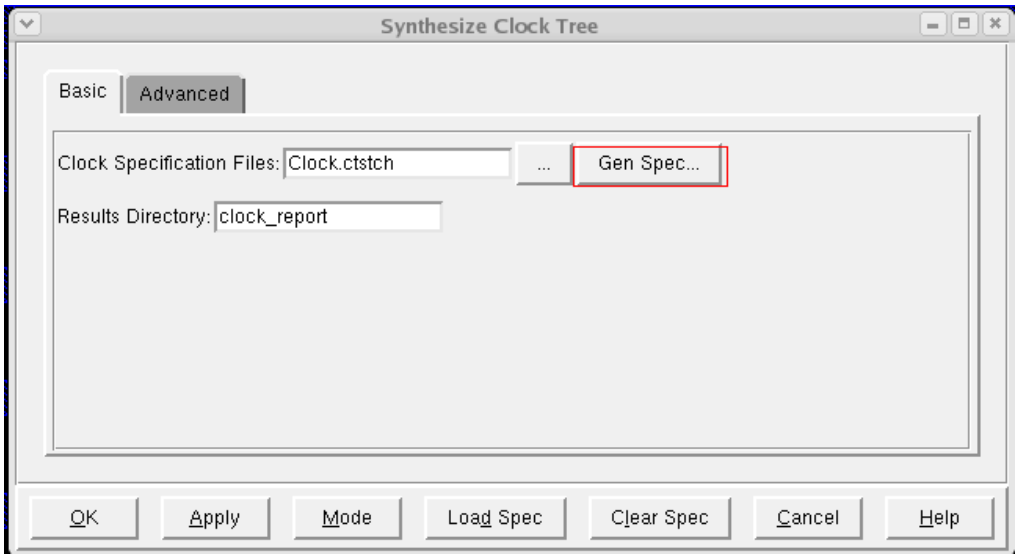

SoC Encounter(TM) RTL-to-GDSII System 8.1 - /home/star/xfab/8_11/dac - top_metal_digital_dac
Design Edit Synthesis Partition Floorplan Power Place Clock Route Timing SI Verify Tools Help
cadence
Design is: Placed
All Colors
V S
FPlan View
Module
Fence
Guide
Obstruct
Region
Area Density
Instance
Std. Cell
Cover Cell
Block
IO Cell
Area IO Cell
Net
Special Net
Terminal
Ruler
Text
Rel. FPlan
Yield Cell
Yield Map
SDP Connect
Density Map
Q
(-15.774 , 86.696)

14 Creat clock tree spec

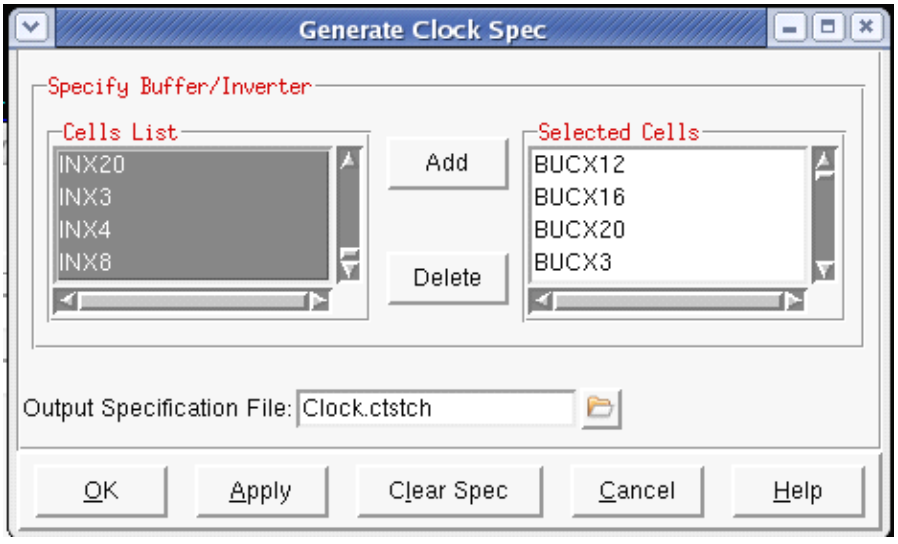
目的：

生成时钟树所需的.ctstch 文件。

菜单操作: Clock -〉Design clock



点击 Gen Spec。



这里将所有时钟 buffer 和时钟 inv 都加进去了。这个设置可能与之前版本的 encounter 不一样。

补充说明：

（1)这里填的 Buffer footprint 和 Inverter footprint 是插入 buf 和 inv

的 Footprint 以供时钟

（2）这一步会在当前目录下生成时钟树文件 ctstch，其中包含了设计对于时钟的要求。

（3）可以根据设计需要修改. Ctstch 文件，这里相关设置如下：

AutoCTSRootPin clk

MaxDelay 1.5ns

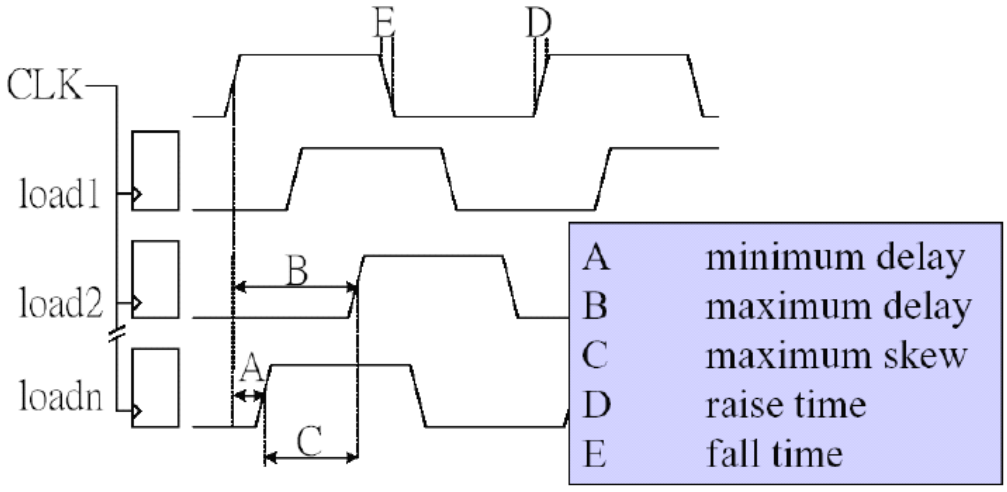
MinDelay 0.1ns

MaxSkew 80ps

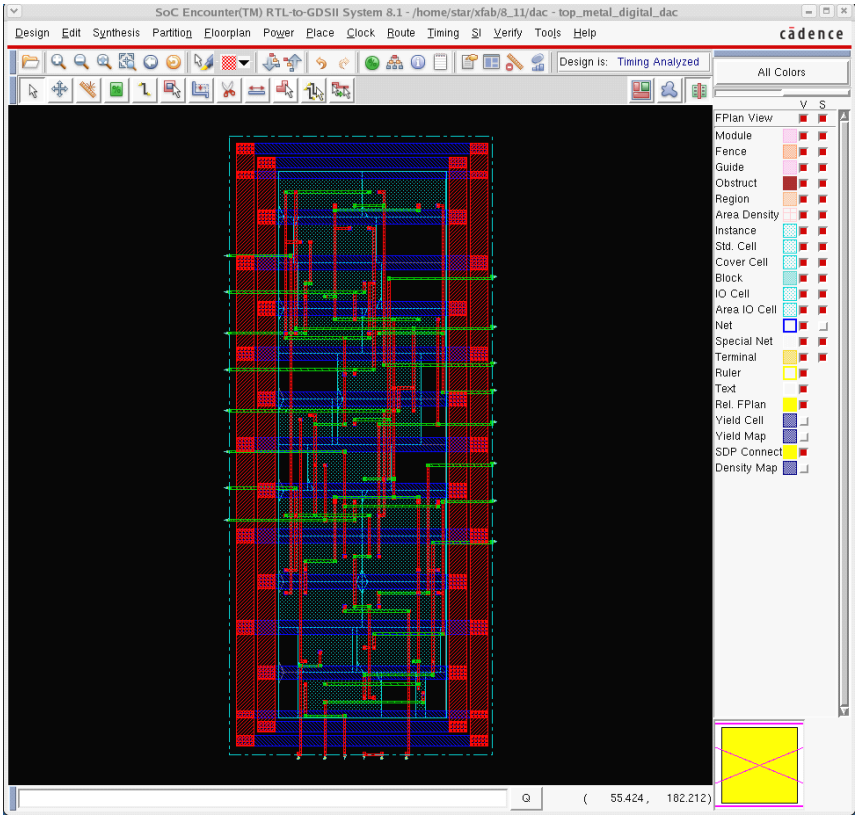
NoGating NO

Buffer CLKBUFXL CLKBUFX1 CLKBUFX2 CLKBUFX3 CLKBUFX4 CLKBUFX8 CLKBUFX12 CLKBUFX16 CLKBUFX20 CLKINVXL CLKINVX1 CLKINVX2 CLKINVX3 CLKINVX4 CLKINVX8 CLKINVX12 CLKINVX16 CLKINVX20

（4）各参数含义如下



点击 OK 之后，这里有直接的布线了，这是跟以前的 encounter 不一样的地方



大一点的数字版图在时钟上会插入 buf 和 inv，但是对于这个例子，因为时钟树比较简单，没有加入任何的 buf 和 inv。

关于时钟，要在 DC 里面约束好。

15 Post-CTS Optimization

目的：进行时序检查，若不满足要求则进行时序优化。

菜单操作：

第一步： Timing – Timing Analysis

Design Stage： 选择 Post – CTS

Analysis Type：分别选择 Setup 和 Hold 进行时序分析，通过查看生成的 TimingReport 文件里面的时序报告文件来查看设计的时序。如果存在 Violation，即 Slack 为负，则需要进行下一步的时序优化，否则反标 sdf 的后仿可能会出错。

注：report 的结果是在 terminal 里面。

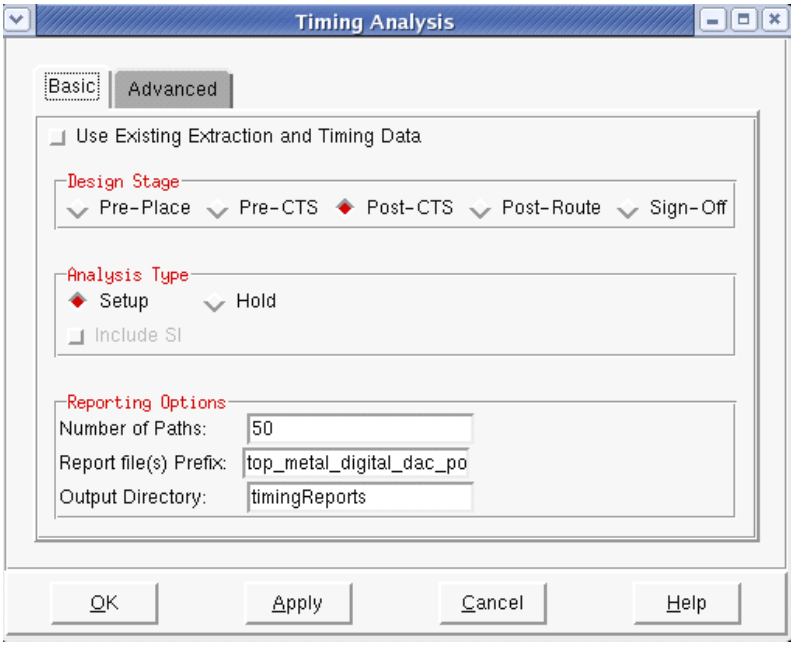
第二步：Timing – Optimization

Design Stage： 选择 Post – CTS

Optimization Type: 选择 Setup 或 Hold 来对 Setup 或 Hold 时间进行时序优化。

补充说明：

（1)如果 Violation path 不是很多，也可以先进行下一步布线 Nano route)，因为布线本身会进行一定优化，而且布完线后还可以进行 Post-Rout Optimization。一般布线后 Violation path 后减少很多。


Timing Analysis
Basic
Advanced
Use Existing Extraction and Timing Data
Design Stage
Pre-Place
Pre-CTS
Post-CTS
Post-Route
Sign-Off
Analysis Type
Setup
Hold
Include SI
Reporting Options
Number of Paths:
50
Report file(s) Prefix:
top_metal_digital_dac_po
Output Directory:
timingReports
OK
Apply
Cancel
Help

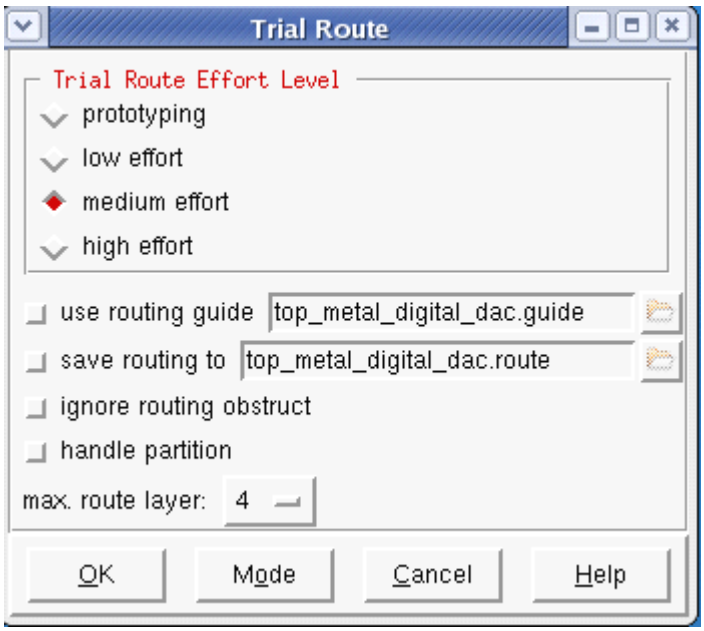
16 Trail Routing

目的：进行初步的布线。

菜单操作：Routing ---- trial route

选中 High Effort。

选中 Use Routing Guide，该文件在时钟树综合后自动产生



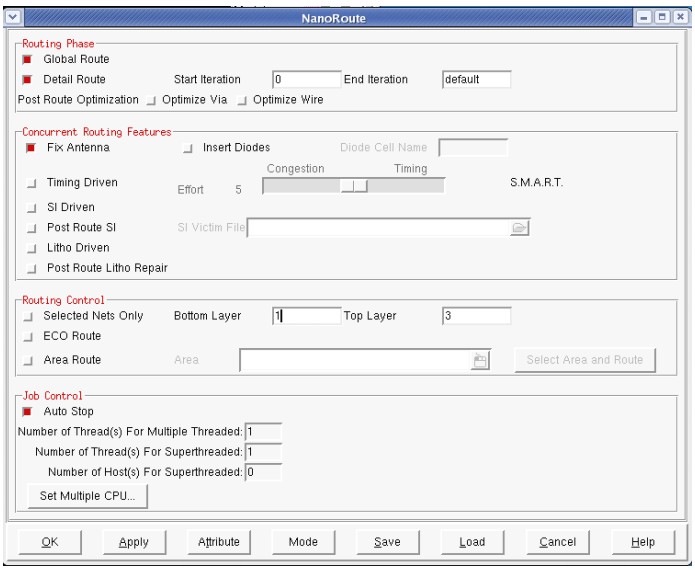
17 Nano Routing

目的：完成细致的布线。

菜单操作：Route ---- Nano Route ---〉Route

选中 Global Route 选中 Detail Route

其它选项默认设置。这一步时间也相对较长。



18Add Filling

目的：放置 Filler，使得所有的 row 上各个 cell 的电源连通、地连通

菜单操作：Place – Filler – Add

ADD 完 close 之后直接点击 OK 即可。

补充说明： 这里可以全部选中一步完成，无需从大到小依次加，这是比 SE 好的地方。

19 Post-Route Optimization

目的：布线后再次检查时序，若有 violation，再次进行优化。

补充说明：

（1）方法和时钟树后的 post－CTS 的 optimization 一样，这里不再赘述。

（2）必须优化至没有 violation 为止（Slack 全为正）。

（３）做时序优化和分析会先自动进行ＲＣ参数提取。

20 生成 SDF 时序文件

目的： 产生 sdf 时序文件作后仿反标时序用。

菜单操作：Timing – Calculation Delay

补充说明：

如果是第一次做这个，需要先计算提取 RC 参数。（或者先做 Timing Analysis）

（1） Timing – Specify Analysis Condition—Specify RC Extraction Mode 设置

RC 参数提取模式

（2） Timing – Extract RC

这一步生成了.cap 文件，包含提取的 RC 参数

（3）Timing – specify analysis condition—specify delay calculation mode（default 设置）

（4）Timing – Calculation Delay

21 Verify connectivity

目的：对整个版图的连接进行粗略的检查

菜单操作： Verify -〉Verify connectivity

补充说明：

一般只要前面的操作没有手工的参与以及电源 PAD 的连接没有问题，这一步检查就不

会有什么问题。若有问题一定要解决，因为会直接导致 DRC 不通过。

22 Verify Geometry

目的：对整个版图的线宽，间距，短路等情况进行检查，类似于 DRC 的功能。

菜单操作：Verify –〉Verify Geometry

补充说明：

（1）这一步类似于 DRC，一般这一步检查出错没有排除的话 DRC 也会有类似的错误。

（2）这一步必须在 nano route 之后做。

（3）如果有错的话，版图上会出现白色的小叉，一般 core 中出现的错可以通过优化排
除。方法如下：

Route -> Nano Route -> Route，选中弹出菜单中的 Area Route 选项，然后用鼠标单击 Select Area and Route，然后带着鼠标回到版图，按着鼠标左键选中有白色叉的周围一小块，放开鼠标。此时 Encounter 就会对这一小块电路重新进行布线优化，大多数情况下会将错误排除。

（3）可以通过 Verify –〉Violation Browser 来查看错误情况。

23 Export Files

导出文件类型：

GDSII 文件——可以在模拟版图中作为一个完整单元进行调用

Verilog 文件——LVS，以及版图级仿真过程中都要用到

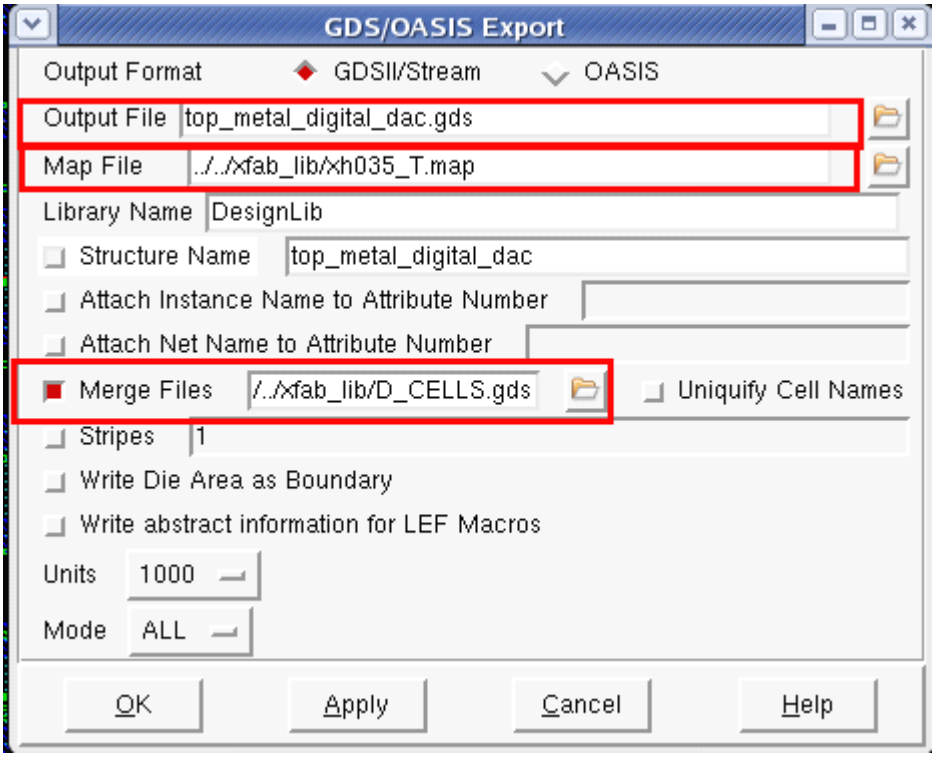
菜单操作：

Design — Save — Netlist

DAC 的文件路径：

/home/star/xfab/8_11/dac/top_metal_digital_dac.v

Design — Save — GDS



Output Stream File ：给 gds 文件命名，后缀是.gds。

GDS 文件路径

/home/star/xfab/8_11/dac/top_metal_digital_dac.gds

Map File：调入.map 文件 streamOut.map，此文件非常重要，决定能否正确导出 GDS 文件。

Map 文件路径：

/home/star/xfab/xfab_lib/xh035_T.map

Merge Files 路径

/home/star/xfab/xfab_lib/D_CELLS.GDS

可以参考工艺的 Mapping Table 的资料编辑正确的金属层的 GDS 号。对应 XFAB 提供的文档，可以看到目前的 map 文件可以把 pin 上的 label 也导出来，否则在 ICFB 里需要自己在 pin 上打 label。但是电源环上以及电源和地还是需要在 ICFB 里面去打 label。

到这里，encounter 自动布局布线任务已经完成，下面的事情是做版图的验证。

24 版图验证——导入 ICFB

目的：

由于 drc&lvs 的需要，需要把由 encouter 导出的 gds2 文件和工艺库中提供的 gds2 文件一起导入 icfb。

操作：

Step 1 启动 icfb 软件。具体方法参加模拟 IC 设计步骤。

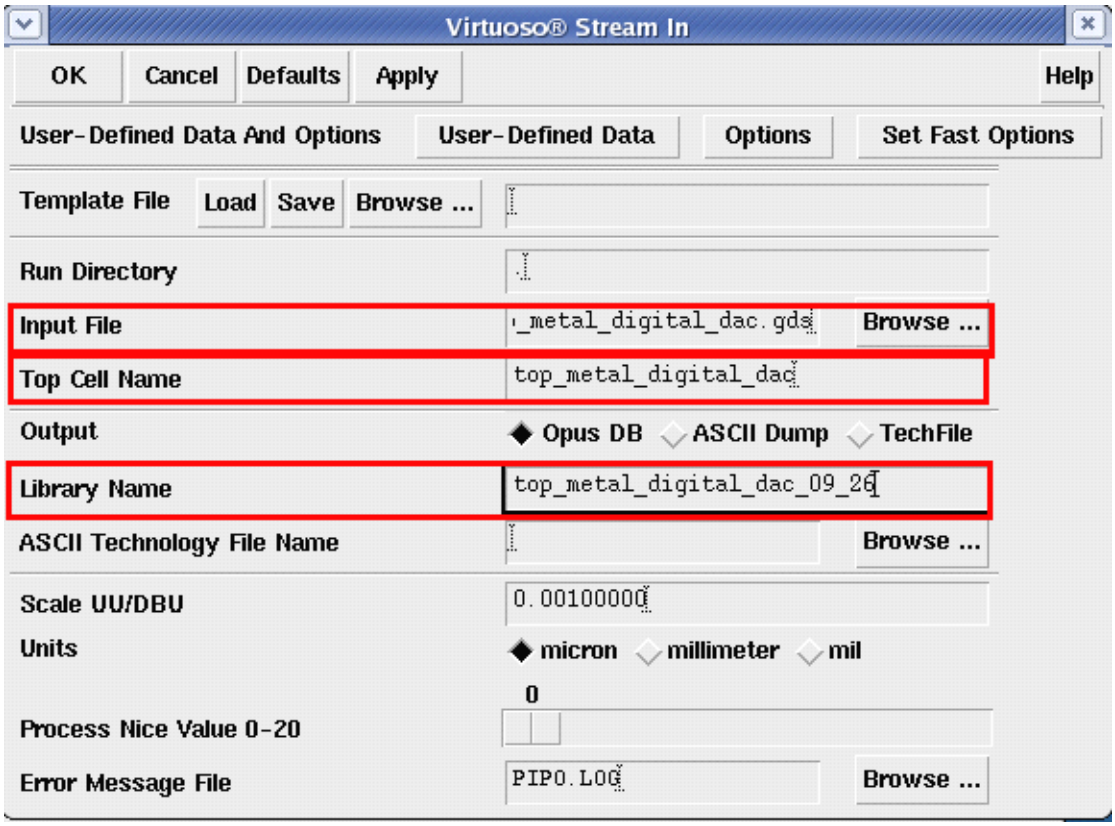
Step 2 Fileà Importà stream，导入 encounter 生产的 GDS 文件

在弹出的选单中正确填写各项内容

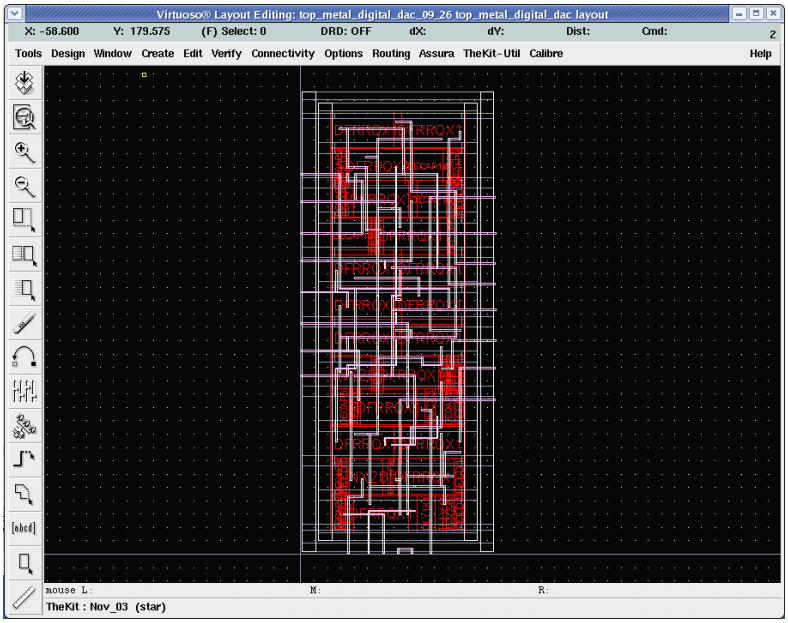
input file——由 encounter 导出的 gds2 文件

top cell name——顶层 module 名，也可以不写。

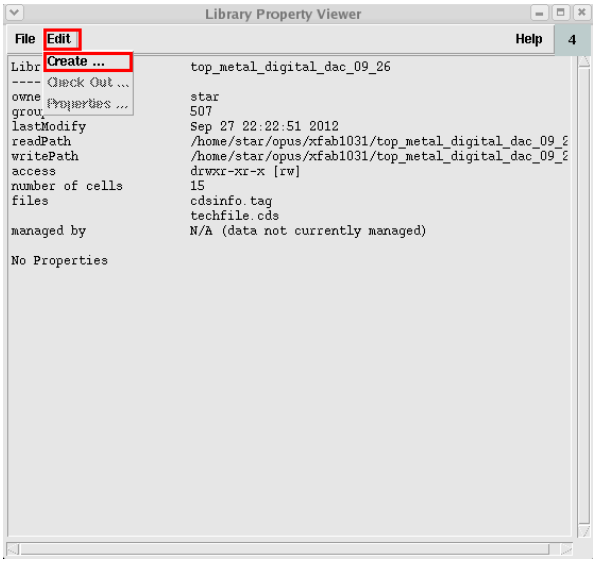
Library name——之前在 library manager 中为设计文件建立的设计库文件名



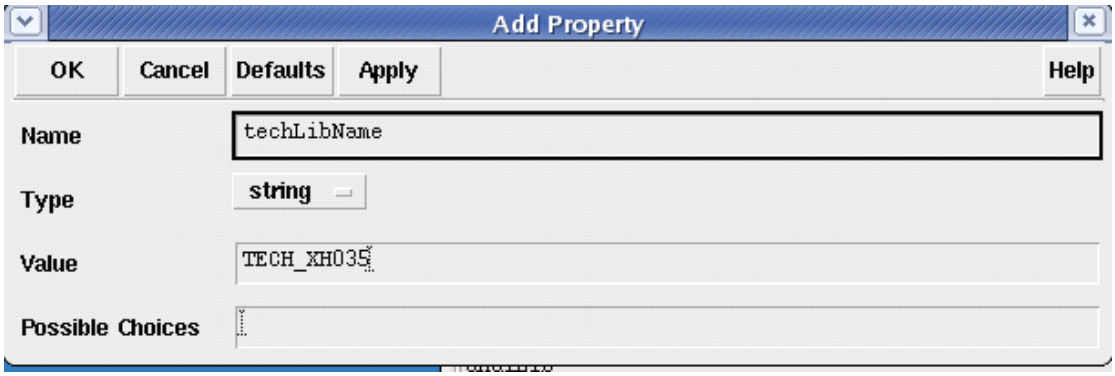
Step 4 用 Toolsà library manager，选中 import 的设计 layout，双击用 Virtuoso 打开版图。这时候打开会出现如下图所以得问题：



Step 5 对版图属性进行修改，在 library 里右击刚导入的 library name，选中属性在弹出的窗口中点击 Edit ->Create



选择 ADD，在弹出的窗口中填入



点击 OK，属性修改就算完成。再次打开版图就会发现版图显示恢复正常。

Step 6 打 label

在导出 GDS 文件时，虽然已经将引脚的 Label 导出，但是电源和地并没有导出来，所以此时第一步要对电源和地打 Label，打 Label 的方法参加模拟。

补充说明：、

1. 只需要在电源环上打 label。因为 pin 的名字会通过 map 文件导出来。

2. 如果修改了 gds2 文件，要重新导入，建议首先从 library manager 中将原有设计删除，这一点非常重要!!!!! 不然会出莫名的错误。

25 DRC

具体的方法和 DRC 规则设置请参照模拟 IC 设计。

calibreà Start REV（result error veiw），可以看报告和错误情况。

补充说明：

（1）一般只要 Encounter 里面的 verify 通过了，DRC 就不会有什么大问题。

26 LVS

与模拟 IC 设计不同的是，数字 IC 设计没有原理图文件，所以在做 LVS 检查时与模拟有点不同，这里介绍两种数字 LVS 检查的方法。

第一种是将 Encounter 生成的网表文件通过 calibre 自带的 v2lvs 工具转换成 Calibre 接受的 CDL 网表文件。具体的转换方法如下：在 terminal 里运行指

令：

v2lvs -v top_metal_digital_dac.v -s

/home/star/xfab/xfab_lib/D_CELLS.cdl -s0 gnd! -s1 vdd! -o

top_metal_digital_dac.cdl

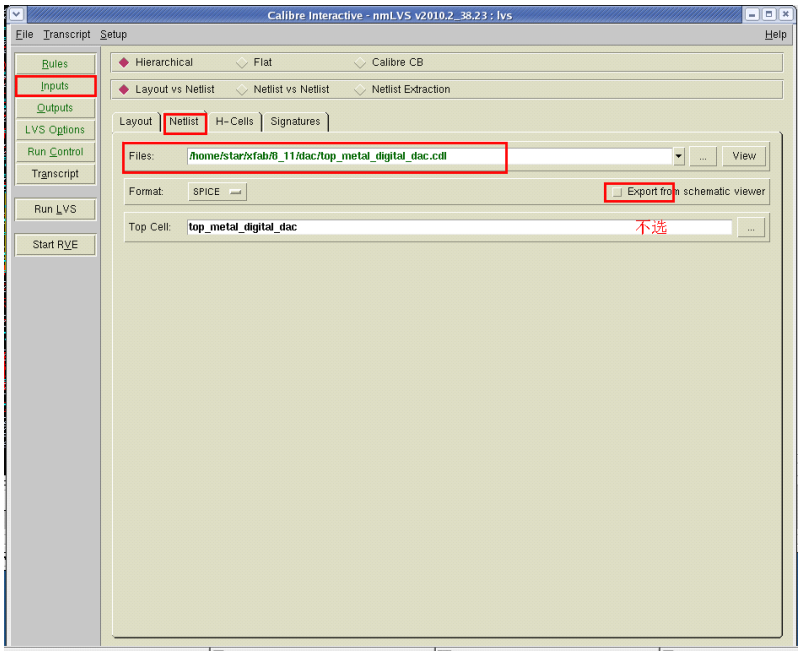
其中 top_metal_digital_dac.v 是 encounter 导出的 verilog 文件，注意一定要是 encounter 导出，因为 DC 之后的网表文件在时钟树优化时可能插入 buf，inv 等模块。

/home/star/xfab/xfab_lib/D_CELLS.cdl D_CELLS 的 CDL 库文件，这个文件应该有厂家提供，但是我们的库里面找不到这个文件，所以我们自己手动导出的，可能会有遗漏的数字单元，在 v2lvs 是要仔细观察运行的提示结果，如果提示有数字单元找不到，要在 icfb 中导出这个数字单元的 cdl，然后手动添加到 /home/star/xfab/xfab_lib/D_CELLS.cdl 中。

将 s0、s1 改成相应的 power 名称。

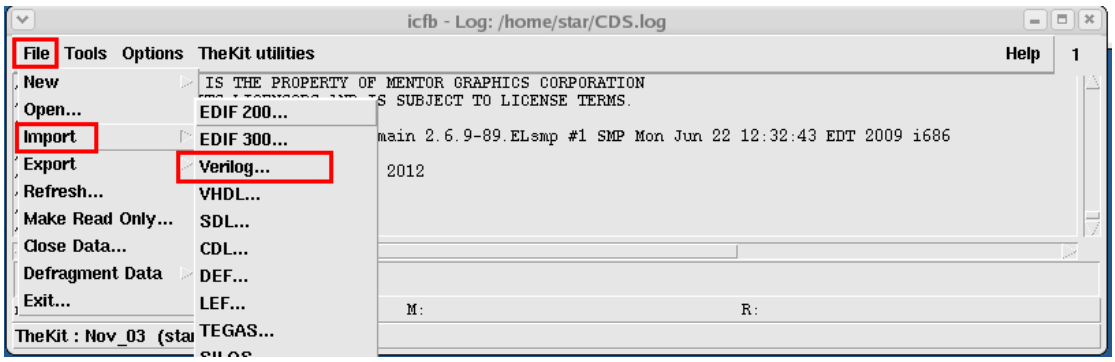
top_metal_digital_dac.cdl 这个是转换生成的 cdl 网表文件，也是用来做 lvs 检查的网表文件。

在 calibre 里做 LVS 检查的方法和模拟 LVS 检查一样，只是在 input 中的 netlist 选择网表文件为刚刚生成的 CDL 网表文件，如下图所示，然后直接 run LVS 即可.

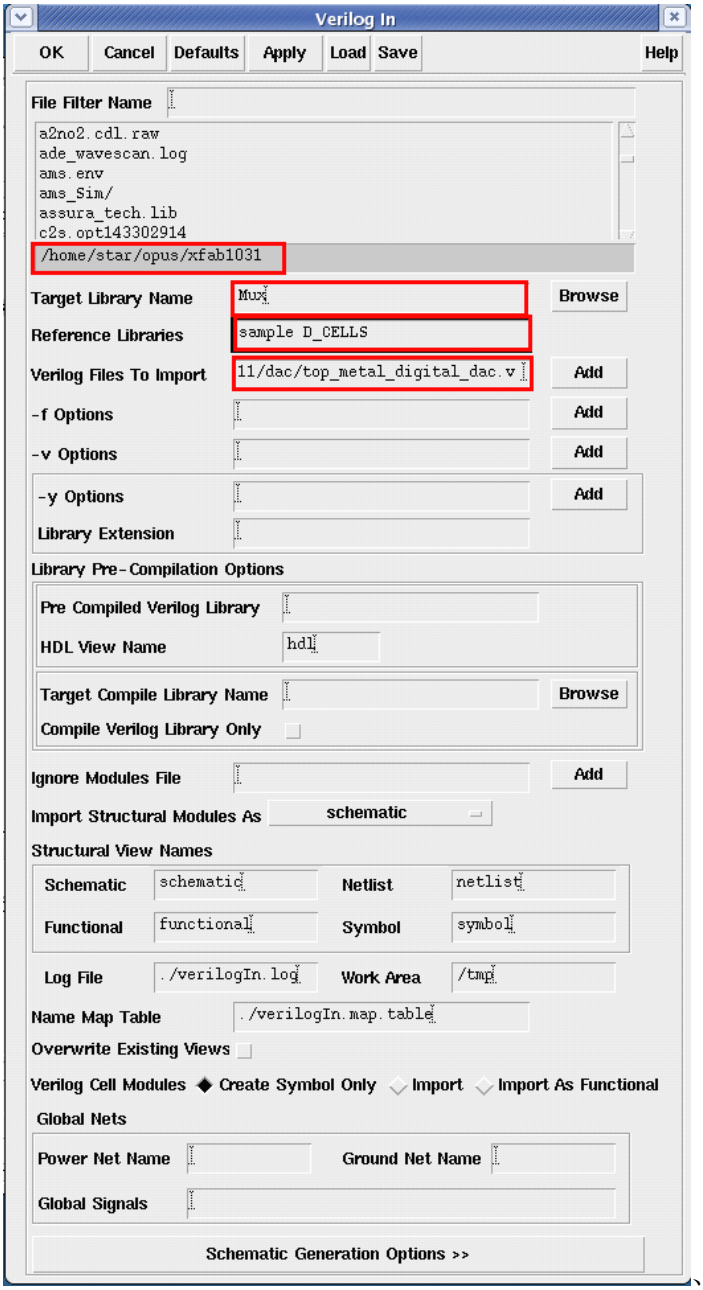


如果用这个 cdl 文件做 LVS 检查出现错误，查看错误，如果出现网表丢失的连接错误，如 N48，这时候打开 cdl 网表文件，用 find 指令是否同时存在 N48 和 n48，因为 cdl 文件不会区分大小写，它默认这两个网络标号是同一个网络标号。解决办法是将其中一个网络标号用 cdl 没有用到的网络标号替代。如“N48”用“N3048”，这样再去做 LVS 检查时就应该不会错误。

第二种方法是将 encounter 生产的 verilog 网表文件导入到 icfb 生成原理图文件，然后利用生成的原理图文件做 LVS 的网表文件。将 verilog 导入 icfb 的方法如下：



在弹出的窗口中做如下设置，其中 verilog 网表文件是 encounter 导出的 verilog 网表文件。



File Filter Name：选中 verilog 网表文件所在的路径；

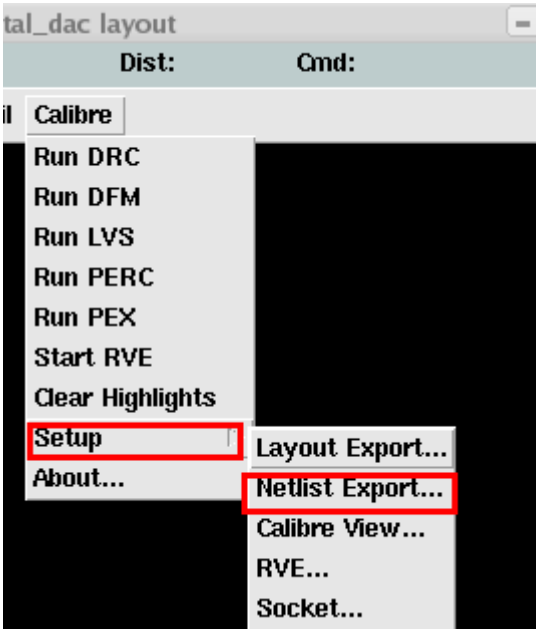
Target Library Name：网表导入的目标 library，此 library 最好新建并且为空，如果非空，可能出现导入不成功的错误。

Verilog Files to input：在 File Filter Name 选中了文件之后，直接点击 add 就可以将要导入的网表文件添加进来。

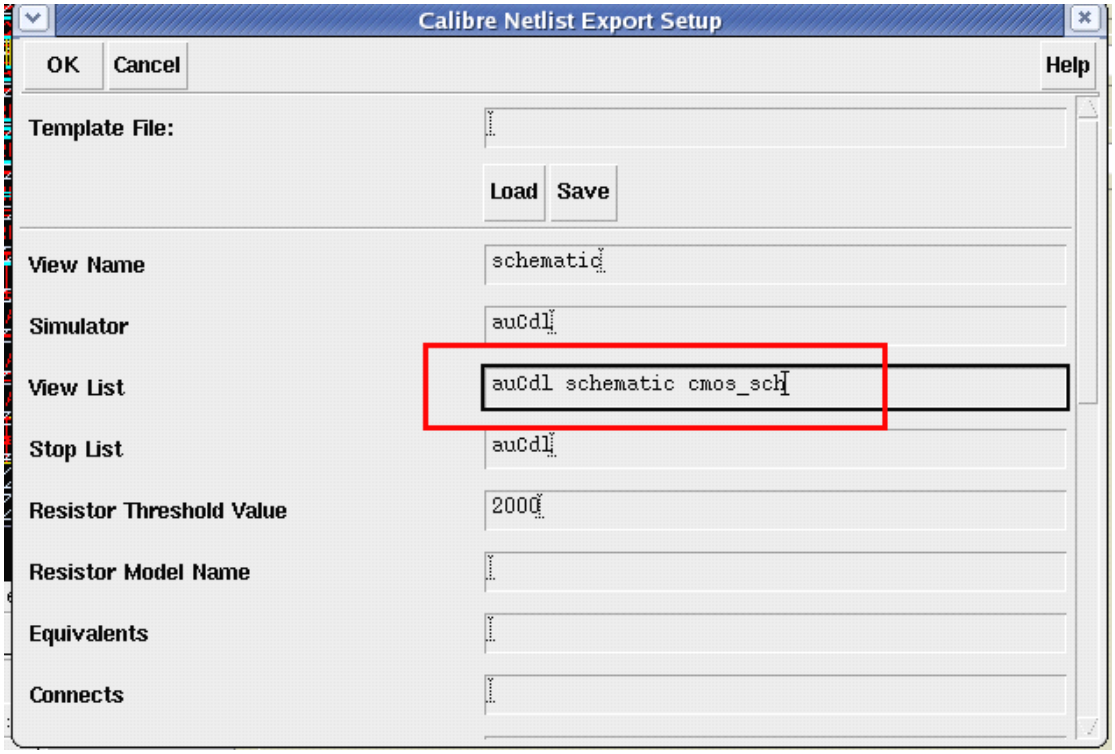
这样在 Target Library Name 中就会看到导入生成的网表文件和 iopin 文件，建议将所有文件都 copy 到 gds 所在 library 中，再做 LVS。LVS 的方法和模拟 IC 的方法一样，这里的 input netlist 就是刚刚导入的原理图文件。

如果出现

这里是 Netlist Export 没有设置好的原因。设置方法如下：



在弹出的窗口 View List 中填入 cmos_sch 中就可以了。



在 top_metal_dac 的设计中有

assign DAC_ENABLE = DAC_PULSE ;这两个引脚是一根线直接相连，在 LVS 时会出现 warning。在导入的原理图中，两个 pin 之间会增加一个模块。这样会导致 LVS 通不过，故本次设计是直接将两个引脚都用 DAC_ENABLE 命名，删除原理图中多余的模块，这样 LVS 就没问题了。

27 后仿真

文件准备

Ecounter 导出的 verilog 文件：

/home/star/xfab/8_11/dac/top_metal_digital_dac.v

Encounter 生成的 sdf 反标文件：

/home/star/xfab/8_11/dac/top_metal_digital_dac.sdf