

UNIVERSIDADE DO VALE DO ITAJAÍ

PROJETO DE SISTEMAS DIGITAIS

Chuang Yu Min

TRABALHO M2

Projeto 1 e 2 – Multiplicadores de estilos Paralelo e Sequencial

Descrição do Projeto

Neste projeto será feita a descrição, implementação em FPGA e análise comparativa de dois multiplicadores para operandos de 8 bits utilizando os estilos Paralelo (Array Style) e Sequencial (Add-and-Shift).

Um multiplicador paralelo é composto por uma Matriz de operadores ANDs e Somadores que somam o resultado das ANDs. Abaixo segue uma representação:

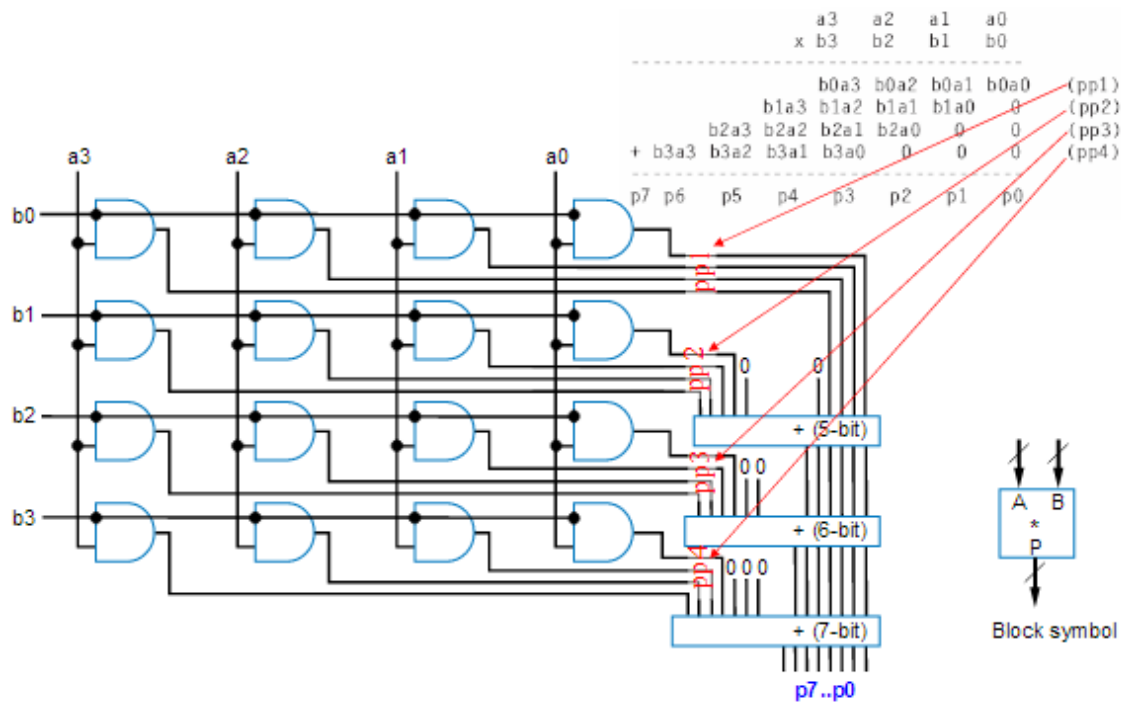


Figura 1 – Diagrama Multiplicador Array Style (Fonte: Digital Design – Frank Vahid)

Ao contrário de um multiplicador paralelo, o estilo sequencial não computa todos os valores parciais simultaneamente, ao invés disto, processa um valor por vez e mantém o valor registrado em um “running sum”.

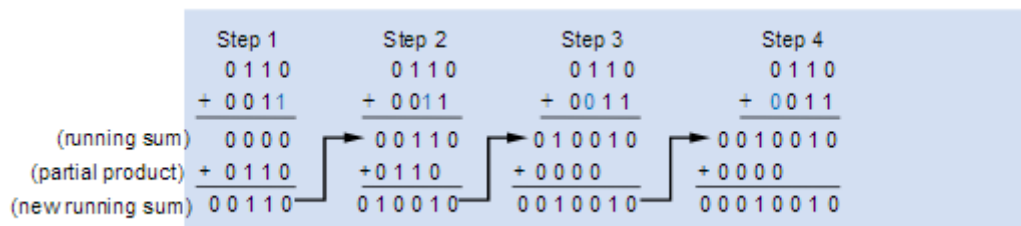


Figura 2 – Representação de operação realizada por Multiplicador Sequencial (Fonte: Digital Design – Frank Vahid)

Para fazer o multiplicador sequencial é necessário dividir o projeto em duas partes, a parte operacional (registradores e operadores) e o controle (máquina de estado), ao qual serão integrados em um arquivo topo.

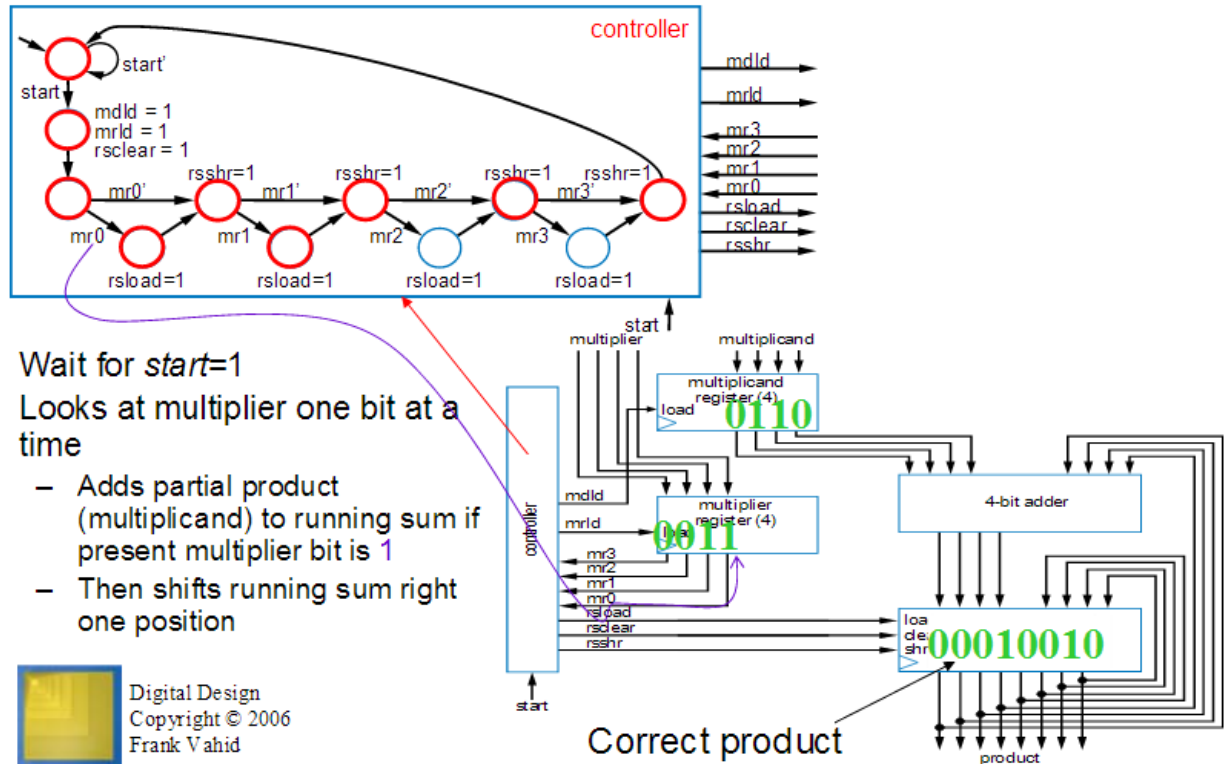


Figura 3 – Representação de Controle e Blocos Operadores

Multiplicador Paralelo (Array Style)

Após a descrição em VHDL, pode-se verificar o diagrama RTL gerado pelo Quartus:

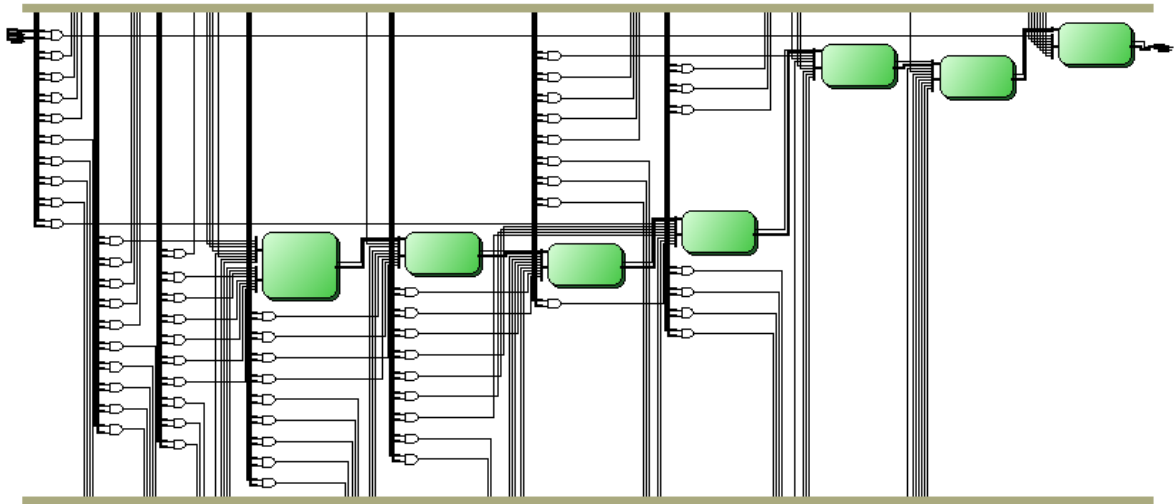


Figura 4 – Diagrama RTL Multiplicador Paralelo

Pelo fato do diagrama gerado pelo software ficar muito grande, não foi possível apresentar o diagrama de forma totalmente legível, porém é possível observar que possuem 64 operadores AND e os blocos verdes são os somadores.

Não há máquina de estados para circuitos combinacionais

Para a simulação, foi utilizado o ModelSim-Altera, ao qual foi forçado os valores de Entrada de 0001001(17) para o Multiplicando e 00001111(15) para o Multiplicador, esperando o Valor 11111111(255) e o Radix da forma de onda em “Unsigned”.

Conforme a figura abaixo, pode-se ver que a simulação obteve ao valor esperado:

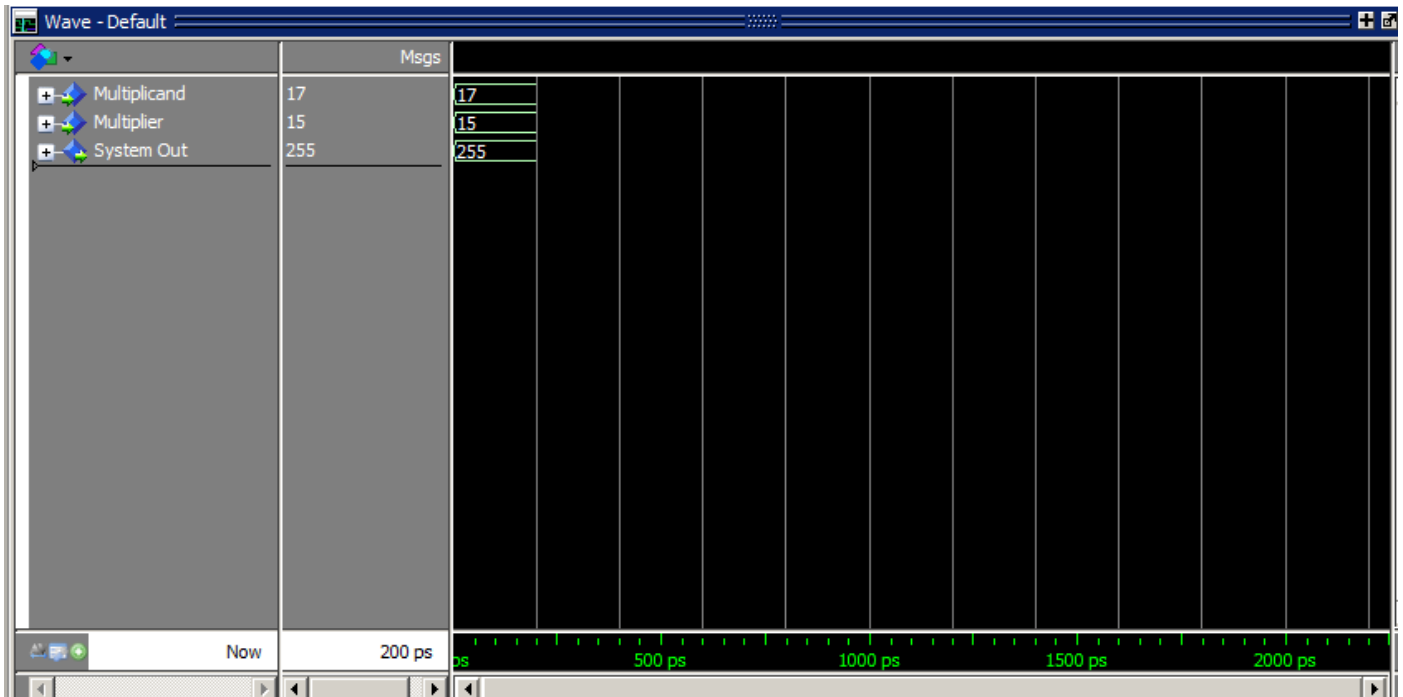


Figura 5 – Diagrama de Forma de Onda da Simulação

Flow Summary	
Flow Status	In progress - Thu Jun 16 01:05:48 2016
Quartus II 32-bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	multiplier_as
Top-level Entity Name	multiplier_as
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	163
Total combinational functions	163
Dedicated logic registers	0
Total registers	0
Total pins	32
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0

Figura 6 – Resumo de Síntese do Projeto

Logic Cells	I/O Registers	LUT-Only LCs	LUT/Register LCs
163 (58)	0 (0)	163 (58)	0 (0)

Tabela 1 – Tabela de custos do circuito

Para conseguir o valor da frequência máxima de operação no circuito combinacional, foram adicionados registradores nas entradas e saídas:

Slow Model Fmax Summary				
	Fmax	Restricted Fmax	Clock Name	Note
1	81.77 MHz	81.77 MHz	i_Clk	

Tabela 2 – Frequência Máxima do Circuito

Multiplicador Sequencial (Add-and-Shift)

Após a descrição em VHDL, pode-se verificar o diagrama RTL gerado pelo Quartus:

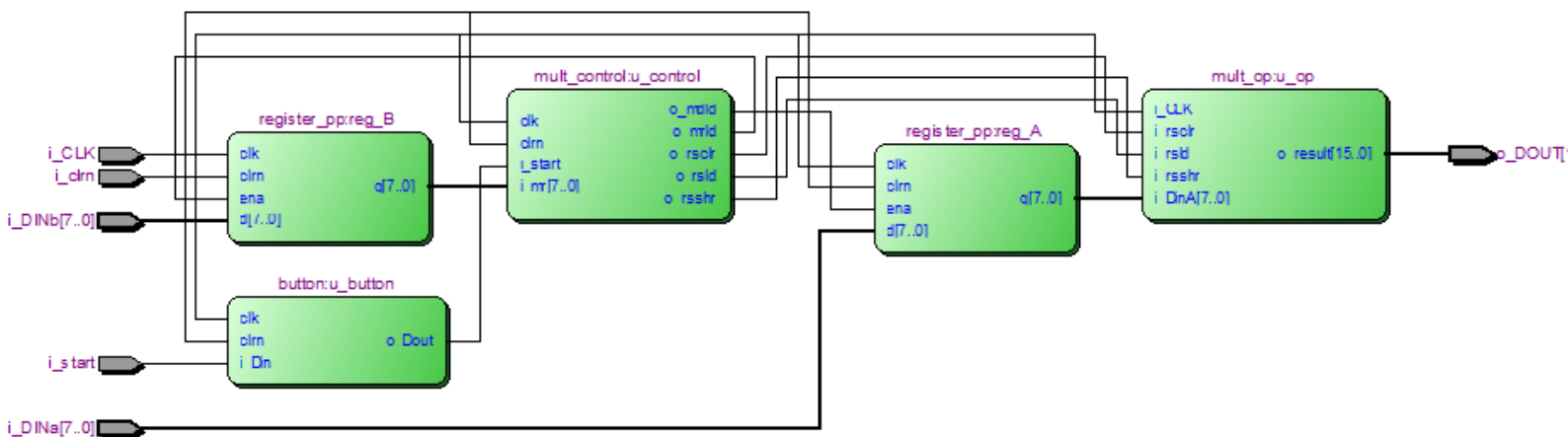


Figura 8 – Digrama RTL Multiplicador Sequencial

O arquivo topo deste projeto apenas faz a integração do bloco de controle e os blocos operacionais. Por isto, podemos verificar um diagrama bastante abstraído, onde temos apenas os blocos ligados a fios e as entradas e saídas. Segue lista dos blocos e suas funcionalidades:

- **register_pp:reg_A/regB**: 2 Registradores de entrada
- **button:u_button**: Controle da Key
- **mult_control:u_control**: Máquina de estados que envia sinais de controle para o bloco operacional
- **mult_op:u_op**: bloco operacional, que possui um somador e um registrador registrador com right_shifter

Máquina de Estados

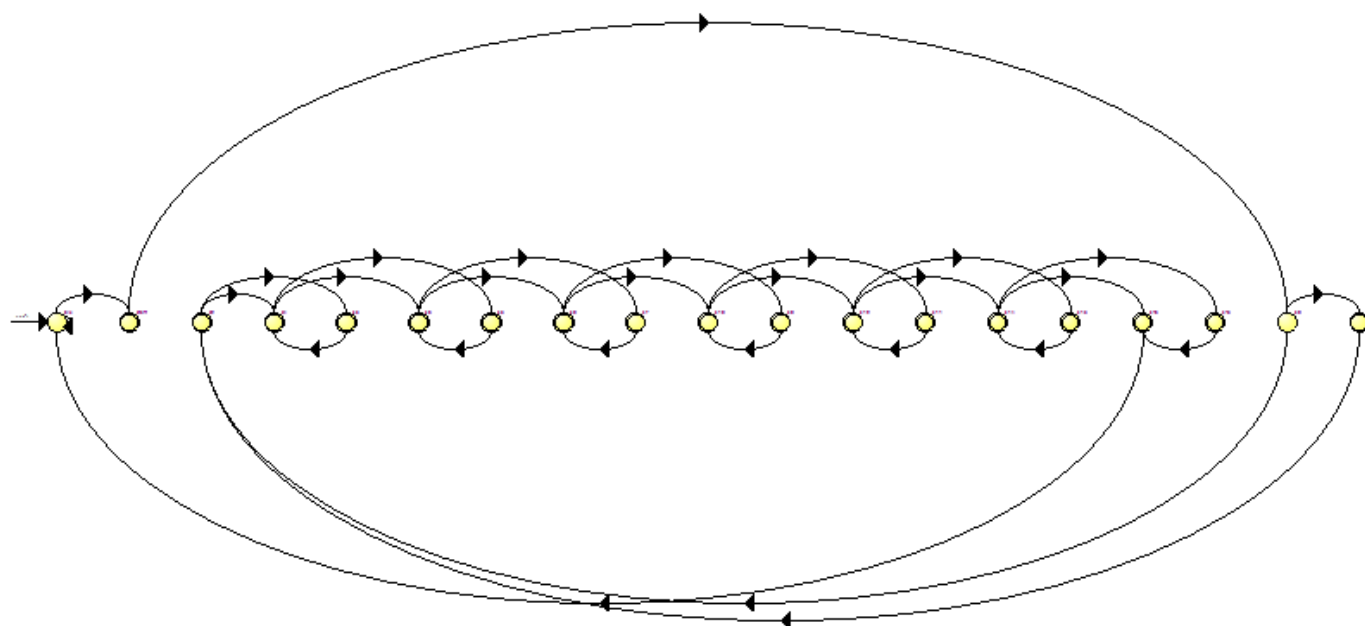


Figure 9 – Máquina de Estados do Bloco de Controle

Estados na Ordem representada acima: Idle, Start, s2 - s16, s0, s1

Na simulação deste projeto, foi forçado mesmo os valores de entrada utilizados no Multiplicador Paralelo: 0001001(17) para o Multiplicando e 00001111(15) para o Multiplicador, esperando a saída 11111111(255) e o Radix da forma de onda em “Unsigned”. Pelo fato de ser um sistema sequencial, neste projeto é preciso enviar um sinal de “Start” e os sinais de Clock/Clear.

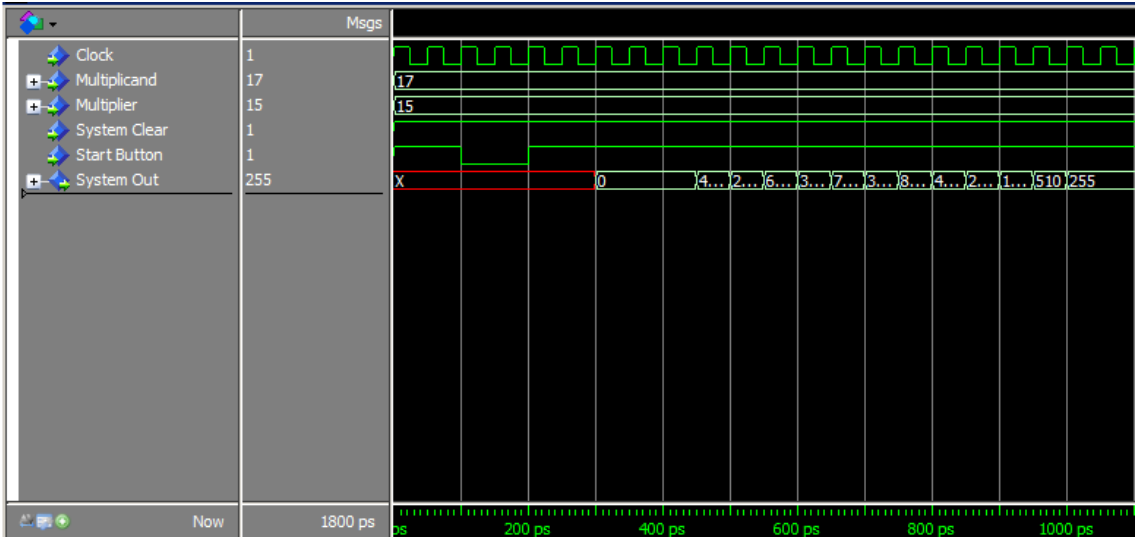


Figura 10 – Diagrama de Forma de Onda da Simulação

Conforme o diagrama pode-se ver que a simulação obteve ao valor esperado e que é preciso 16 ciclos de Clock a partir do sinal para obter o número

Flow Summary	
Flow Status	Successful - Thu Jun 16 10:38:17 2016
Quartus II 32-bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	multiplier_seq
Top-level Entity Name	multiplier_seq
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	70 / 33,216 (< 1 %)
Total combinational functions	53 / 33,216 (< 1 %)
Dedicated logic registers	54 / 33,216 (< 1 %)
Total registers	54
Total pins	35 / 475 (7 %)
Total virtual pins	0
Total memory bits	0 / 483,840 (0 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

Figura 11 – Resumo de Síntese do Projeto

Logic Cells	I/O Registers	LUT-Only LCs	LUT/Register LCs
70 (1)	0 (0)	16 (1)	37 (0)
8 (8)	0 (0)	0 (0)	8 (8)
8 (8)	0 (0)	0 (0)	0 (0)
2 (2)	0 (0)	0 (0)	2 (2)
25 (25)	0 (0)	6 (6)	18 (18)
35 (0)	0 (0)	9 (0)	18 (0)

Tabela 3 – Tabela de custos do circuito

	Fmax	Restricted Fmax	Clock Name	Note
1	272.11 MHz	272.11 MHz	i_CLK	

Tabela 4 – Frequência Máxima do Circuito

Análise Comparativa

	Paralelo	Sequencial
Logic Cells	164	70
Frequencia Máxima	81,77 MHz	272,11 MHz
Periodo Clock (T)	12,2 ns	3,67 ns
*Latência (T*NCiclos)	12,2 ns	58,79 ns*
Latência de pior caso	12,2 ns	73,4 ns

Tabela 5 – Comparativo Paralelo x Sequencial

*Número de Ciclos para o valor simulado

A tabela dos resultados acima demonstra o chamado “Trade-Off” entre os dois métodos de implementação. Enquanto o Multiplicador Paralelo utiliza mais recursos e possui um desempenho maior (menos tempo), o Sequencial possui um desempenho menor (mais tempo) e utiliza menos recursos.