

UNIVERSIDADE DO VALE DO ITAJAÍ

PROJETO DE SISTEMAS DIGITAIS

Chuang Yu Min

TRABALHO M2

Projeto 3 – Hardware de Conversão Automática para Balança

2016

Descrição do Projeto

Neste projeto será feito a descrição e a implementação em FPGA de um conversor de Quilograma para Libra para uma balança eletrônica baseados apenas em Somadores e Deslocadores, ao qual o fator de conversão deve ser próximo a:

$$1 \text{ Quilograma} = 2,20462 \text{ Libras}$$

As entradas serão de números inteiros representados em até 16 bits e a saída de 16 bits com o arredondamento “*Trunk*”

Para chegar ao valor necessário, foi feito uma Planilha no Excel e algumas tentativas e erro até chegar a um valor razoável (2,203125). Em que é possível chegar da seguinte forma:

$$\text{Libra} = 2 * \text{Kg} + (\text{Kg} * 2 + \text{Kg} * 8 + \text{Kg} * 16) / 128$$

Com este valor de conversão, o projeto suporta valores de até 29746 sem acusar *overflow*. Caso a entrada seja maior, a saída do sistema é desligada enquanto que o sinal de overflow é ativo.

KGs	x2,20462	x2,203125	Erro (%)
1	2,20462	2,203125	0,067858
2	4,40924	4,40625	0,067858
3	6,61386	6,609375	0,067858
4	8,81848	8,8125	0,067858
5	11,0231	11,01563	0,067858

Tabela 1 – Valores de conversão e Erro

Pode-se verificar que o erro é muito baixo nos resultados do fator de conversão do projeto em relação ao fator de conversão original pela precisão numérica

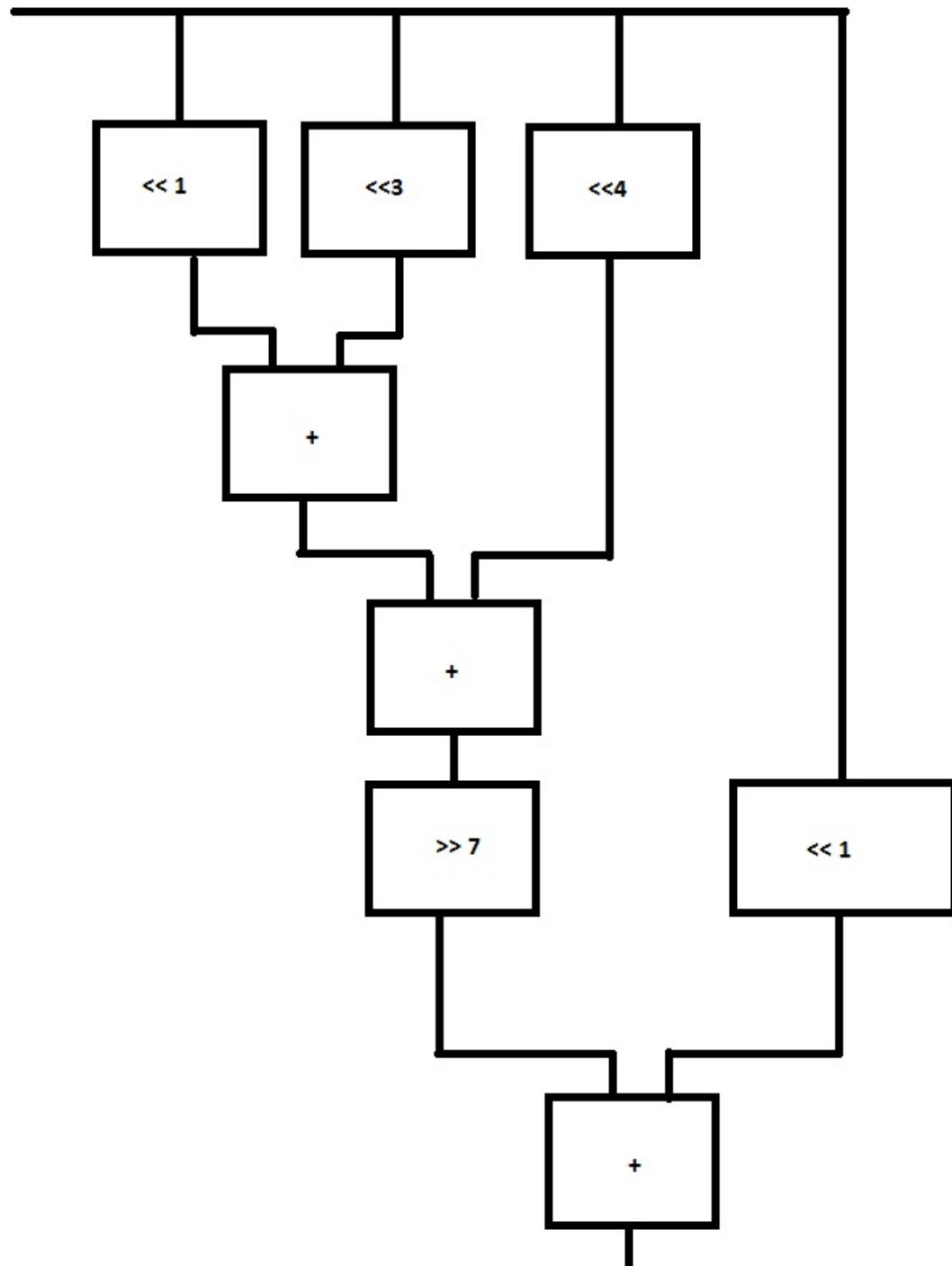


Figura 1 – Diagrama de Blocos do Projeto

Conversor (Kg - Libra)

Após a descrição em VHDL, pode-se verificar o diagrama RTL gerado pelo Quartus:

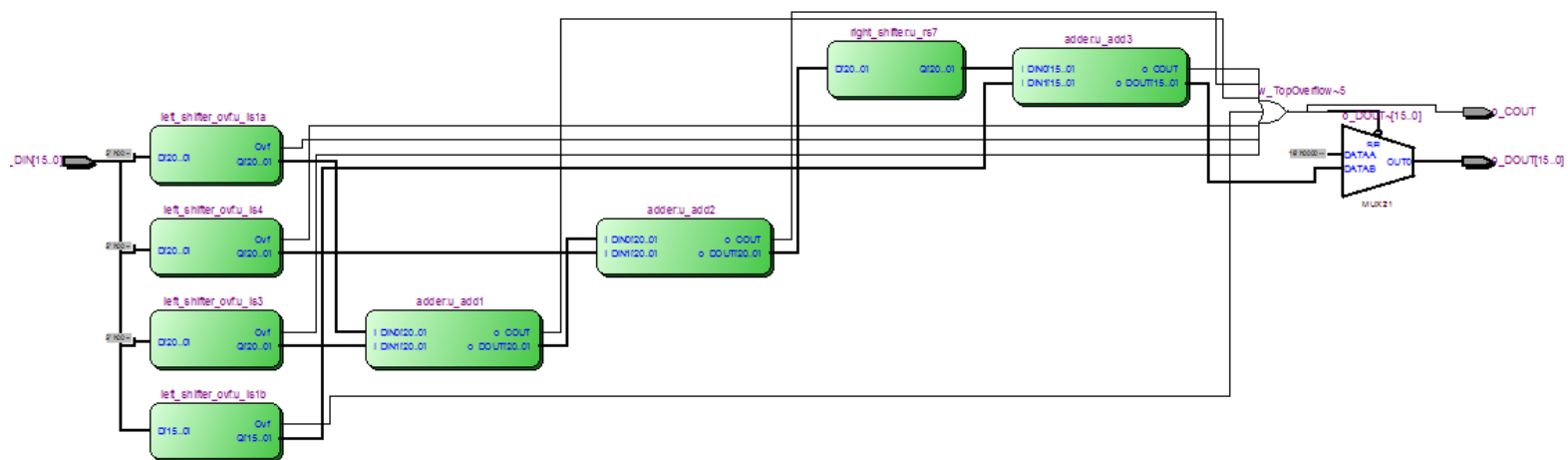


Figura 2 – Diagrama RTL Conversor

Neste diagrama pode-se verificar que a representação RTL gerado pelo Quartus está bem próximo ao Diagrama de Blocos apresentado anteriormente, a única diferença que pode-se observar é o tratamento para representação de Overflow

Não há máquina de estados para circuitos combinacionais

Para a simulação, foi utilizado o ModelSim-Altera, ao qual foi forçado os valores de Entrada de 0111010000110010 (29746) sem Overflow e 111010000110011(29747) com Overflow e o Radix das formas de onda em “Unsigned”.

Conforme a figura abaixo, pode-se ver que a simulação obteve ao valor esperado:



Figura 3 – Diagrama de Forma de Onda da Simulação

Flow Summary	
Flow Status	Successful - Thu Jun 16 02:58:44 2016
Quartus II 32-bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	converter
Top-level Entity Name	converter
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	92 / 33,216 (< 1 %)
Total combinational functions	92 / 33,216 (< 1 %)
Dedicated logic registers	0 / 33,216 (0 %)
Total registers	0
Total pins	33 / 475 (7 %)
Total virtual pins	0
Total memory bits	0 / 483,840 (0 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

Figura 4 – Resumo de Síntese do Projeto

Logic Cells	I/O Registers	LUT-Only LCs	LUT/Register LCs
92 (17)	0 (0)	92 (17)	0 (0)

Tabela 2 – Tabela de custos do circuito

Para este projeto não é necessário a Frequência Máxima de Operação, visto que o circuito é combinacional e que não há algum outro projeto de circuito com o mesmo propósito para que seja feita a comparação de desempenho