

UNIVERSIDADE DO VALE DO ITAJAÍ

PROJETO DE SISTEMAS DIGITAIS

Chuang Yu Min

TRABALHO M3

Projetos 1 e 2 – Processador de Propósito Específico (Algoritmo Módulo e N° Primo)

## Descrição do Projeto

Neste projeto será feito a descrição em VHDL de um Processador de Propósito Específico que fará a implementação de um algoritmo que faz o cálculo de módulo de dois números em Busca Linear. Segue o algoritmo descrito em Linguagem C:

```
int modulo(int a, int b){
    int k;
    int s;

    k=0;

    while( (s = a - k*b) >= b)
        ++k;

    Return s;
}
```

Após a descrição do projeto acima, será feito outro projeto que utilizará do cálculo do módulo para identificar se um número é primo ou não. Segue o algoritmo de número primo descrito em Linguagem C:

```
int primo (int x){
    int i, div;

    div = 0;

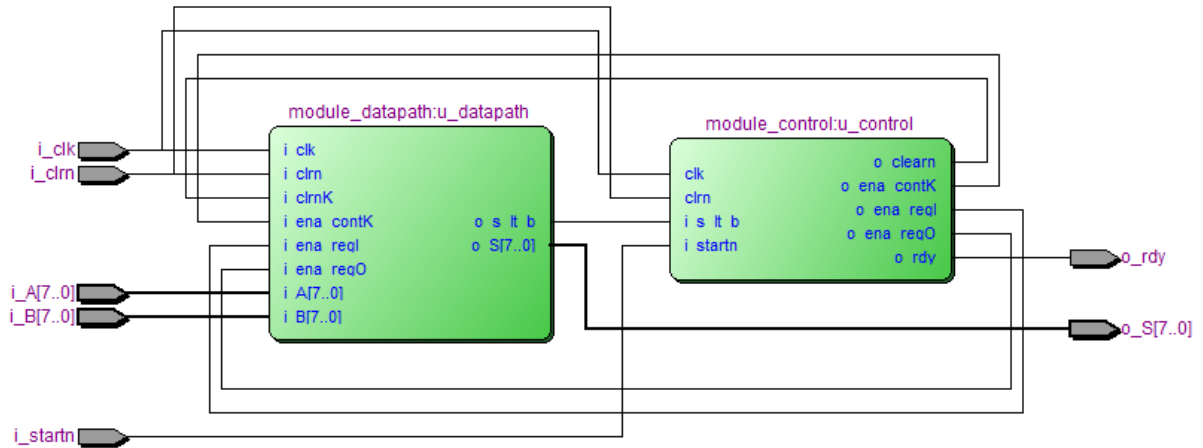
    for(i=1;i<=x;i++)
        if(modulo(x,i) == 0)
            div++;

    if (div == 2)
        return 1; // É primo
    else
        return 0; //Não é primo
}
```

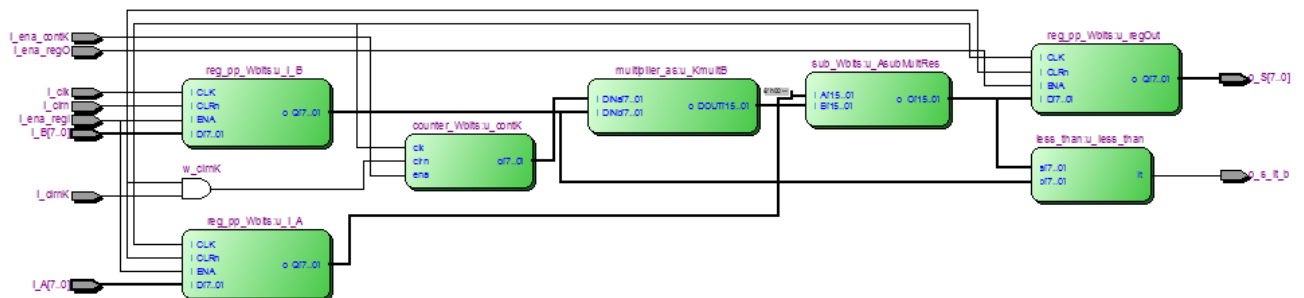
## Módulo

Após a descrição em VHDL, pode-se verificar os diagramas RTL gerado pelo Quartus:

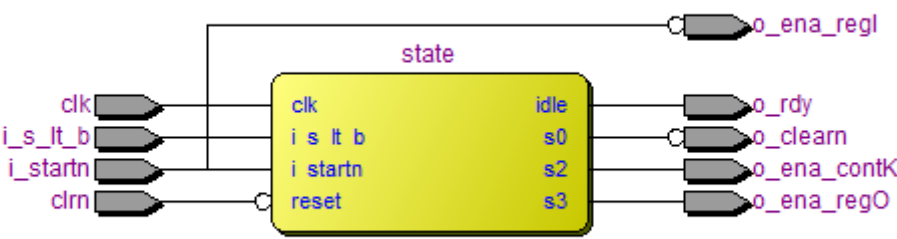
### Arquivo topo:



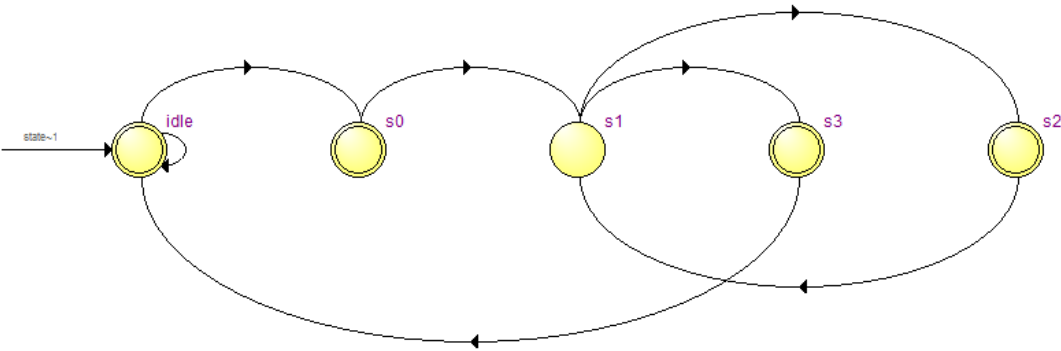
### Caminho de dados:



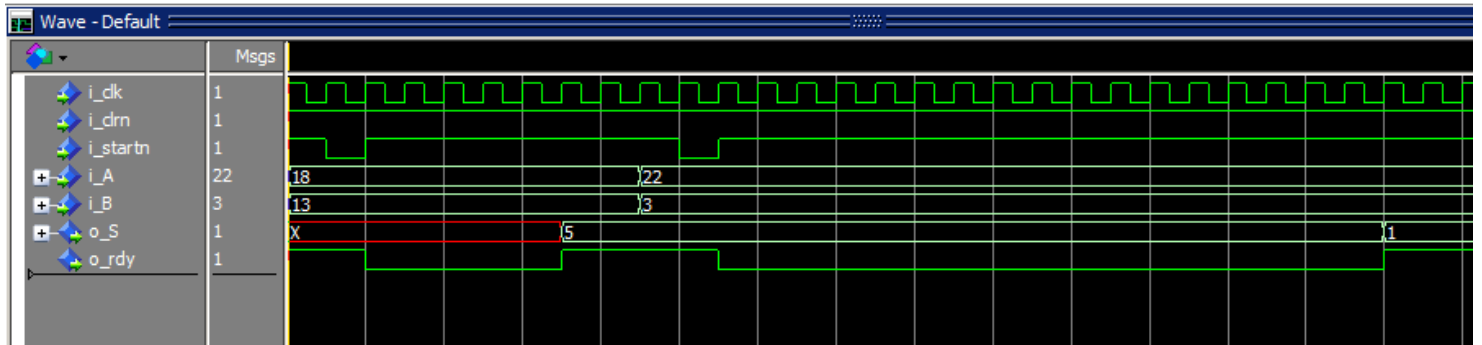
**Controle:**



**Máquina de estados do Controle:**



# Simulação



## Resumo do Quartus

Flow Summary	
Flow Status	Successful - Thu Jul 14 20:49:07 2016
Quartus II 32-bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	module_8bits
Top-level Entity Name	module_8bits
Family	Cyclone IV GX
Total logic elements	106 / 14,400 ( < 1 % )
Total combinational functions	102 / 14,400 ( < 1 % )
Dedicated logic registers	37 / 14,400 ( < 1 % )
Total registers	37
Total pins	28 / 81 ( 35 % )
Total virtual pins	0
Total memory bits	0 / 552,960 ( 0 % )
Embedded Multiplier 9-bit elements	0
Total GXB Receiver Channel PCS	0 / 2 ( 0 % )
Total GXB Receiver Channel PMA	0 / 2 ( 0 % )
Total GXB Transmitter Channel PCS	0 / 2 ( 0 % )
Total GXB Transmitter Channel PMA	0 / 2 ( 0 % )
Total PLLs	0 / 3 ( 0 % )
Device	EP4CGX15BF14C6
Timing Models	Final

## Tabela de Custos

Logic Cells	LUT-Only LCs	LUT/Register LCs
106 (0)	69 (0)	33 (0)

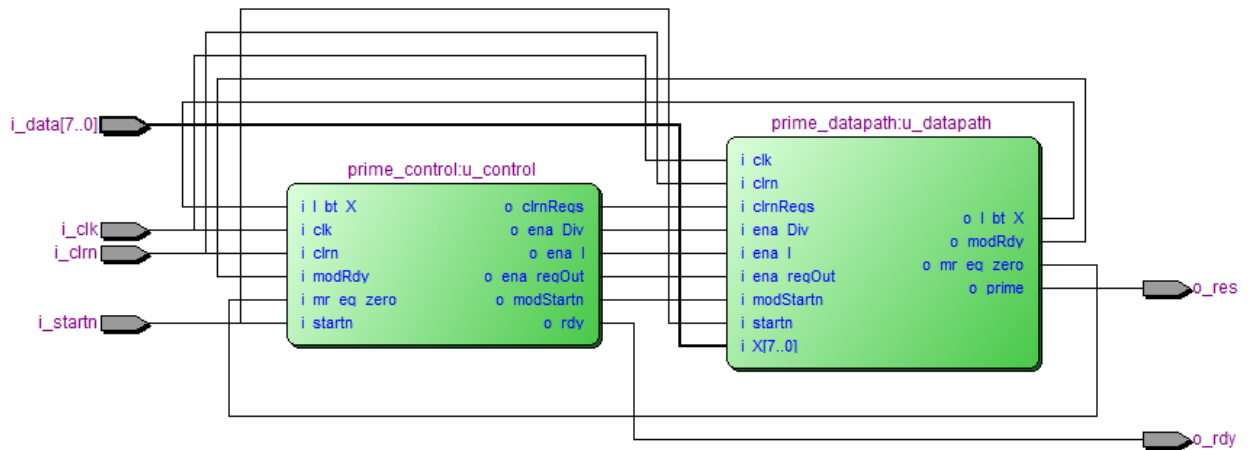
## Frequência Máxima

	Fmax	Restricted Fmax	Clock Name	Note
1	157.38 MHz	157.38 MHz	i_clk	

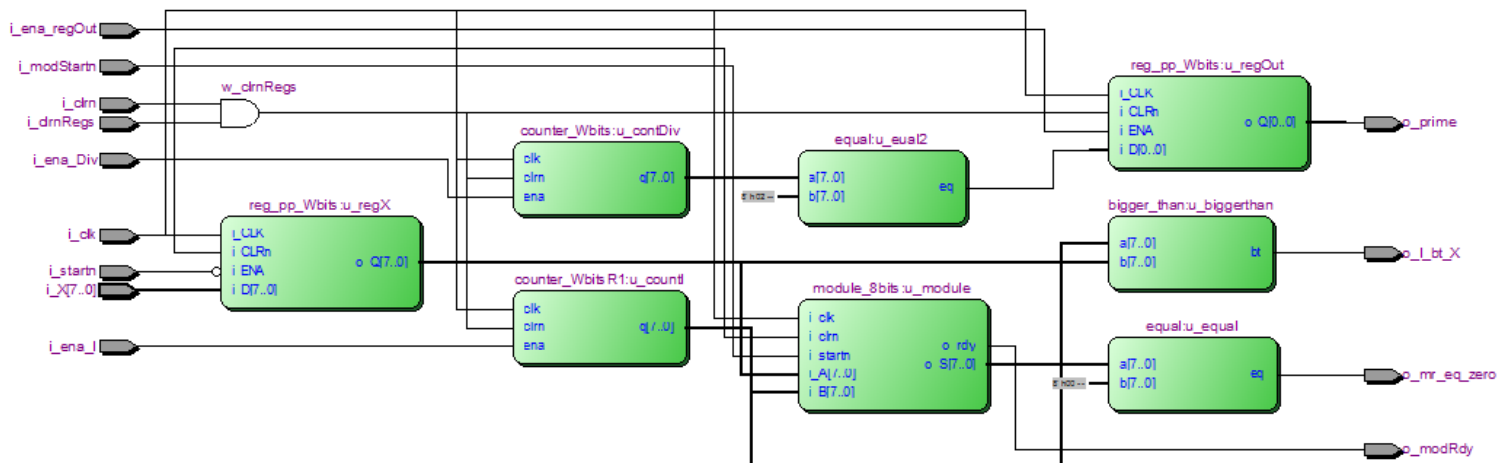
## Primo

Após a descrição em VHDL, pode-se verificar os diagramas RTL gerado pelo Quartus:

### Arquivo Topo:



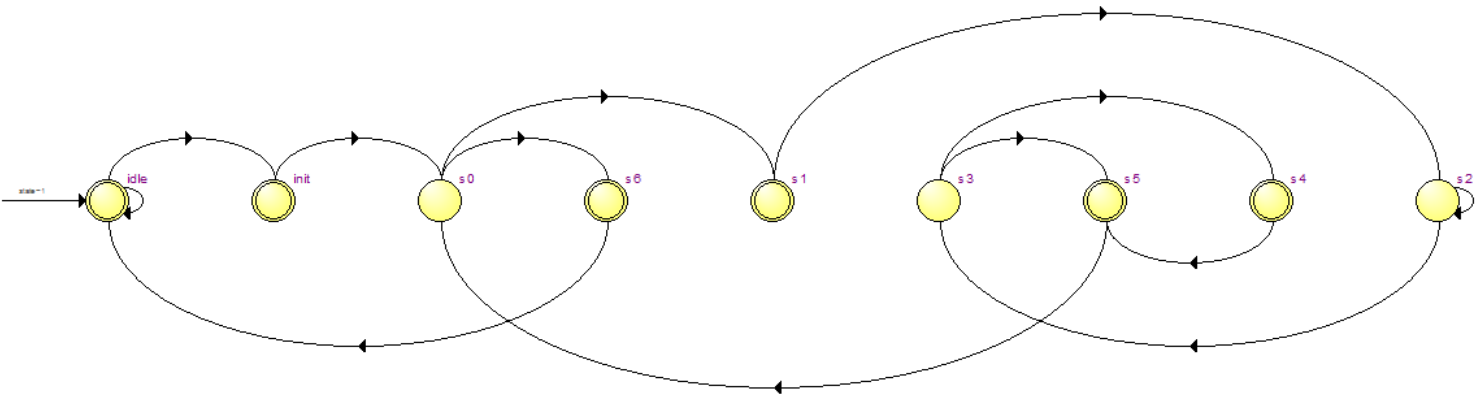
### Caminho de dados:



Controle:

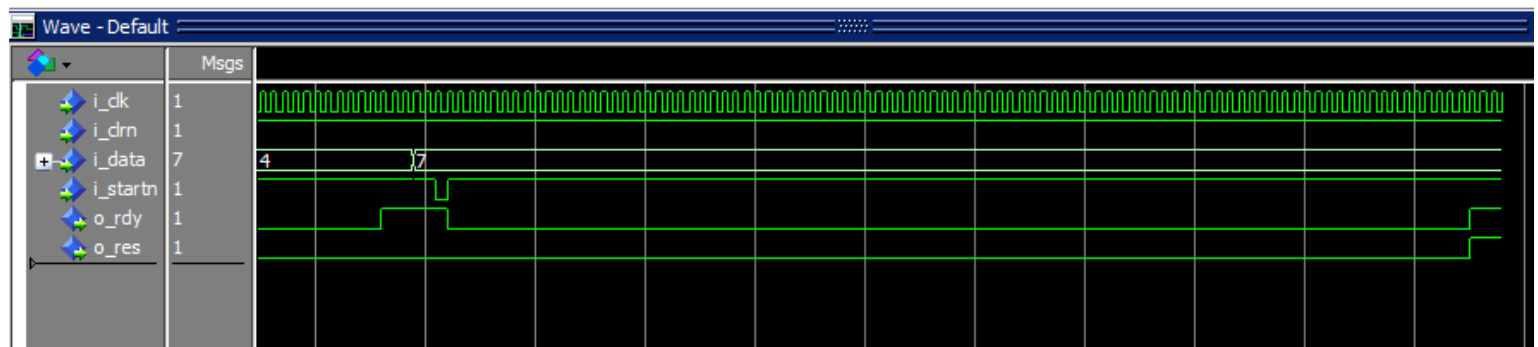
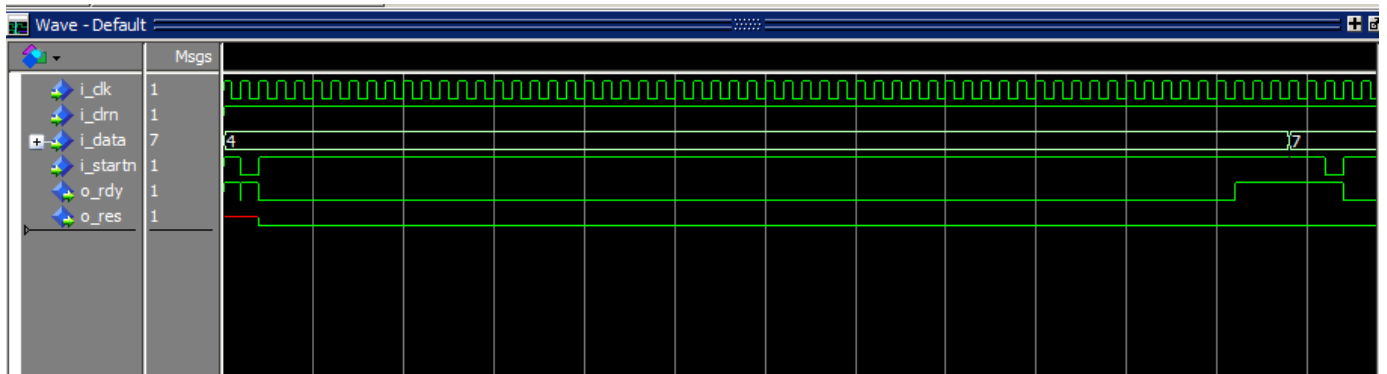


Máquina de estados do Controle:





# Simulação



## Resumo do Quartus

Flow Summary	
Flow Status	Successful - Thu Jul 14 21:53:24 2016
Quartus II 32-bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	prime_8bits
Top-level Entity Name	prime_8bits
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	148 / 33,216 ( < 1 % )
Total combinational functions	139 / 33,216 ( < 1 % )
Dedicated logic registers	71 / 33,216 ( < 1 % )
Total registers	71
Total pins	13 / 475 ( 3 % )
Total virtual pins	0
Total memory bits	0 / 483,840 ( 0 % )
Embedded Multiplier 9-bit elements	0 / 70 ( 0 % )
Total PLLs	0 / 4 ( 0 % )

## Tabela de Custos

Logic Cells	LUT-Only LCs	LUT/Register LCs
148 (0)	77 (0)	62 (0)

## Frequência Máxima

	Fmax	Restricted Fmax	Clock Name	Note
1	116.44 MHz	116.44 MHz	i_clk	