

МГТУ им. Н.Э. Баумана

Дисциплина электроника

Лабораторный практикум №7

по теме: «Полевые транзисторы»

Работу выполнил:

студентка группы ИУ7-34Б

Ильченко Ева

Работу проверил:

Цель практикума

Получить навыки в использовании базовых возможностей программы Microcap и знания при исследовании и настройке усилительных, ключевых и логических устройств на биполярных и полевых транзисторах.

Эксперимент 7

Характеристики полевого транзистора.

В режиме DC определим переходные (зависимость выходного тока от входного напряжения) характеристики полевого транзистора с управляющим п – переходом (nJFET), собрав соответствующую схему

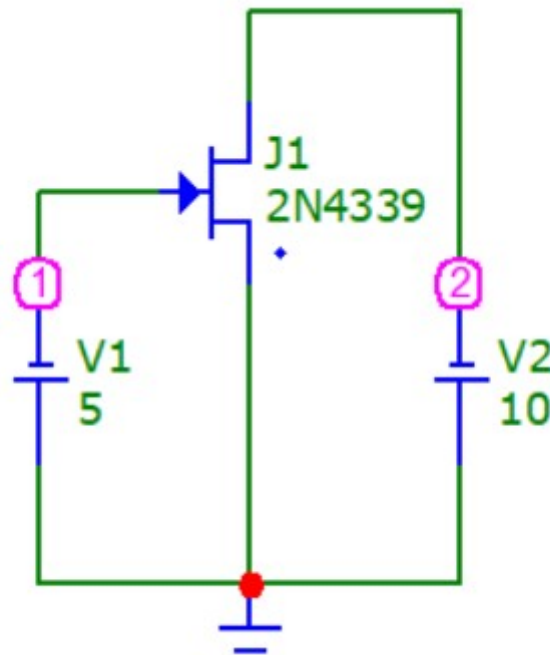


Рис. 1 Схема транзистора для получения переходных характеристик

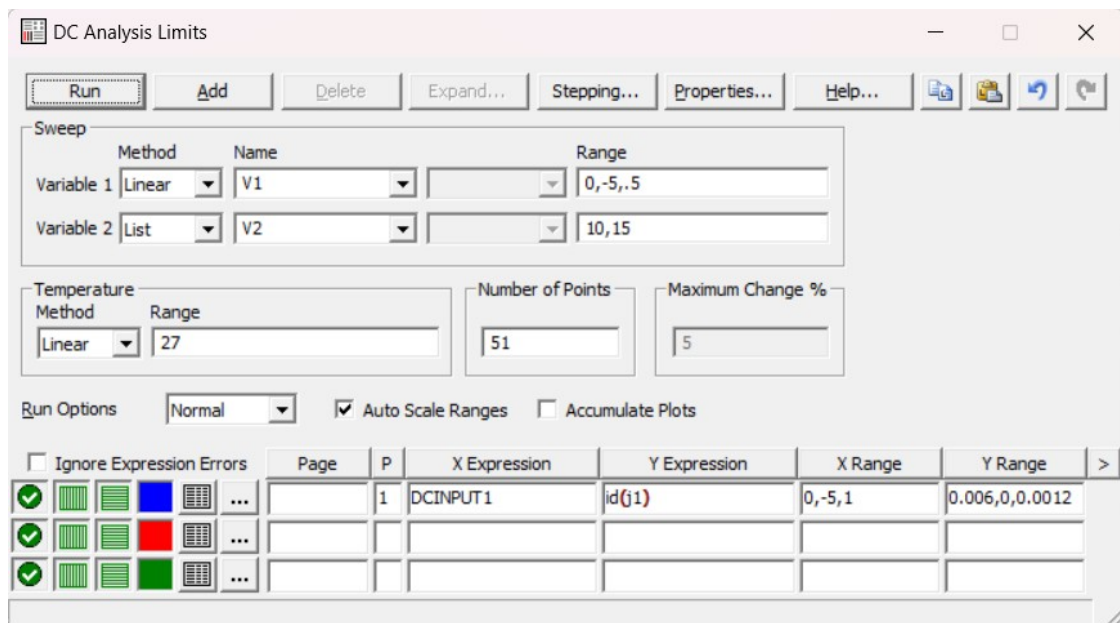


Рис.2 Настройка DC Analysis

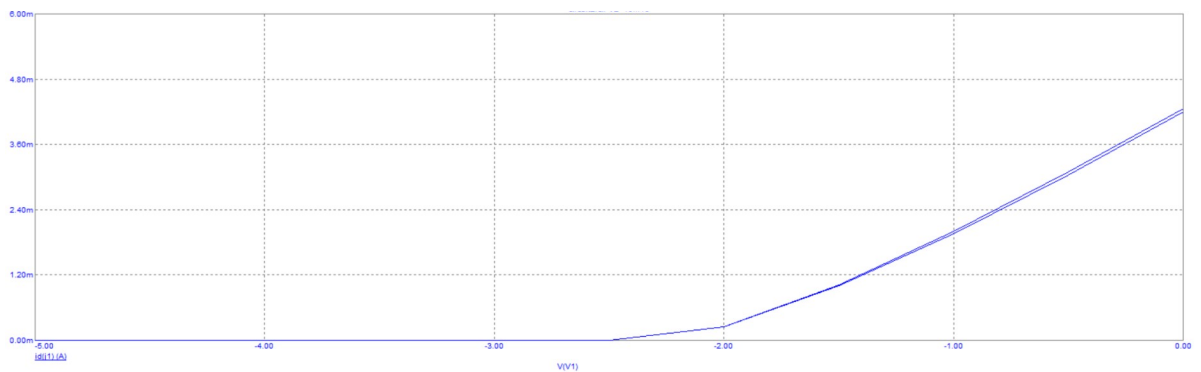


Рис.3 Переходная характеристика

Определим, при каких напряжениях на затворе запирается JFET, для этого возьмем напряжение, которое соответствует току 0.1 от начального тока стока и получим -1.884 В.

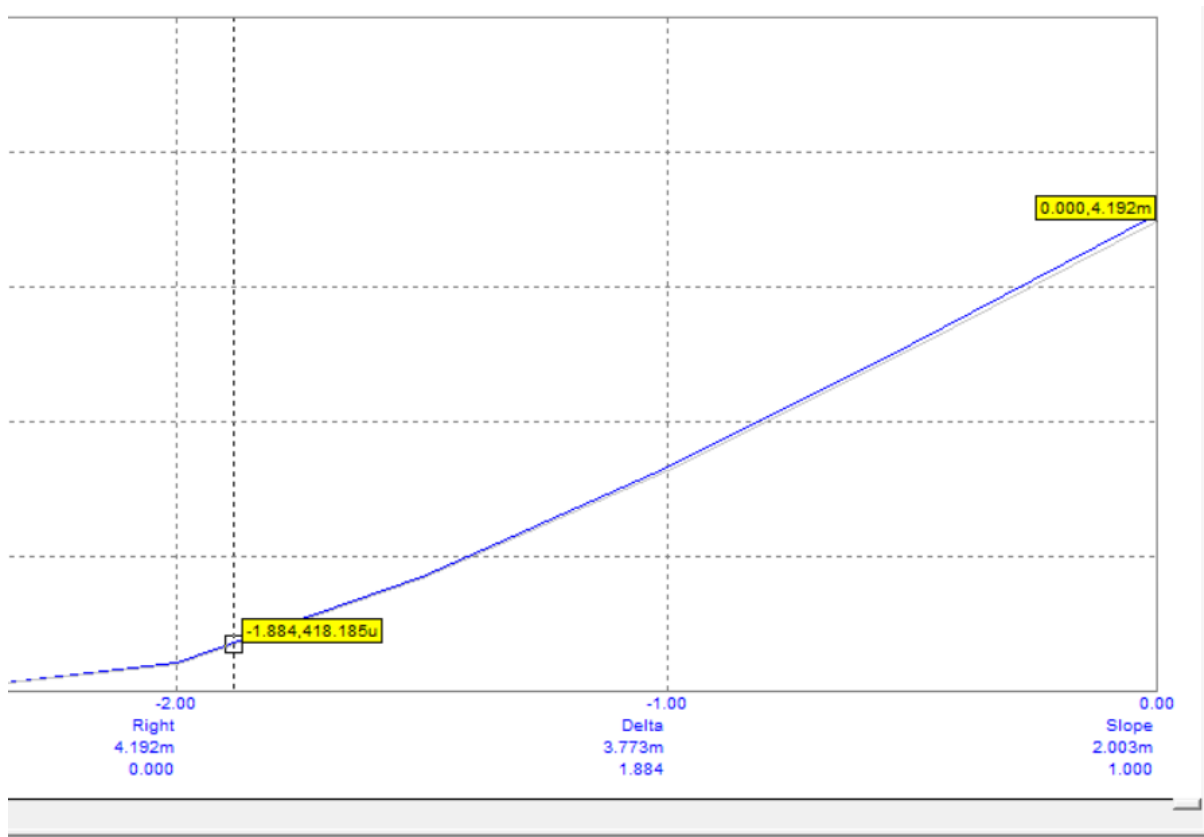


Рис.4 Напряжение, при котором запирается транзистор

По передаточной характеристике транзистора с управляющим n – переходом (JFET) определить напряжение отсечки, начальный ток стока и максимальную крутизну транзистора. Сравнить крутизну транзистора с расчетным значением по формуле.

Начальный ток стока из Рис.4 равен 4.192 мА, напряжение отсечки найдём при напряжении, когда ток примерно в 100 раз меньше тока стока и получим -2.416 В

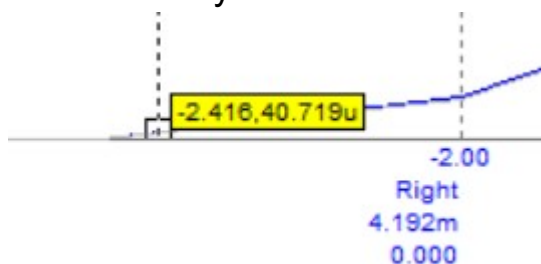


Рис.5 Напряжение, при котором запирается транзистор

Максимальную крутизну транзистора найдём в точках, близких к нулю $S_{max} = dI_D/dU_{GS} = 7.891 \text{ мкА} / 3.432 \text{ мВ} = 2.30 \text{ мА/В}$

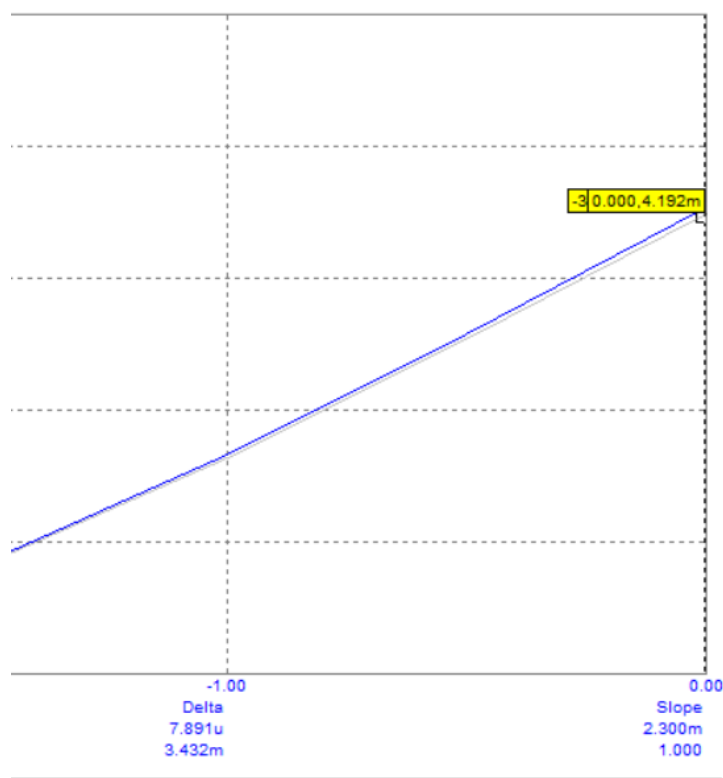


Рис.6 Вычисление максимальной крутизны

Теоретическое максимальное значение крутизны $S_{max} = 2 \cdot I_{нас} / U_{отс} = 2 \cdot 4.192 \text{ мА} / 2.416 \text{ В} = 3.47 \text{ мА/В}$. Данное значение отличается на $(3.47 - 2.30) / 2.30 \cdot 100\% = 51\%$ от полученного на графике

Для JFET транзистора выведу выходные характеристики (зависимость выходного тока от выходного напряжения при постоянном напряжении на затворе) используя Vds vs. Id/ - Plot.

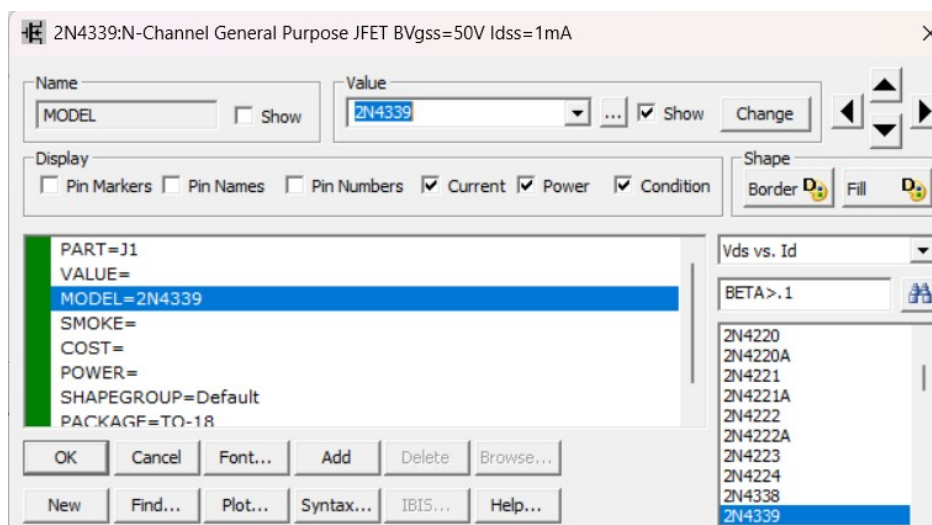


Рис.7 Vds vs. Id/ - Plot

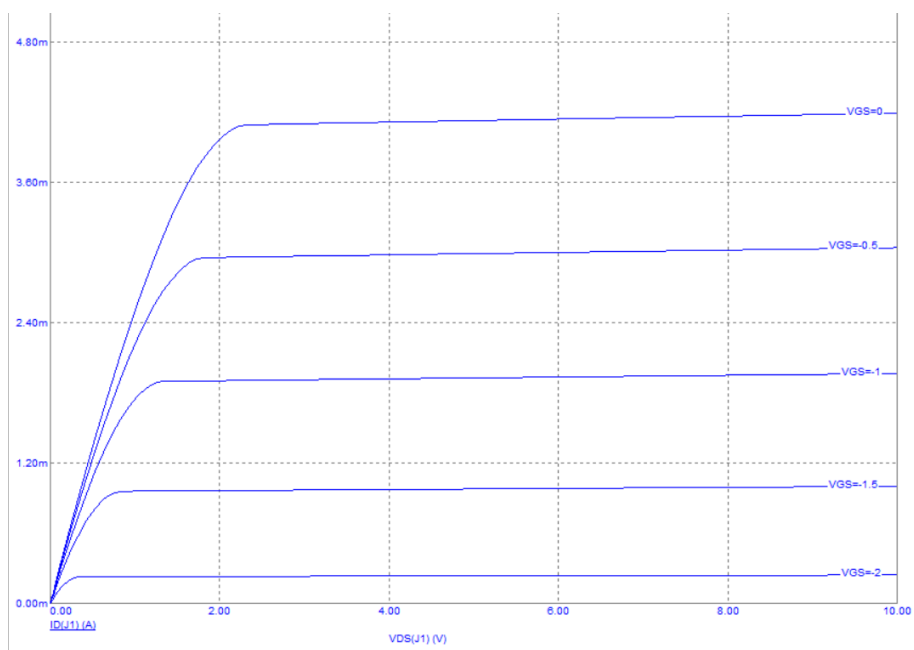


Рис.8 Выходная характеристика nJFET

Посчитаю сопротивление стока в рабочей точке: $R_d = (E_{пит} - U_{рт}) / I_d$
 $R_d = (10 - 5) / 0.0042 = \sim 1190 \text{ Ом}$, выбрав рабочую точку посередине нагрузочной прямой

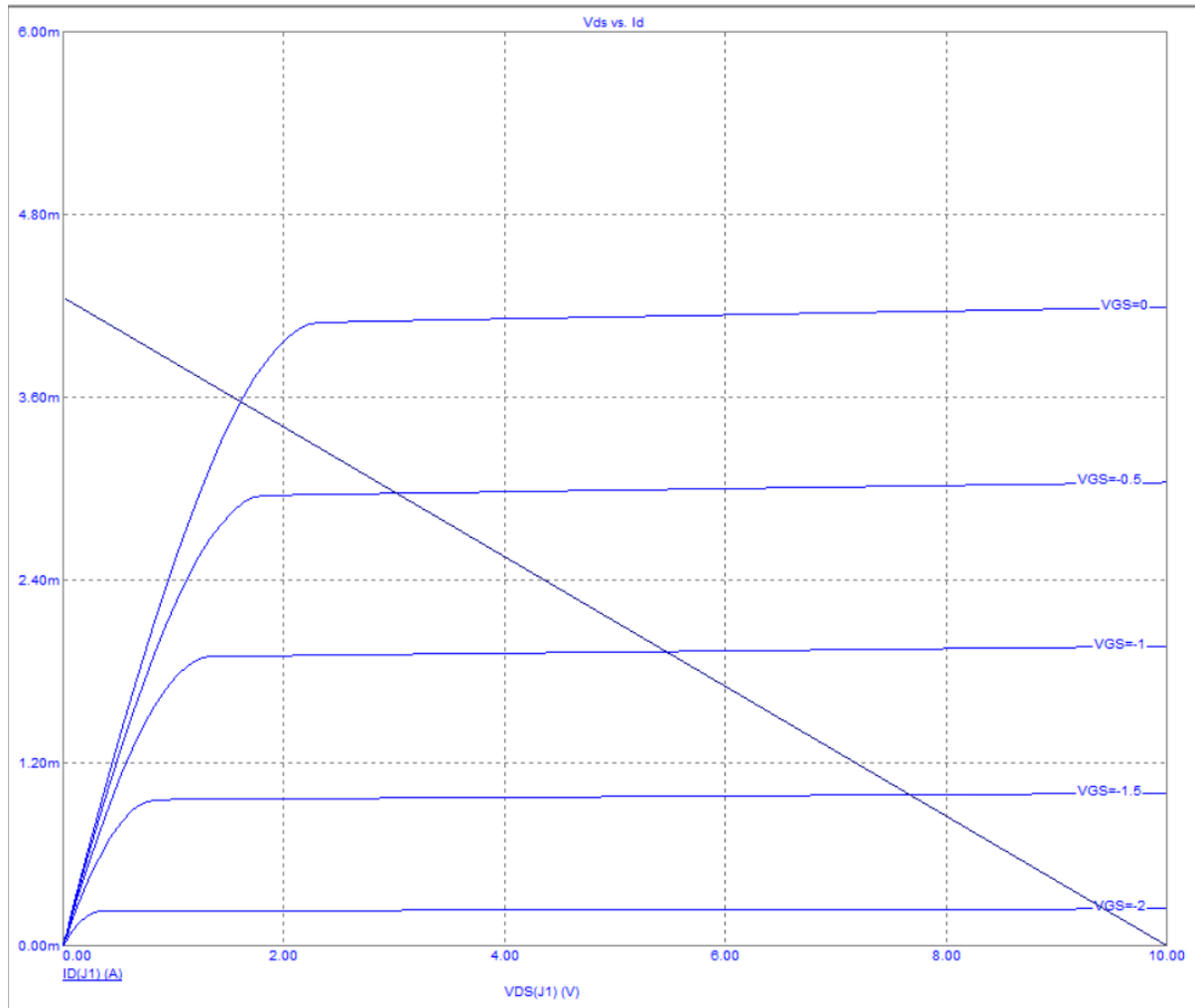
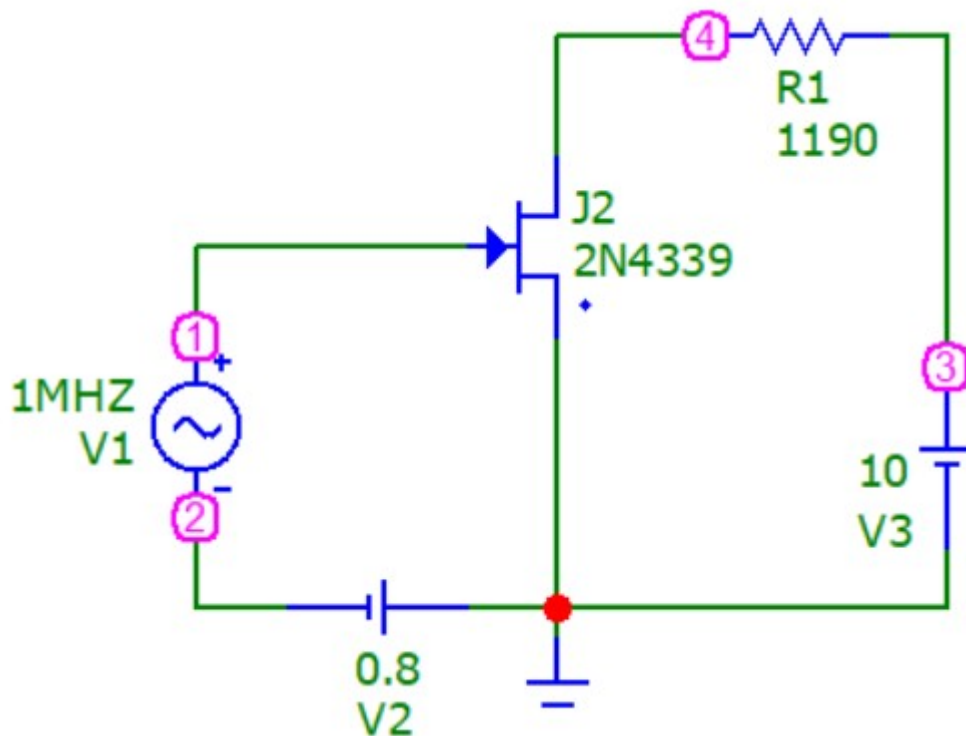


Рис.9 Нагрузочная прямая

Соберу схему усилителя на транзисторе JFET с рассчитанным сопротивлением стока и напряжением затвора V_{gs} , подам сигнал с амплитудой 0.1 В и с частотой 9 кГц.



☒ Help Bar [File Link](#)

☐ Show Data on Exit

Source: Local page 'Models'

A

PH

TAU

DC

RP

F

RS

Рис.10-11 Схема усилителя

Через Transient Analysis посчитаю каскад усиления, который будет равен $0.5 / 0.02 = 25$ (высоту верхней синусоиды делим на высоту нижней)

Transient Analysis Limits

Maximum Run Time:

Output Start Time (tstart):

Maximum Time Step:

Number of Points:

Temperature:

Retrace Runs:

Run Options:

State Variables:

☒ Operating Point ☐ Accumulate Plots

☐ Operating Point Only ☐ Fixed Time Step

☒ Auto Scale Ranges ☐ Periodic Steady State

Ignore Expression Errors	Page	P	X Expression	Y Expression	X Range	Y Range
<input checked="" type="checkbox"/>	1	T	v(4)		0.0005,0,0.0001	7.65,6.9,0.15
<input checked="" type="checkbox"/>	2	T	v(1)		0.0005,0,0.0001	-0.65,-0.9,0.05

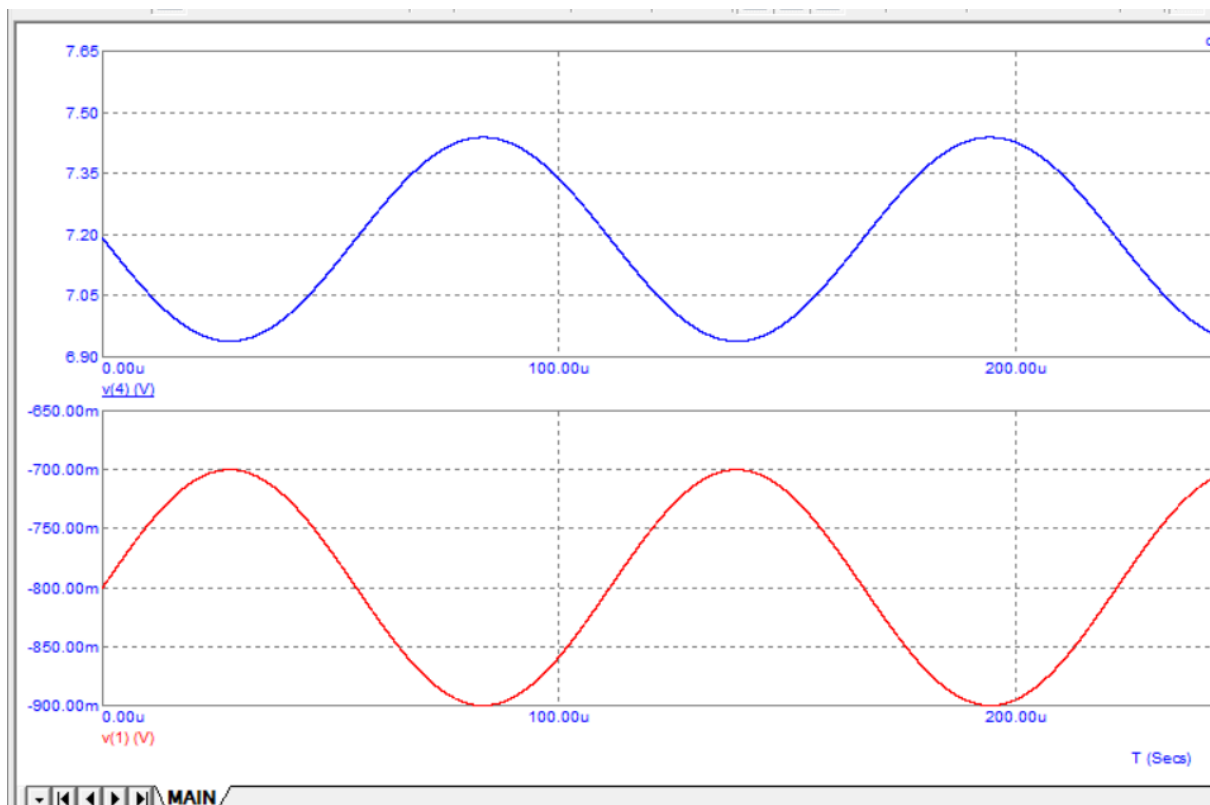


Рис.12-13 Transient Analysis

В режиме DC определим переходные (зависимость выходного тока от входного напряжения) характеристики pMOS транзистора, собрав соответствующую схему

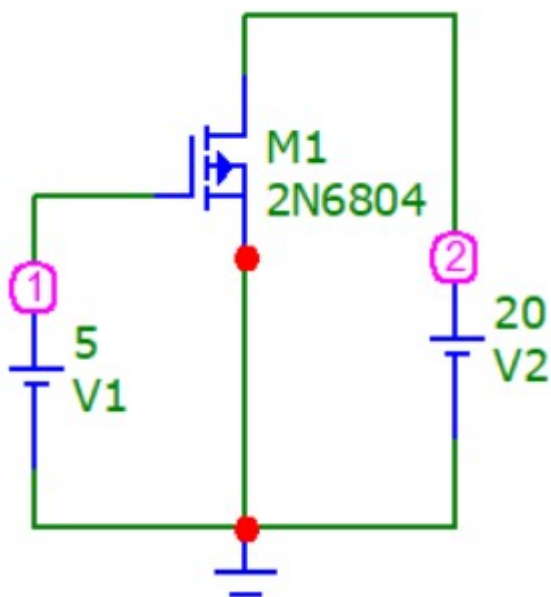


Рис. 14 Схема транзистора для получения переходных характеристик

DC Analysis Limits

Run Add Delete Expand... Stepping... Properties... Help...

Sweep

Variable	Method	Name	Range
Variable 1	Linear	V1	0,-5,.5
Variable 2	List	V2	-10,-15

Temperature

Method Range

Linear 27

Number of Points

51

Maximum Change %

5

Run Options

Normal ☒ Auto Scale Ranges ☐ Accumulate Plots

☐ Ignore Expression Errors
















	Page	P	X Expression	Y Expression	X Range	Y Range
<input checked="" type="checkbox"/>      ...		1	DCINPUT1	id(m1)	0,-5,1	0.75,-3,0.75
<input checked="" type="checkbox"/>      ...						
<input checked="" type="checkbox"/>      ...						

Рис.15 Настройка DC Analysis

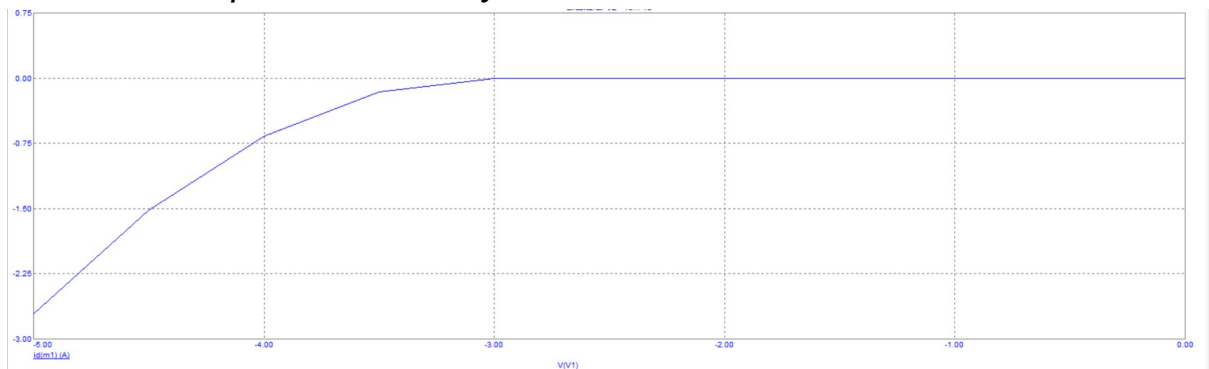


Рис.16 Переходная характеристика pMOS

Для MOS транзистора выведу выходные характеристики (зависимость выходного тока от выходного напряжения при постоянном напряжении на затворе) используя V_{ds} vs. I_d - Plot.

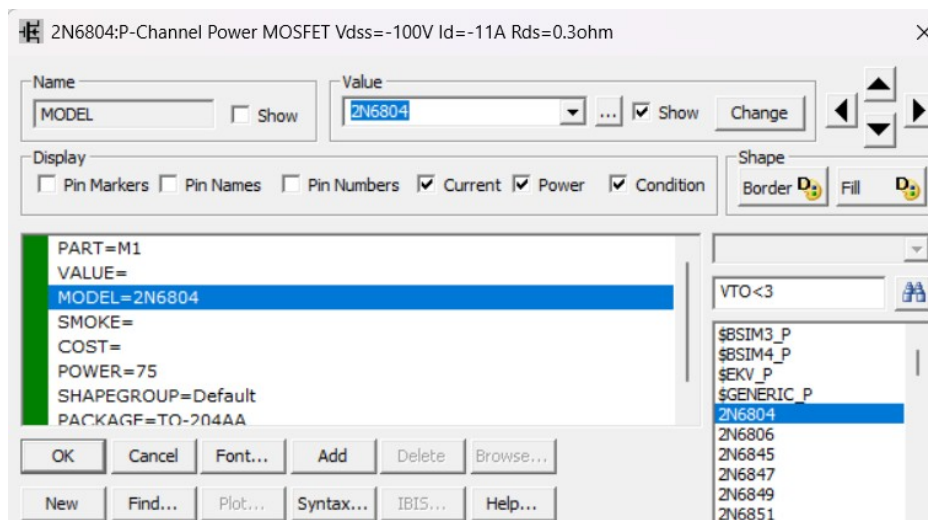


Рис.17 Vds vs. Id/ - Plot

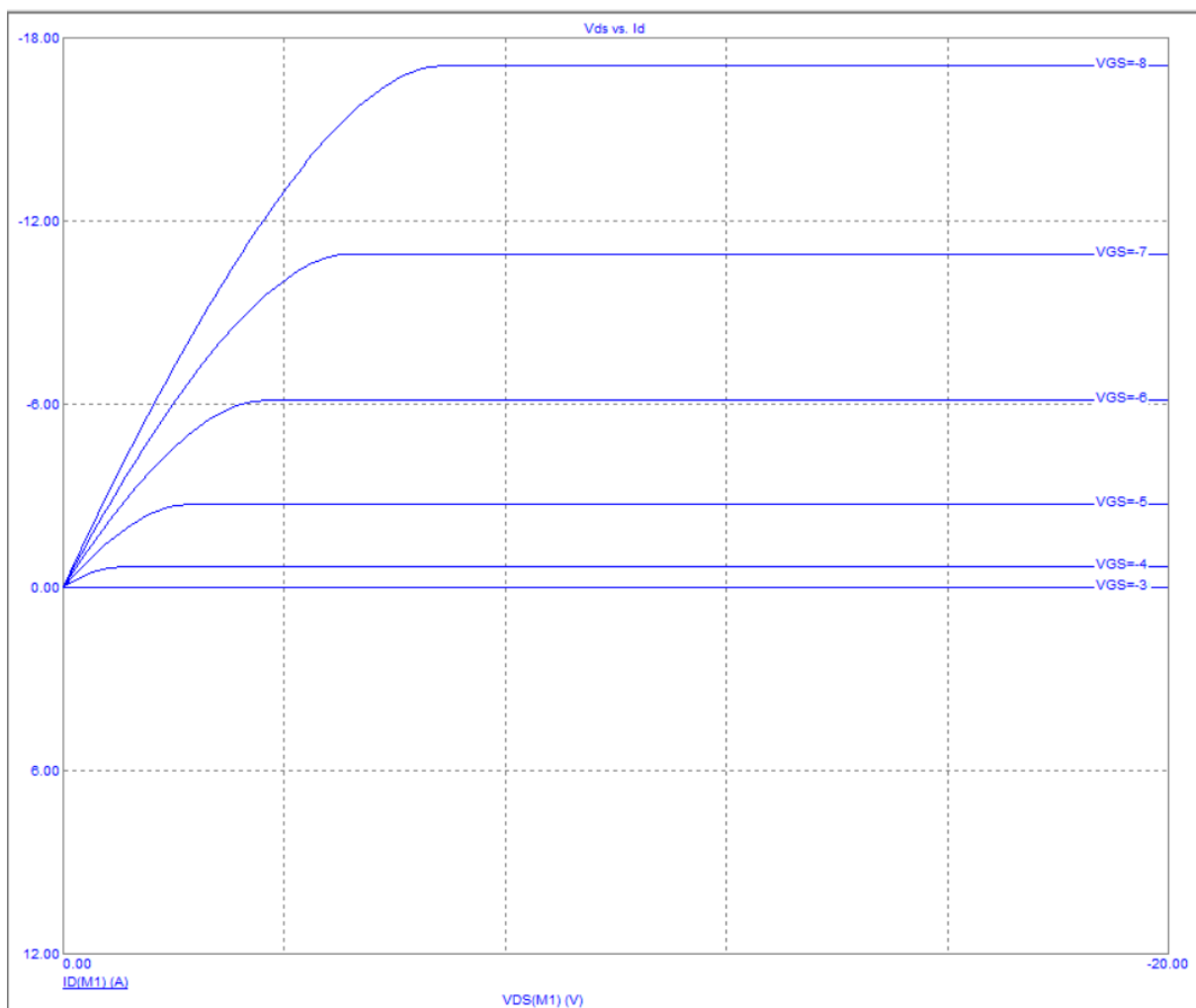


Рис.18 Выходная характеристика pMOS

Посчитаю сопротивление стока в рабочей точке: $R_d = (U_{пит} - U_{рт}) / I_d$
 $R_d = (20 - 10) / 9 = \sim 1.1 \text{ Ом}$, выбрав рабочую точку посередине нагрузочной прямой

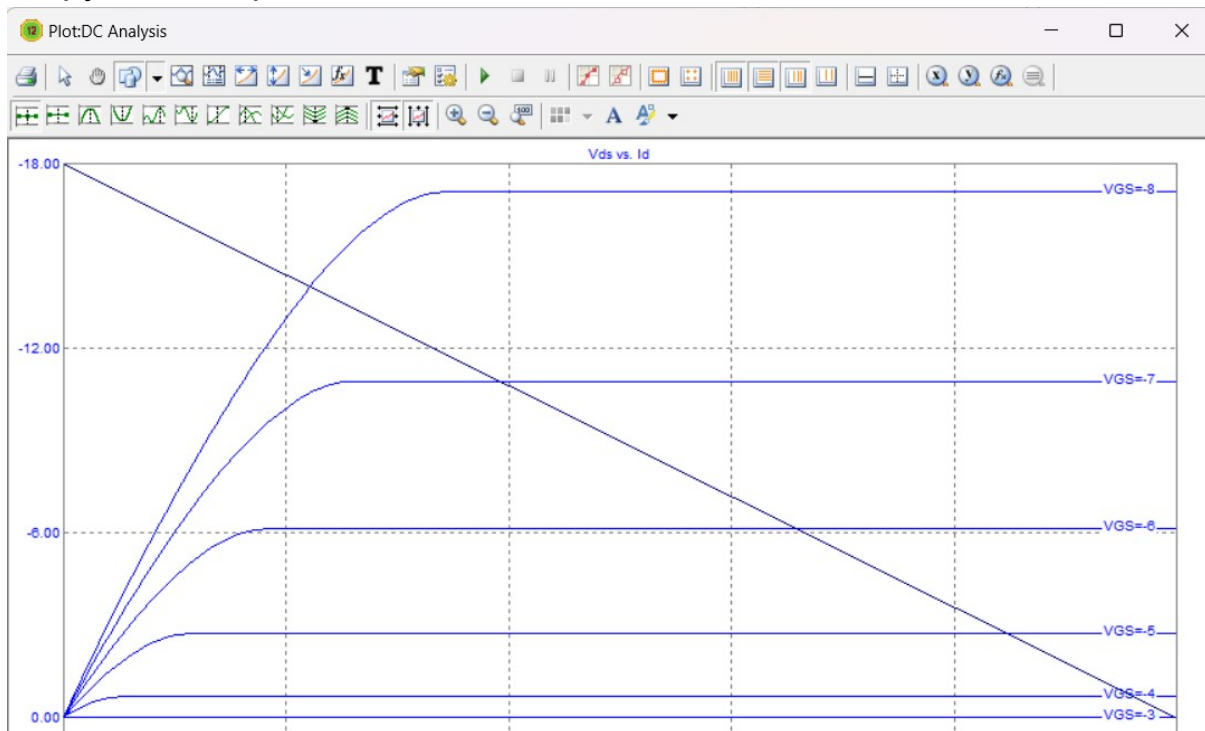


Рис.19 Нагрузочная прямая

Соберу схему ключа на транзисторе MOS, подам импульс амплитудой V_{gs} и длительностью 2 мкс, сопротивление было увеличено до 3 Ом для нормальной работы ключа, в данном случае напряжение $< 1.5 \text{ В}$ соответствует логическому нулю.

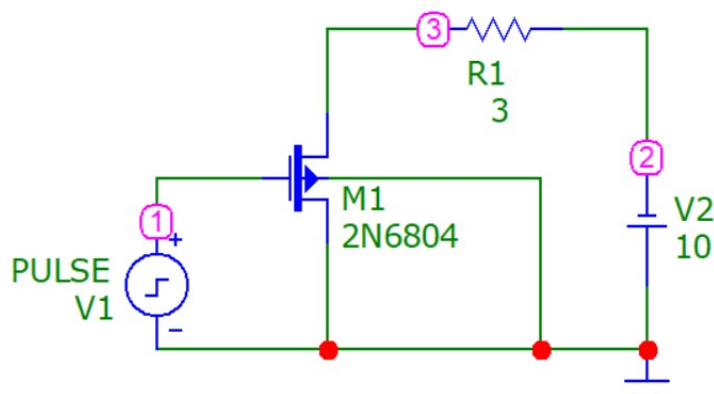


Рис.20 Схема ключа













Transient Analysis Limits

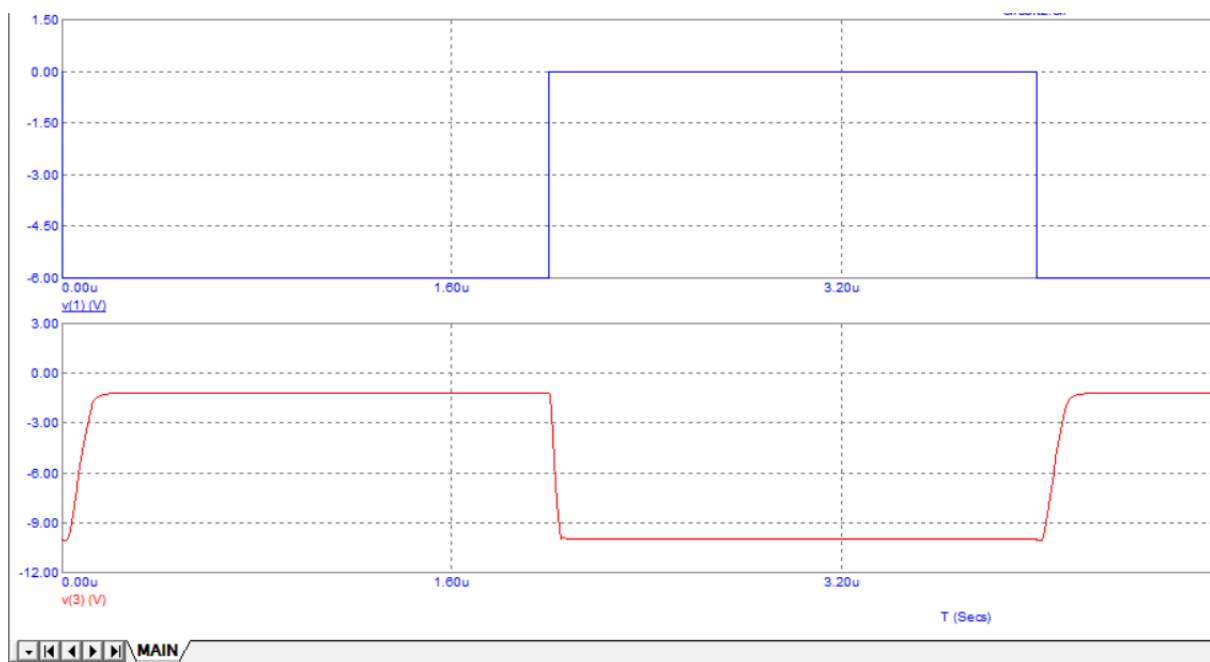
Maximum Run Time: 8u
 Output Start Time (tstart): 0
 Maximum Time Step: 10n
 Number of Points: 5100
 Temperature: Linear 27
 Retrace Runs: 1

Run Options: Normal
 State Variables: Zero

☒ Operating Point
 ☐ Accumulate Plots
☐ Operating Point Only
 ☐ Fixed Time Step
☒ Auto Scale Ranges
 ☐ Periodic Steady :

☐ Ignore Expression Errors

	Page	P	X Expression	Y Expression
<input checked="" type="checkbox"/>     ...		1	T	v(1)
<input checked="" type="checkbox"/>     ...		2	T	v(3)
<input checked="" type="checkbox"/>     ...				



Puc.21-22 Transient Analysis

Эксперимент 8

Комплементарные схемы. Инвертор на основе КМОП ключа.

Соберу схему КМОП цифрового ключа и подам на вход последовательность прямоугольных импульсов

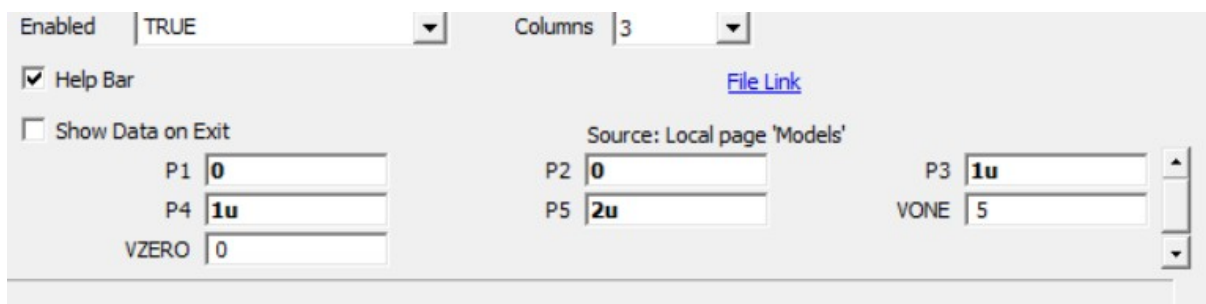
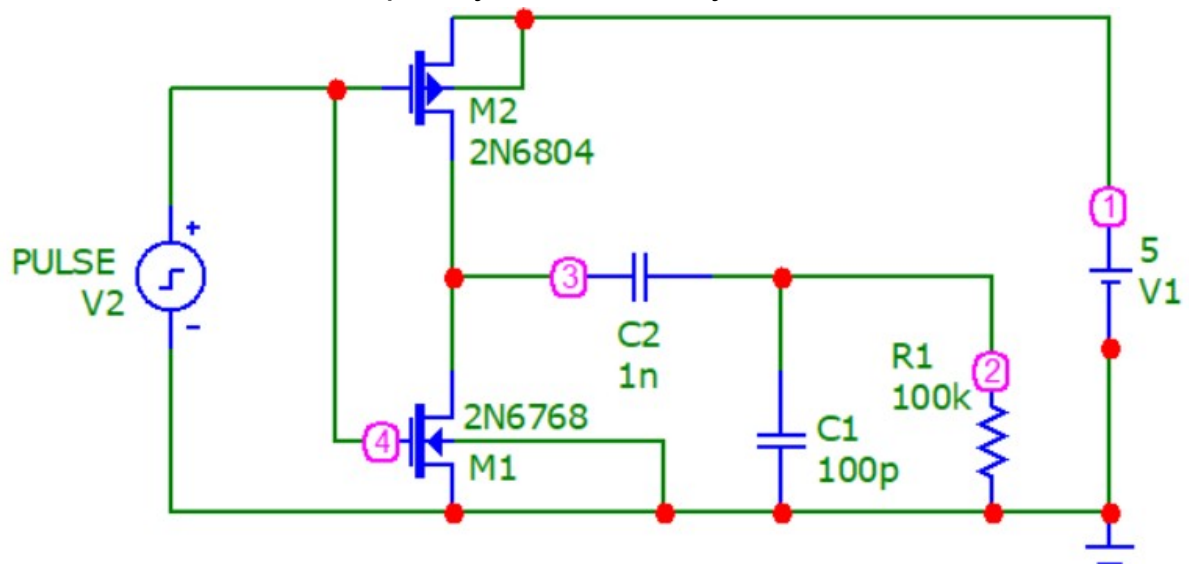
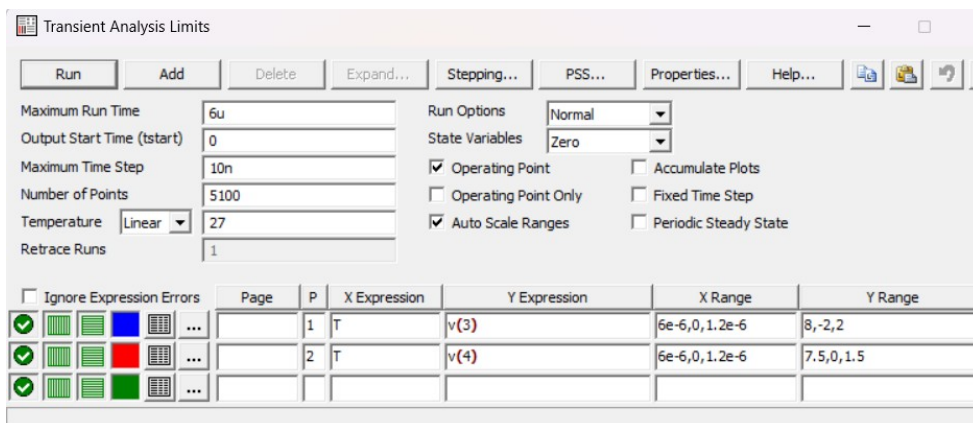


Рис.23-24 Схема ключа



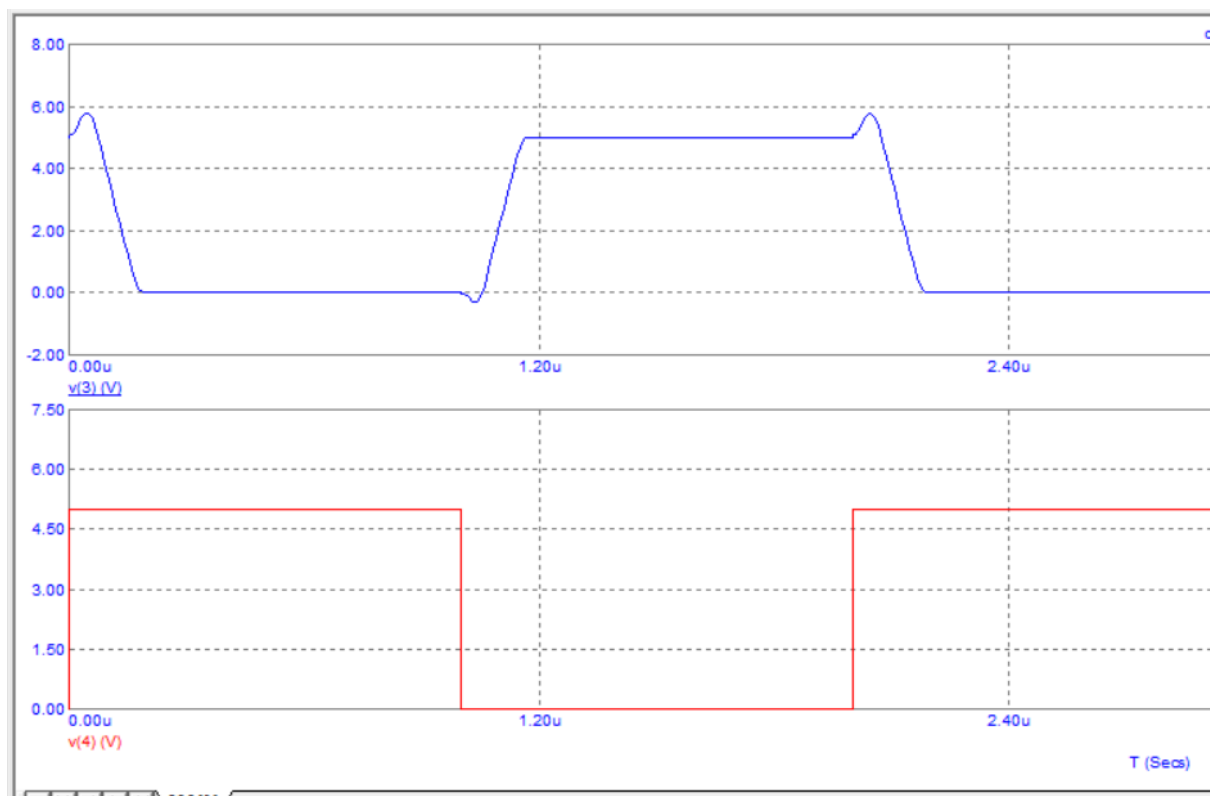


Рис.25-26 Transient Analysis

Оценю быстродействие данной комплементарной пары, рассчитав задержку $T_{\text{зад}} = (t_{10} + t_{01})/2$, где t_{10} - задержка перехода из 1 в 0; t_{01} – задержка перехода из 0 в 1 по уровню 0,5.

$$t_{10} = 2.166 - 2.084 = 82 \text{ нс}$$

$$t_{01} = 1.146 - 1.066 = 80 \text{ нс}$$

$$T_{\text{зад}} = (t_{10} + t_{01})/2 = 81 \text{ нс}$$

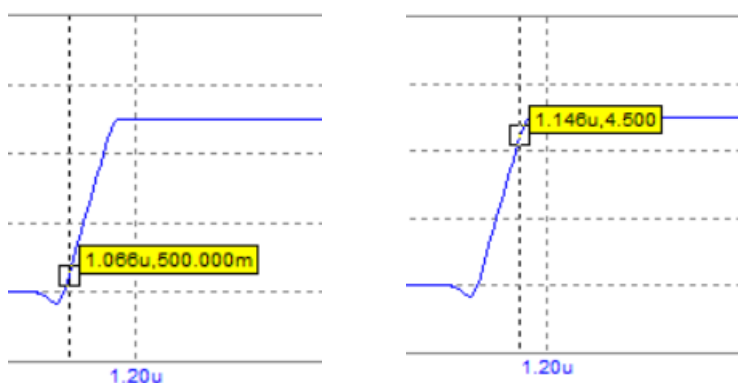


Рис.27-28 Расчет t_{01}

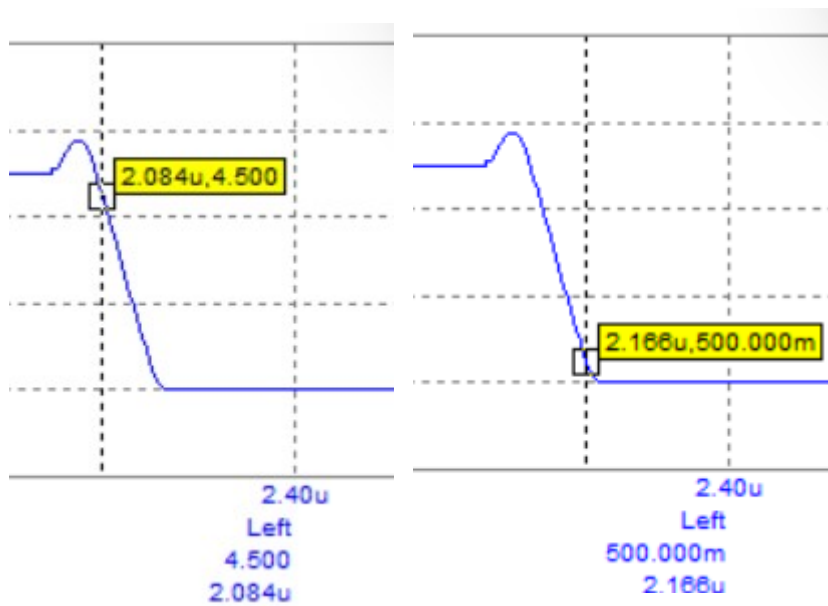
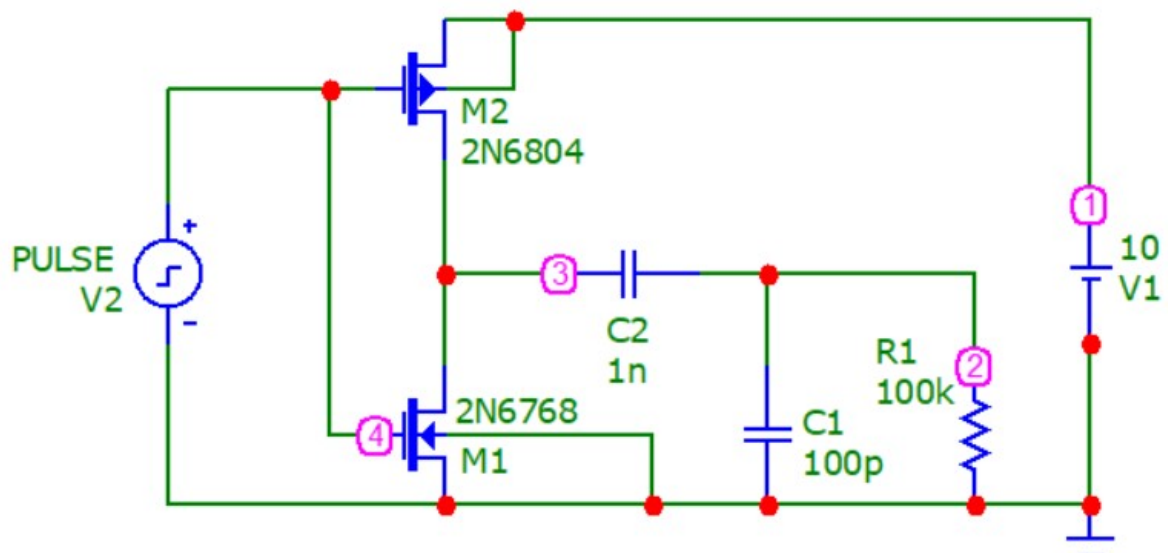


Рис.29-30 Расчет t_{10}

Получу переходные характеристики, увеличив напряжение до 10 В



DC Analysis Limits

Run Add Delete Expand... Stepping... Properties... Help...

Sweep

Variable	Method	Name	Range
Variable 1	Linear	V2	10,0,.1
Variable 2	Linear	V1	10,6,0.1

Temperature

Method	Range
Linear	27

Number of Points: 5100

Maximum Change %: 5

Run Options: Normal ☒ Auto Scale Ranges ☐ Accumulate Plots

☐ Ignore Expression Errors

	Page	P	X Expression	Y Expression	X Range	
<input checked="" type="checkbox"/>		1	DCINPUT1	v(3)	10,0,2	12.5
<input checked="" type="checkbox"/>		2	DCINPUT1	Is(M1)	10,0,2	0.75
<input checked="" type="checkbox"/>						

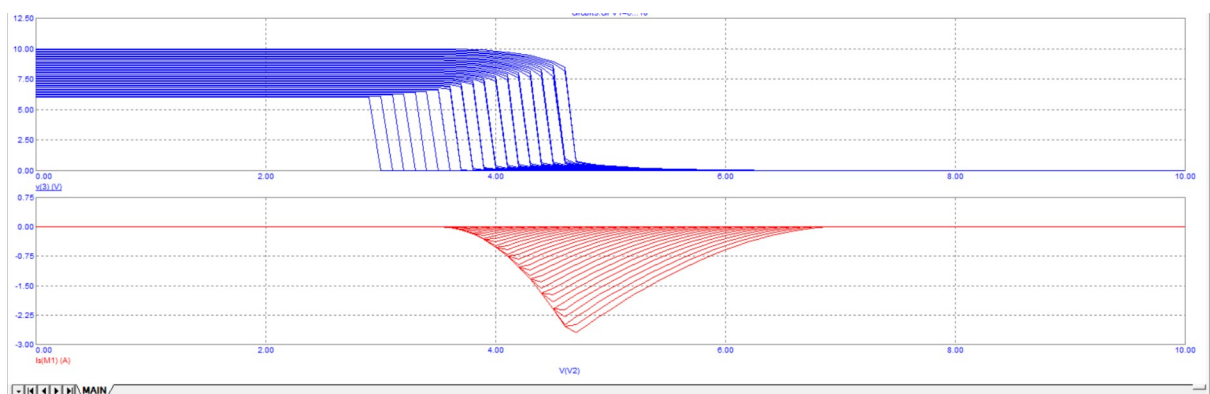


Рис.31-33 Переходные характеристики

Комплементарные схемы функционируют с электрическим напряжением только в моменты переключения, а в статическом состоянии их потребление энергии практически отсутствует. Такие схемы находят широкое применение в мобильных устройствах благодаря своему низкому энергопотреблению, что позволяет интегрировать больше логических элементов на одном чипе. Кроме того, они способны работать в широком диапазоне напряжений и отличаются высокой устойчивостью к внешним помехам.

Соберу стенд для исследования работы логического элемента 2И-НЕ на полевых транзисторах NMOS и PMOS

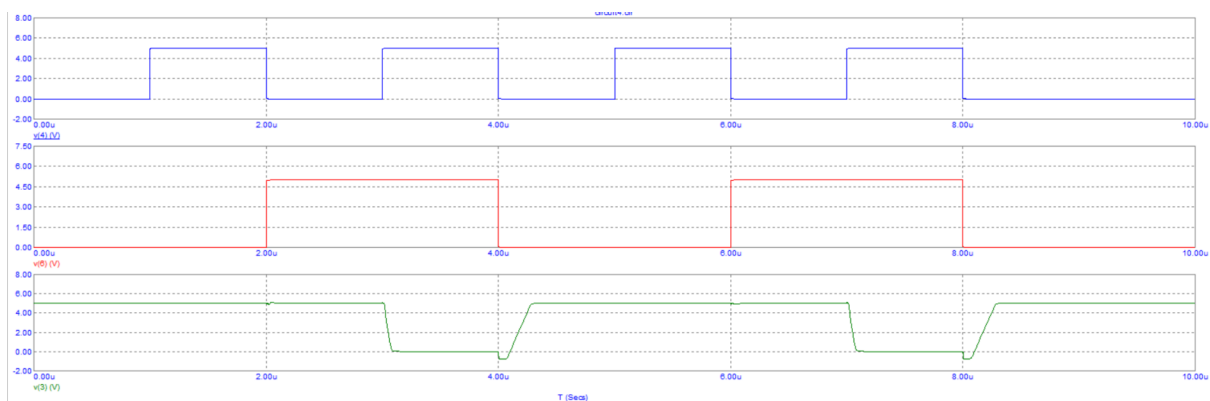
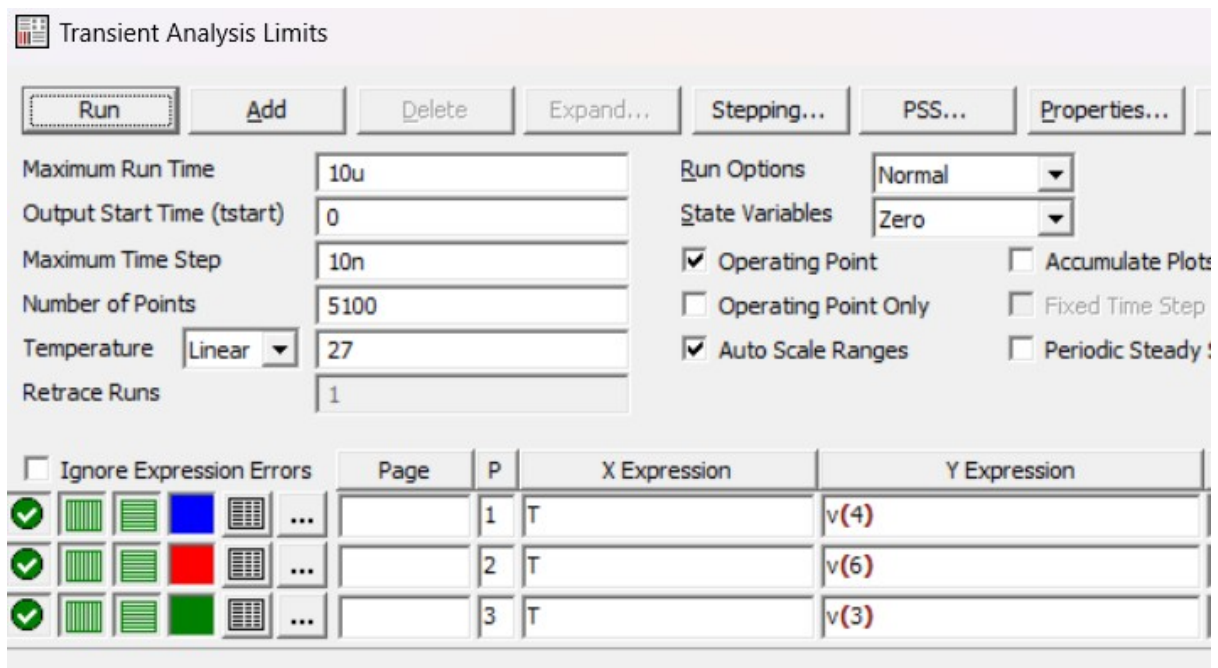
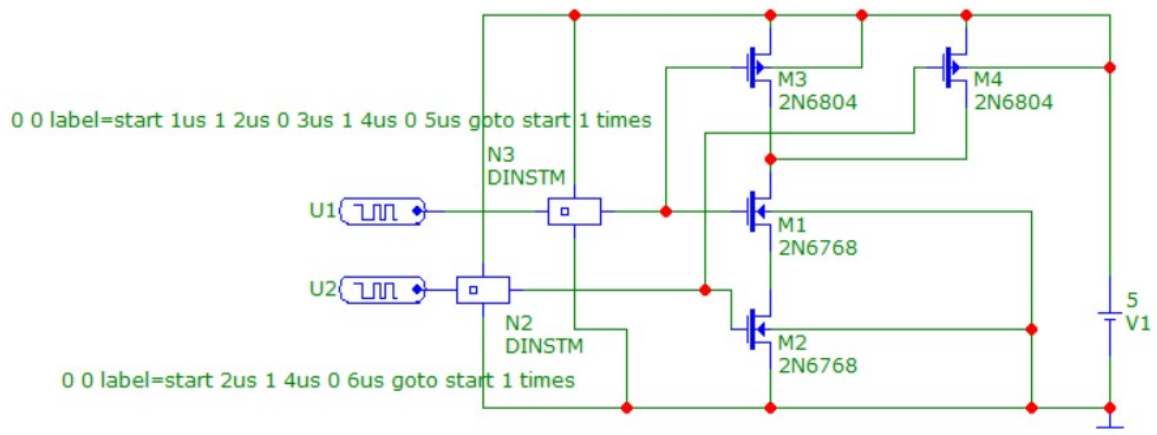


Рис.34-36 Элемент И-НЕ на полевых транзисторах



Рис.37 Элемент И-НЕ в схемотехнике

Эксперимент 9

Устройство ячейки триггера статической памяти.

Соберу схему учебного триггера на элементах NMOS с последовательностями импульсов на входах S и R. И получу следующие графики

