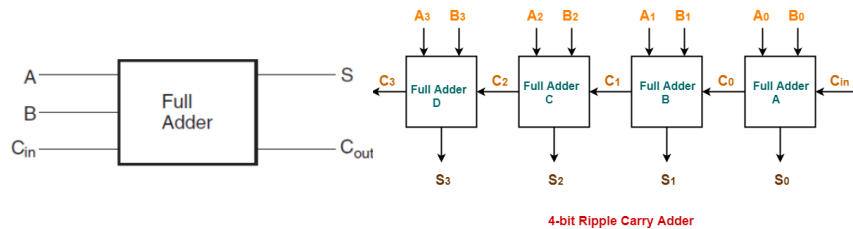


模拟与数字电路 作业（二）

1. 为了构建一个 N bit 加法器，一般首先设计一个全加器，其包括 A B C_{in} 三个输入和 S C_{out} 两个输出，其中 C_{in} 和 C_{out} 上一级传递的进位和下一级接收的进位。其真值表如下左图所示。N bit 加法器可通过级联 N 个全加器实现，如下右图所示。

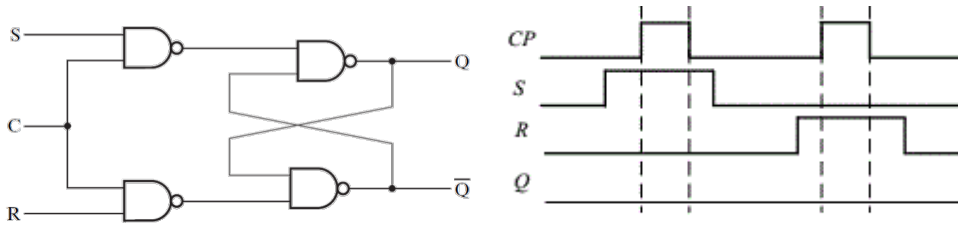
A	B	C_{in}	SUM (S)	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



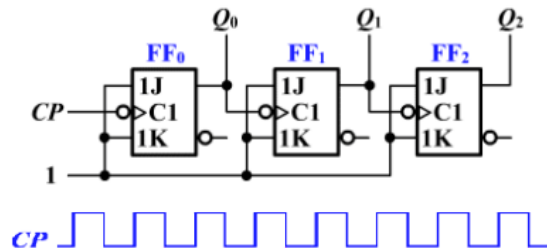
- 根据真值表写出全加器的逻辑表达式，并使用卡诺图化简。
- 根据逻辑表达式，写出全加器的 Verilog 硬件描述：module Full_Adder (...
- 基于上述 module，写出一个 N bit 的无符号加法器（提示，参数化）

2. 推导 4-bit 格雷码到二进制码的转换逻辑。

3. 下左图图是一个具有时钟控制的 SR 锁存器，若其输入 CP（左图标记为 C）、S、R 分别为下右图，画出 Q 的波形。



4. 下左图的时序电路由三个 JK 触发器组成，若输入 CP 是一个周期性的时钟，画出 Q0、Q1、Q2 的波形，并阐述其功能。



5. （实验预习题）在实验二前，完成一个 BCD 到 7 段 LED 显示码的 Verilog（共阴极），并基于一个二进制的计数器（0-9）设计其 testbench。上述代码在作业中提交，并在 Vivado 中完成验证，实验课前助教检查 Vivado 结果。