

模拟与数字电路

Analog and Digital Circuits



课程主页 扫一扫

第十三讲： 竞争与时序逻辑 电路

Lecture 13: Hazards and Sequential logics

主 讲： 陈 迟 晓

Instructor : Chixiao Chen

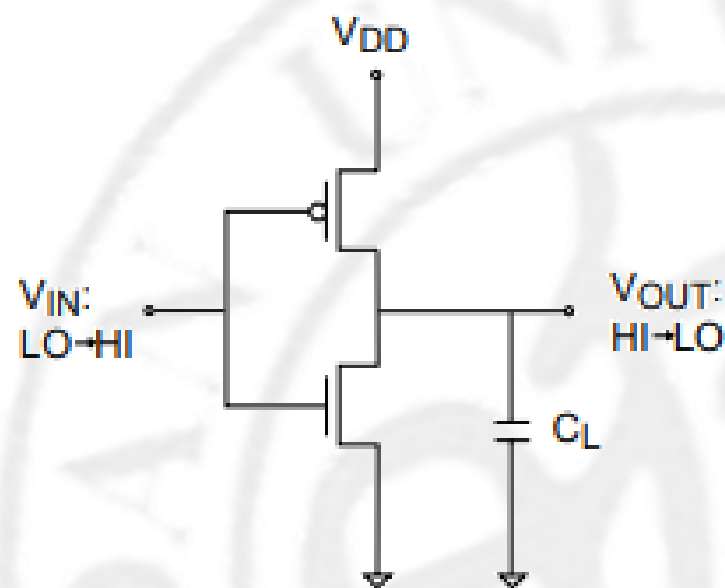
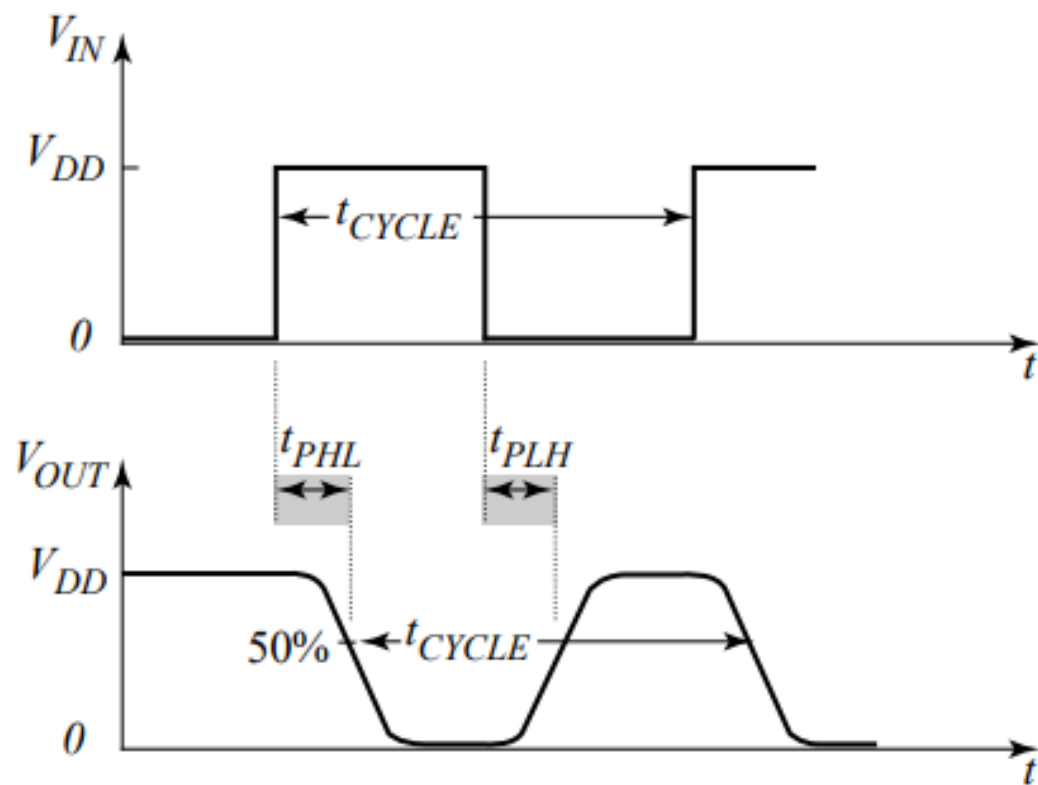
提纲

- 复习
 - 什么是组和逻辑?
- 竞争、冒险、毛刺
- 时序电路
- 锁存器
- 触发器



逻辑门延时

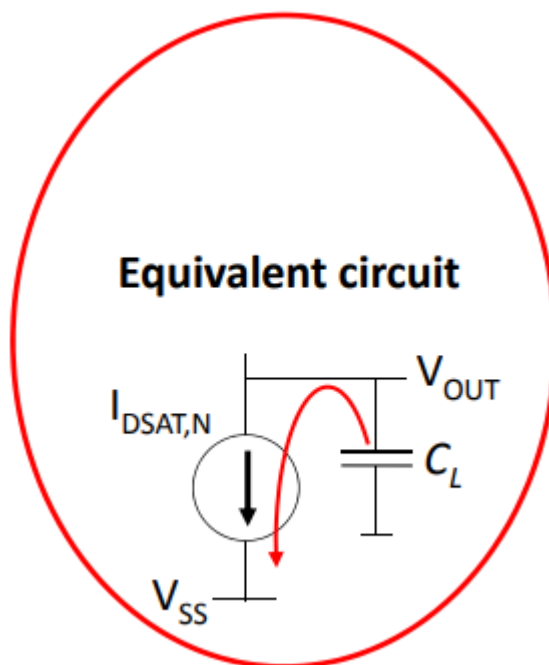
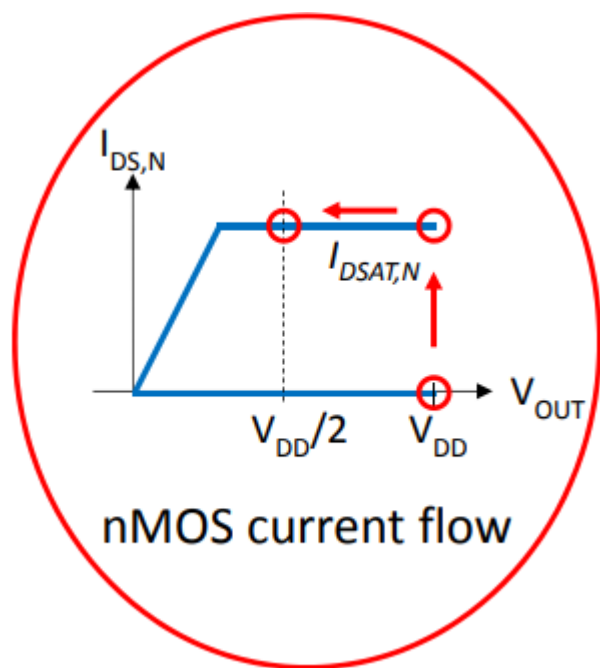
- 实际逻辑门存在延时



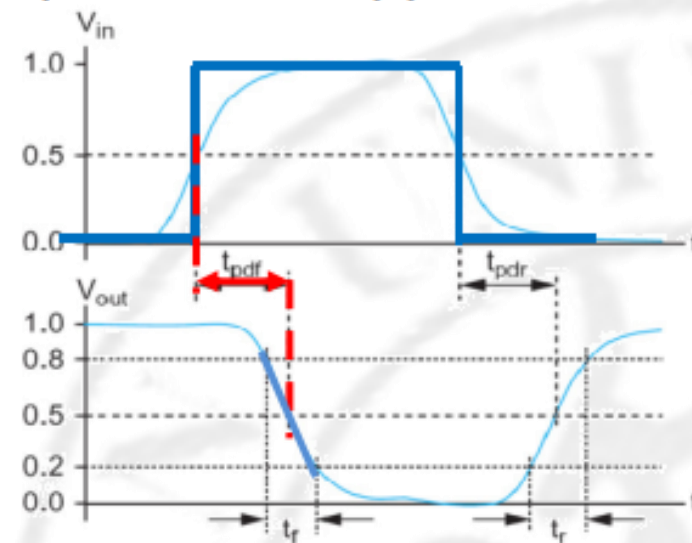
以反相器为例：延时是负载电容漏电、放电的过程

反相器延时

- 反相器输入 从低到高
 - 先进工艺下，反相器延时约在10ps



Square wave approximation

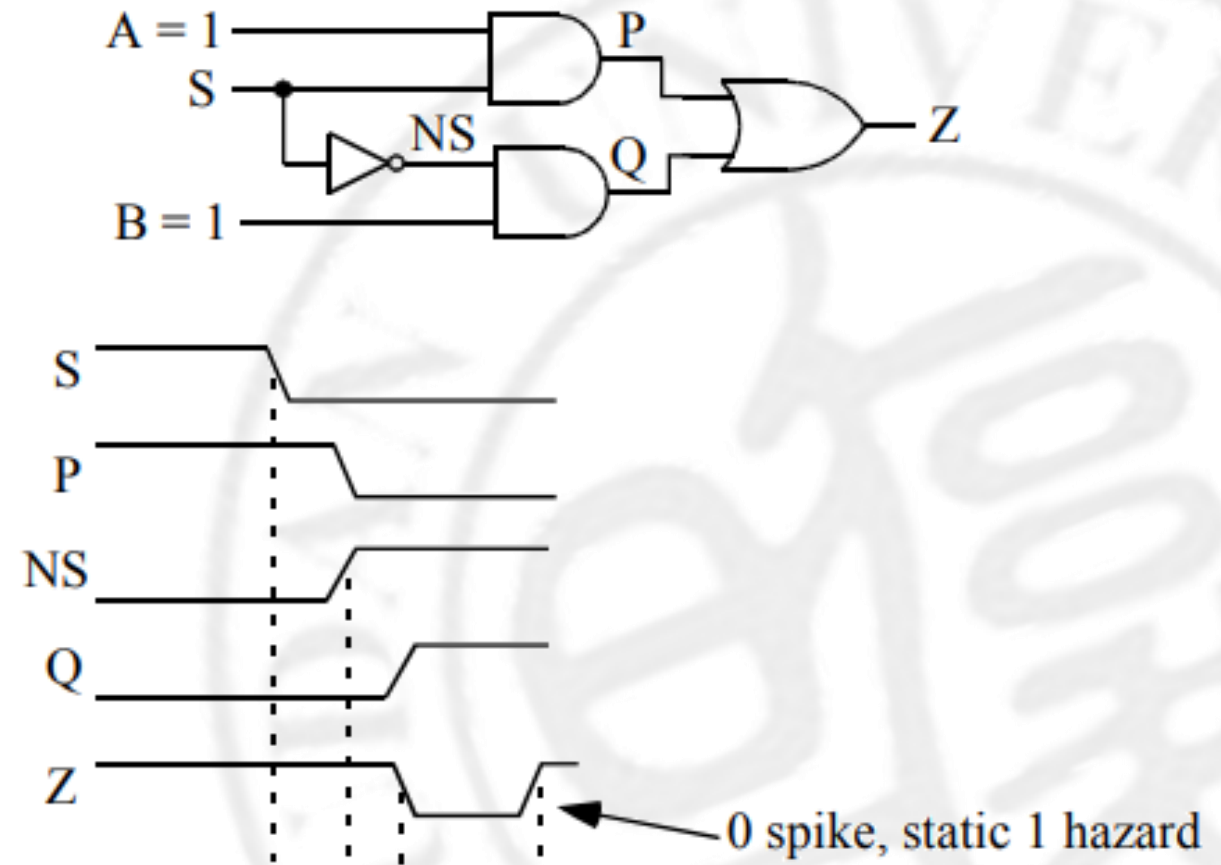


$$t_{pdr} = \frac{\Delta Q}{I_{DSAT,N}} = \frac{C_L \cdot \Delta V_{OUT}}{I_{DSAT,N}}$$

$$\Delta V_{OUT} = V_{DD}/2$$

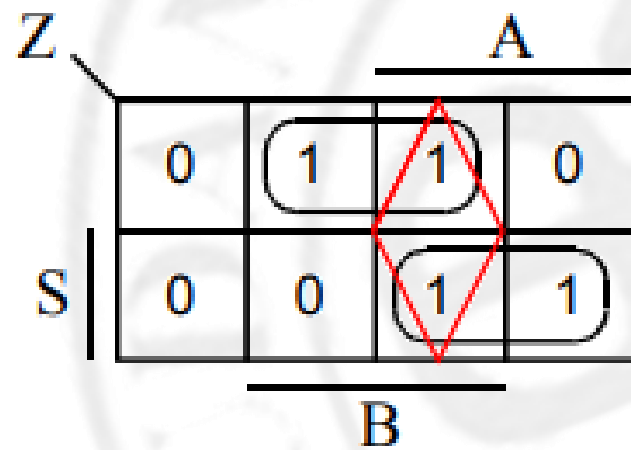
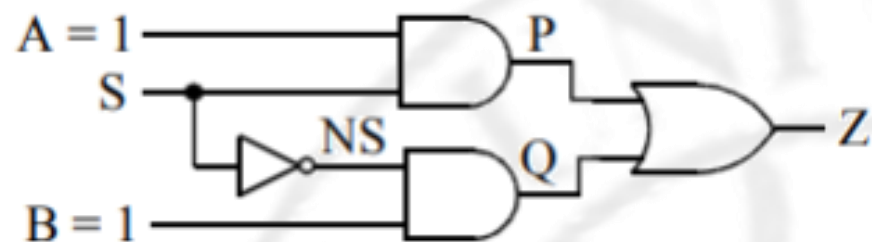
Timing Hazards 竞争冒险

- 假设下列电路中的逻辑门具有相同的延时，在右图逻辑中：输入A/B保持不变，S从高到低，画出Z的时序波形。

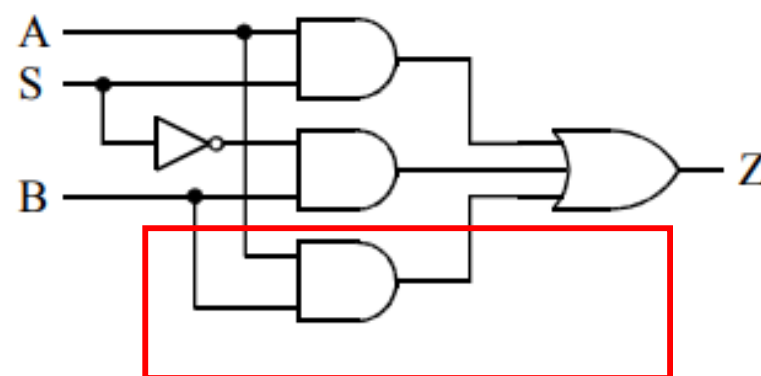
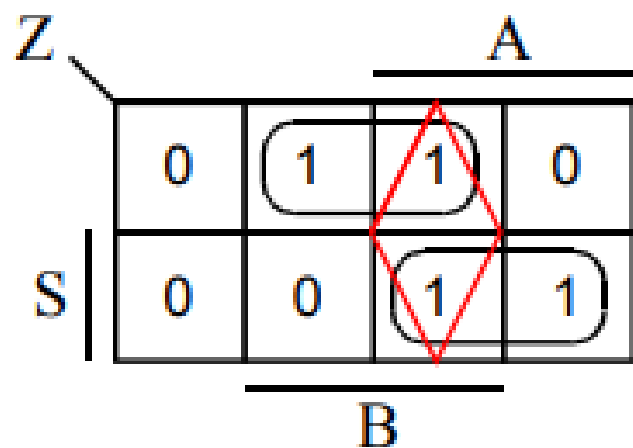
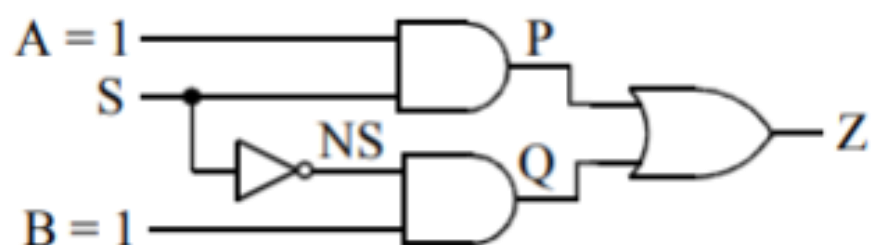


基于卡诺图的Hazard推断

- Hazard原因：逻辑延时差
- 存在两个AND，其中一个AND门前没有非门，另一个前有非门
- 卡诺图上，相邻的格子均为1，但是，并未被同一个圈包裹



Hazard补偿方法（一）：冗余项

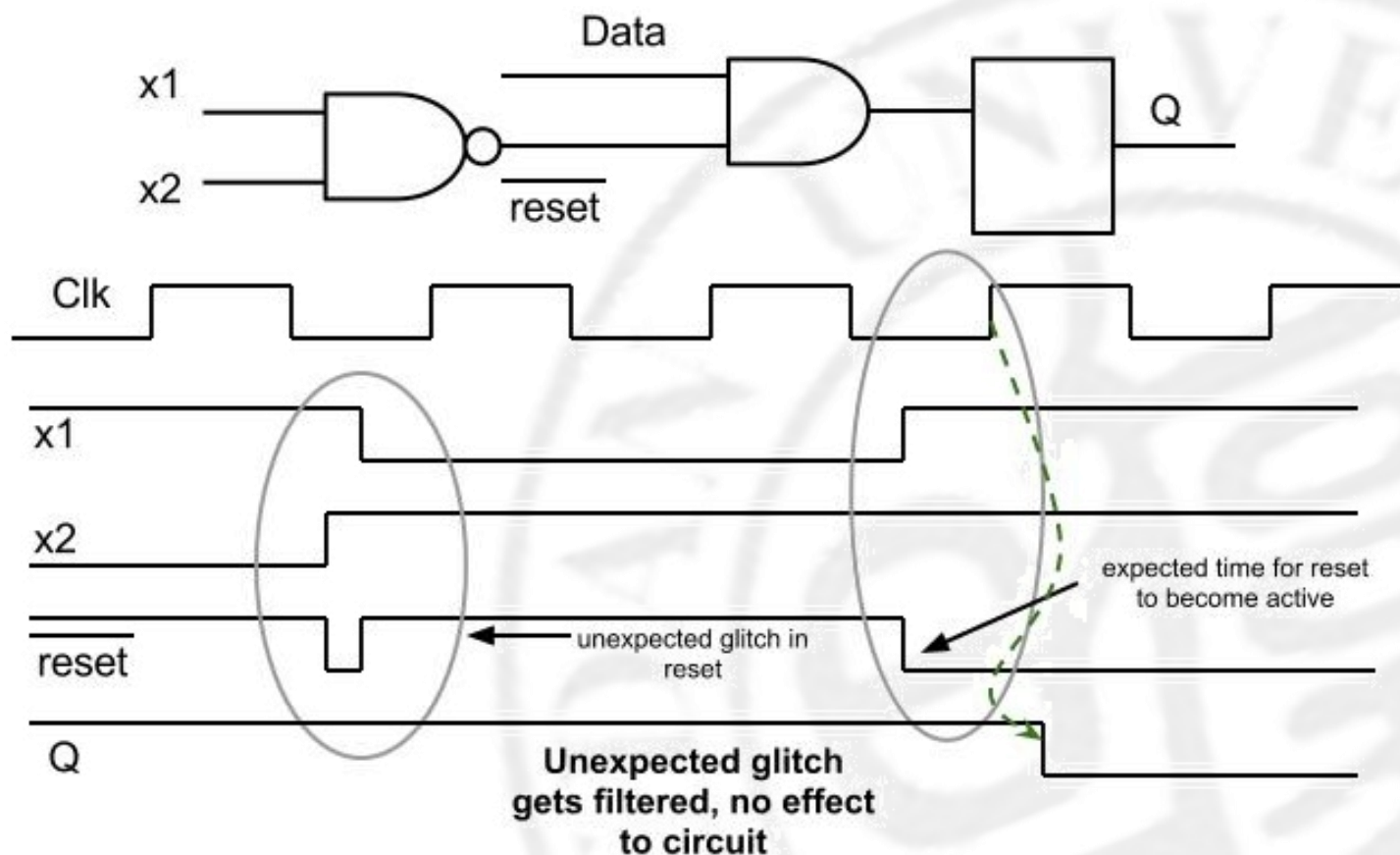


补充冗余项：将红色格子代表的门再次加回

Hazard补偿方法（二）：同步电路

- 举例

- 考试过程中的某个瞬间对错不在乎
- 只关心交卷状态的成绩



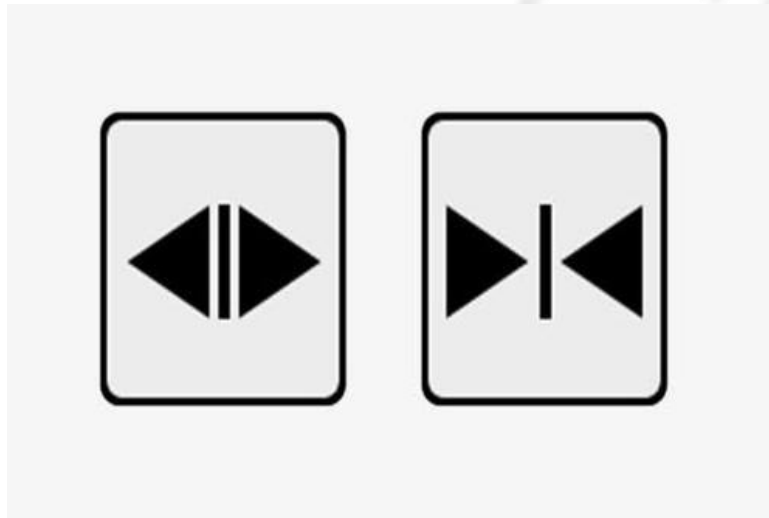
同步电路采用时钟才采样某个有效瞬间

时序逻辑 vs 组合逻辑

- 同步电路并不是组合逻辑，他存在一个器件使得

输出不仅跟当前的输入有关，而且**跟过去的输入也有关**。这就要求在电路中必须包含一些**存储元件**来记住这些输入的过去值。

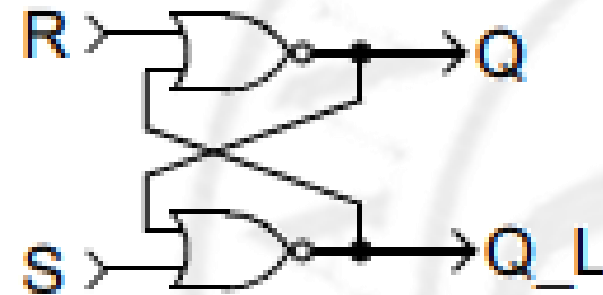
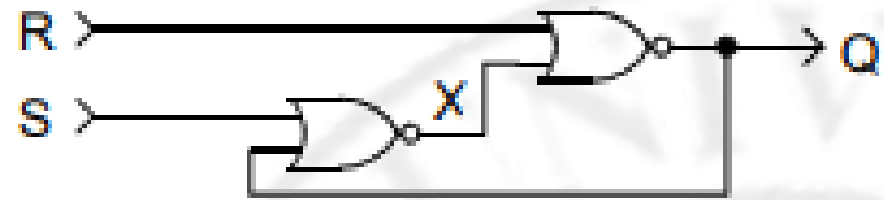
- 生活中的时序逻辑
举例：电梯开关门



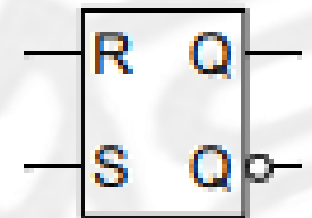
时序电路 基础原件：锁存器

- 假设开关门逻辑存在两个输入：
Set（关门） / Reset（开门）
- 上述电路的真值表如下：

INPUTS		OUTPUT	STATE
S	R	Q	
0	0	No Change	Previous
0	1	0	Reset
1	0	1	Set
1	1	-	Forbidden



Logic Diagram

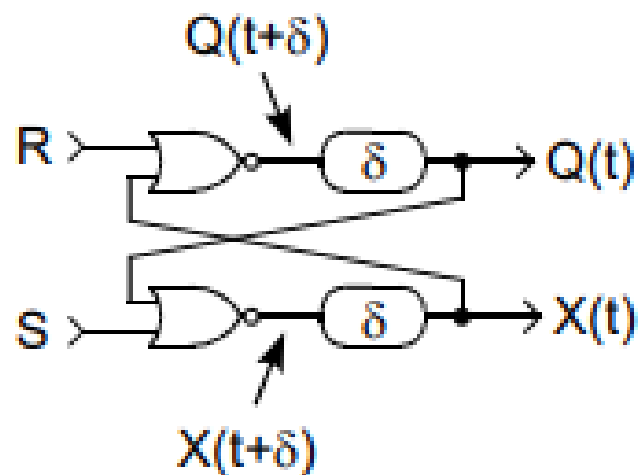
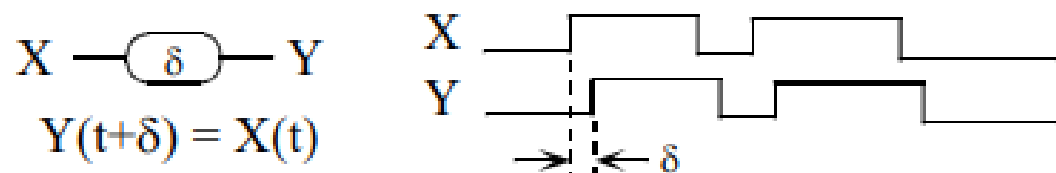


Symbol

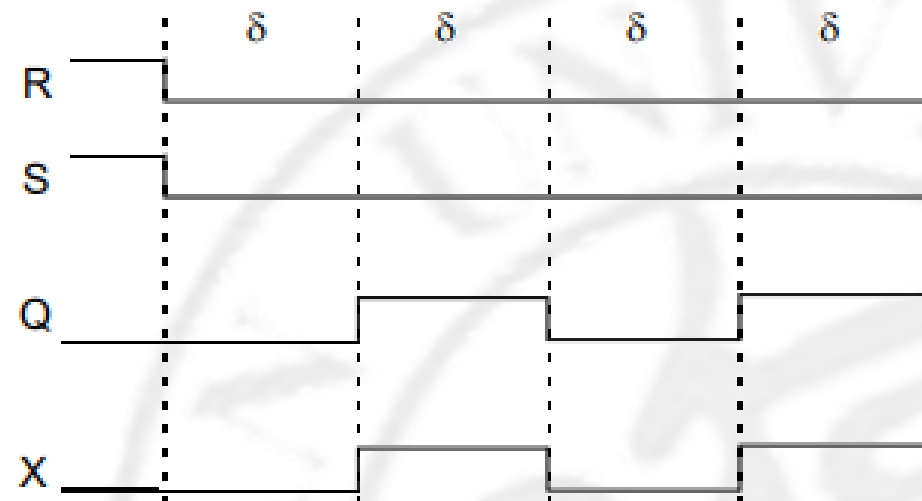
SR 锁存器

锁存器的非稳态实现

- 假设逻辑门存在延时 δ



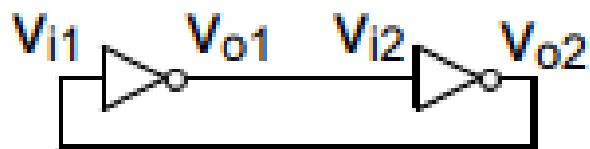
$$Q(t+\delta) = X(t)' \text{ and } X(t+\delta) = Q(t)'$$



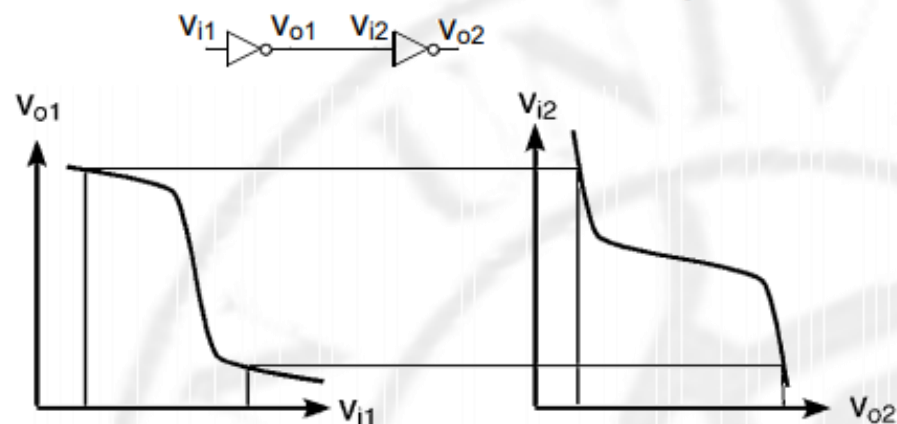
若SR存在同时由1到0的变化，存在延时 δ ，那么锁存器电路可能振荡

锁存器中的正反馈

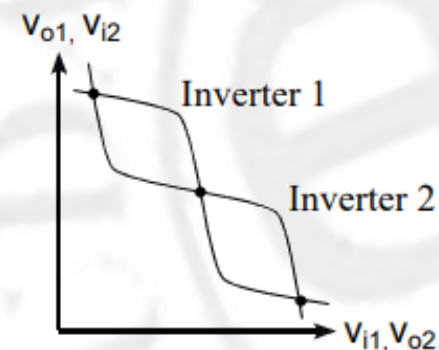
Latch可等效为反相器的级联
存在2-3个解
其中有一个是亚稳态



■ Now consider the behavior of the following circuit:

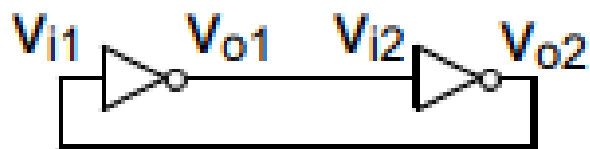


■ Superimposing the two graphs gives the following:

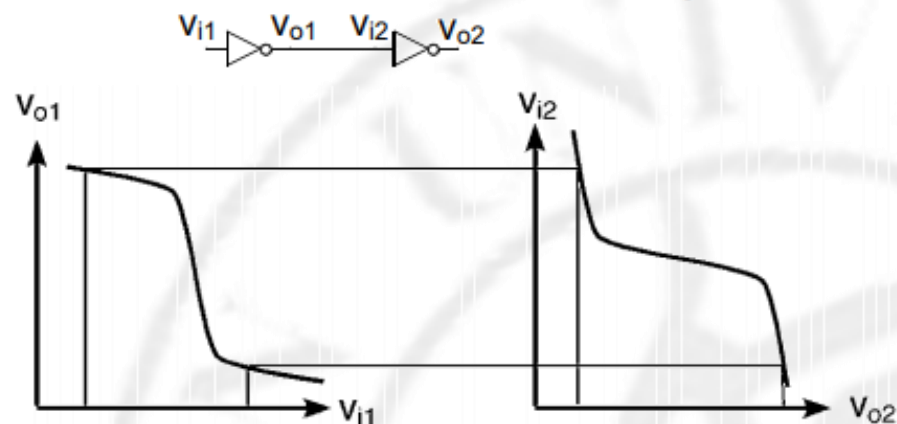


锁存器中的正反馈

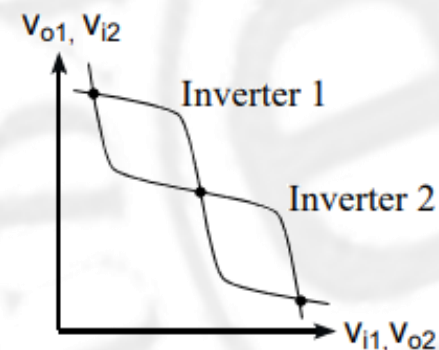
Latch可等效为反相器的级联
存在2-3个解
其中有一个是亚稳态



■ Now consider the behavior of the following circuit:

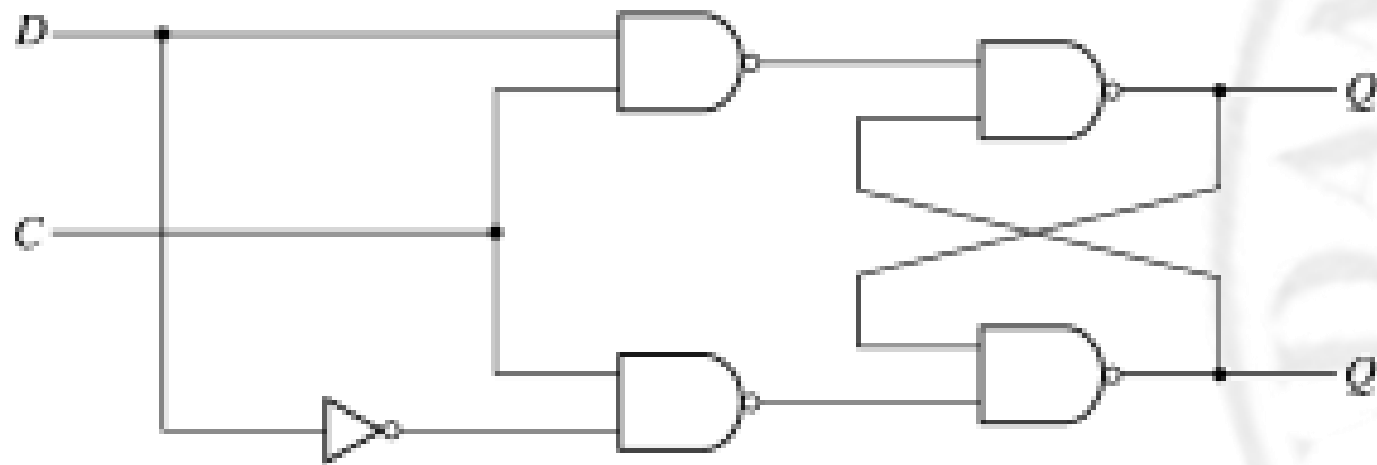
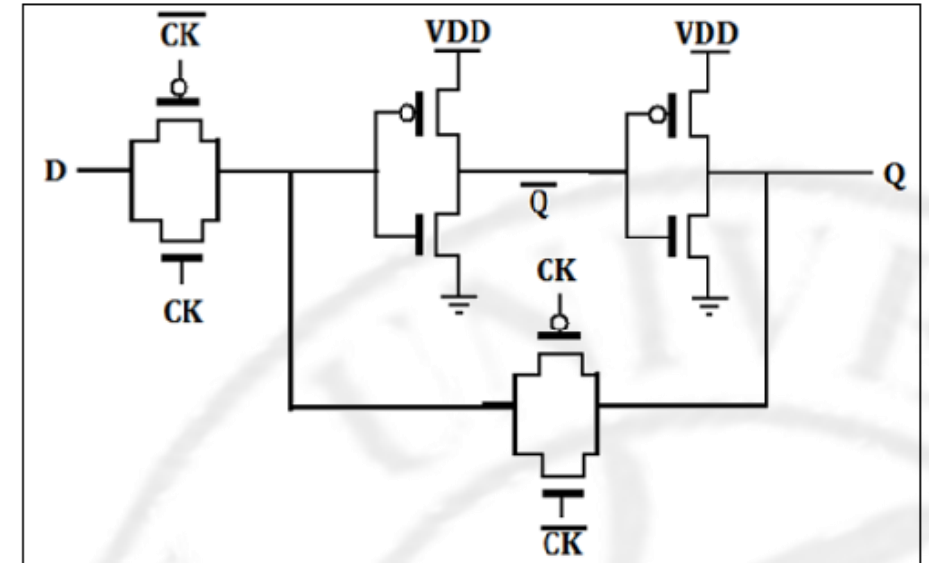


■ Superimposing the two graphs gives the following:



D型锁存器

- D= Data
- 相比于输入端: 仅有数据输入, 和使能 (时钟输入)



C	D	Next state of Q
0	X	No change
1	0	$Q = 0$; Reset state
1	1	$Q = 1$; Set state

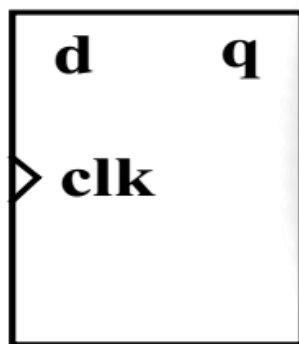
触发器

- D型触发器： 当时钟/使能输入为高时，data 发生变化
 当时钟/使能输入为低时，data 保持

- 高电平 == 瞬间？

- 上升沿、下降沿=瞬间？

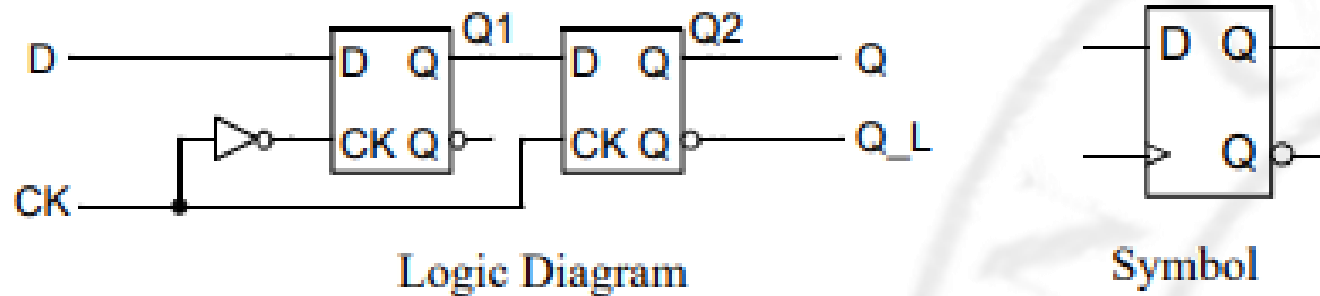
- 边沿触发的时序单元称为
触发器 (flip-flop)



clk	q*
0	q
1	q
┌ └	d

主从触发器

- Master slave Flip flop



- 通过2个D型锁存器的级联，完成主从触发器
 - 时钟为低：第一级锁存器（master latch）的输出 = D输入
第二级锁存器（slave latch）的输出保持原结果
 - 时钟为高：第一级锁存器输出保持，第二级锁存器输出=第一级结果