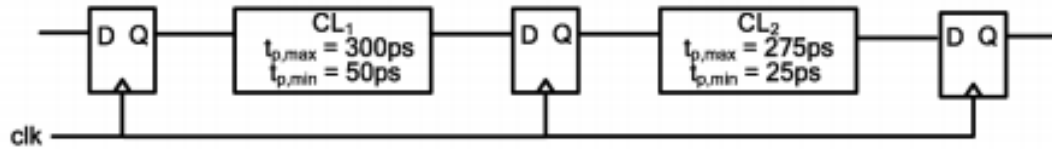
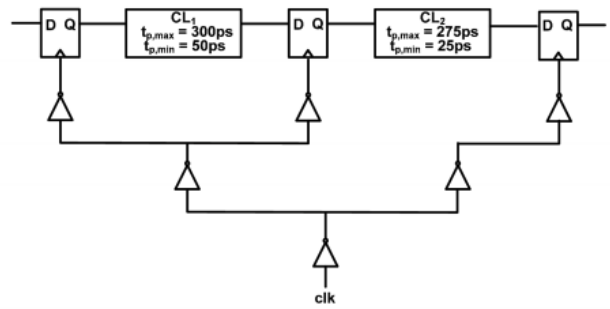


模拟与数字电路 作业（三）

1. 在如下图所示的同步时序电路中，已知组合逻辑 CL1 与 CL2 的最大最小延时分别由 $t_{p,max}$ 和 $t_{p,min}$ 标识，D 型触发器的 $t_{clk-q}=50ps$, $t_{setup}=25ps$ 。求：1) 该电路的最小时钟周期；



2. 若上述电路的时钟由右图所示的时钟驱动网络实现，其中每个反相器延时的数学期望是 50ps，存在最大 $\pm 20\%$ 的误差偏移，此时该电路的最小时钟周期是多少？



3. 设计一个同步序列检测电路，当二进制输入中出现 3 个连续的 1，则输出命中。当连续输入超过 3 个 1 时，从第一次命中后保持输出命中直到输入 0。

- (1) 基于 Moore 模型定义该检测电路的有限状态，化简后作状态转移图
- (2) 写出该状态机的 Verilog 硬件描述
- (3) 画出状态逻辑、输出逻辑的真值表，使用卡诺图化简表达式
- (4) 基于上述表达式，用 D 型触发器与基本逻辑门画出该检测电路的电路图