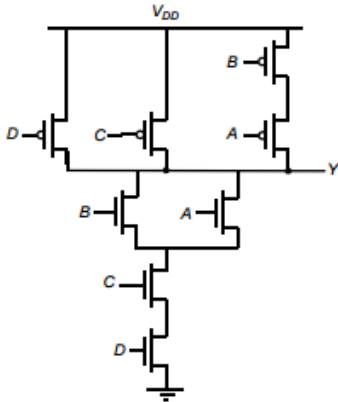


模拟与数字电路 作业（二）

1. 将 $(457.239)_{10}$ 转换为二进制。 $()_x$ 表示 x 进制

2. 根据 CMOS 开关导通原理, a) 画出下图逻辑门的真值表, b) 并写出逻辑表达式。



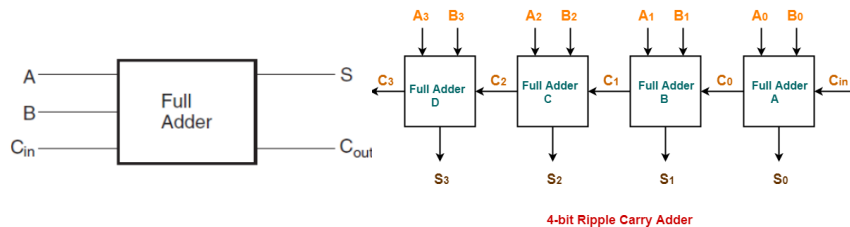
3. 使用代数法化简下列逻辑表达式:

a). $F = \overline{\overline{AC + \overline{ABC} + \overline{BC} + \overline{ABC}}}$ b). $F = A + \overline{AB} + \overline{AB} + \overline{AB}$

4. 使用卡诺图法化简下列逻辑表达式: $F(A, B, C, D) = \sum m(1, 2, 6, 7, 8, 9, 10, 13, 14, 15)$

5. (仿真题) 为了构建一个 N bit 加法器, 一般首先设计一个全加器, 其包括 A B C_{in} 三个输入和 S C_{out} 两个输出, 其中 C_{in} 和 C_{out} 上一级传递的进位和下一级接收的进位。其真值表如下左图所示。 N bit 加法器可通过级联 N 个全加器实现, 如下右图所示。

A	B	C_{in}	SUM (S)	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



a). 根据真值表写出全加器的逻辑表达式, 并使用卡诺图化简。

b). 根据逻辑表达式, 写出全加器的 Verilog 硬件描述: `module Full_Adder (...`

c). 基于全加器的 Verilog HDL, 设计一个 4 位加法器的顶层模块 `model Adder_4b`, 并写出 `testbench` 进行测试验证, 提交 `Adder_4b` 代码和仿真波形。