Reti Logiche

Report Prova Finale

Lavoro di gruppo svolto da

Alberto Cantele Andrea Cioccarelli

Codice persona: 10766393 Codice persona: 10713858

# Introduzione:

L’obiettivo di questa prova finale, è quello di codificare in VHDL un processore di tipo: Artix-7 FPGA xc7a200tfbg484-1.

Il progetto viene sviluppato attraverso la piattaforma di codifica Xilinx-Vivado e consiste nella realizzazione di un componente Hardware che dato un segnale in ingresso, identificato come indirizzo di memoria, restituisca in uscita il contenuto associato all’indirizzo preso dalla memoria stessa.

Il segnale di ingresso è di lunghezza variabile compresa tra 3 bit e 18.

I primi 2 bit del segnale identificano il canale di uscita del contenuto mentre i restanti bit identificano l’effettivo indirizzo di memoria.

| OUT (2 bit) | ADDRESS (16 bit) |
| --- | --- |

Qualora i bit di indirizzo non dovessero raggiungere la lunghezza complessiva di 16, il programma procederà all’estensione del segnale con i dovuti zeri.

Una volta identificato il canale di uscita e aver esteso il segnale a 16 bit, tramite un bit di “enable” il componente accede alla memoria e ne estrae il contenuto inserendolo nel canale di uscita precedentemente selezionato.

Infine il programma provvederà, nella fase di output, a erogare il contenuto se e solo se un bit di controllo “o\_done” viene settato a 1.

# Architettura:

L’architettura del componente sintetizzato presenza un modulo principale, questo si dirama in altri 2 sottomoduli: modulo 1 e modulo 2, i quali implementano nel dettaglio funzioni particolari svolte dal componente (come ad esempio l’estensione del segnale di ingresso a 16 bit, l’attivazione dei canali di uscita)

Il primo modulo si compone di una macchina a stati finiti, questa gestisce l’andamento del processo di elaborazione dell’input fino all’uscita del dato dal canale selezionato

Utilizza come porte logiche principali dei multiplexer che permettono la scelta dei canali da utilizzare e le eventuali trasformazioni dei segnali

**Modulo 1:**

FSM per l’estensione dei bit

**Modulo N:**

scrivere nel dettaglio con aiuto di codici e foto i moduli e i sotto moduli

# Risultati Sperimentali:

verificare con i test bench e allegare i risultati

allegare anche i test bench

# Conclusioni:

Difficoltà principali, risultati dei test

aspettative versus realtà