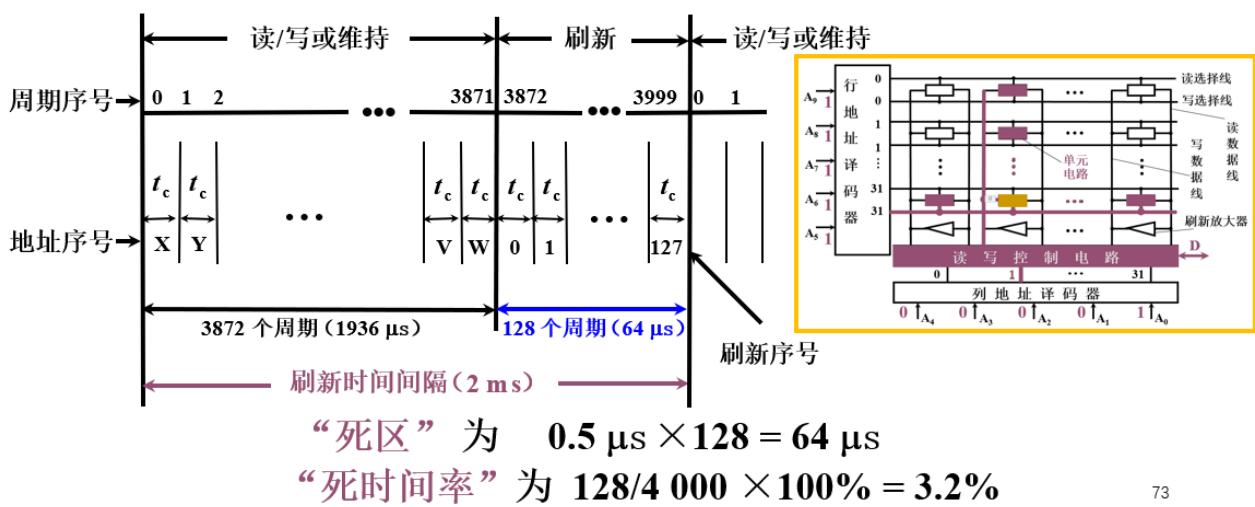


第四次作业习题讲解

1、以下哪个不是DRAM的刷新方式?

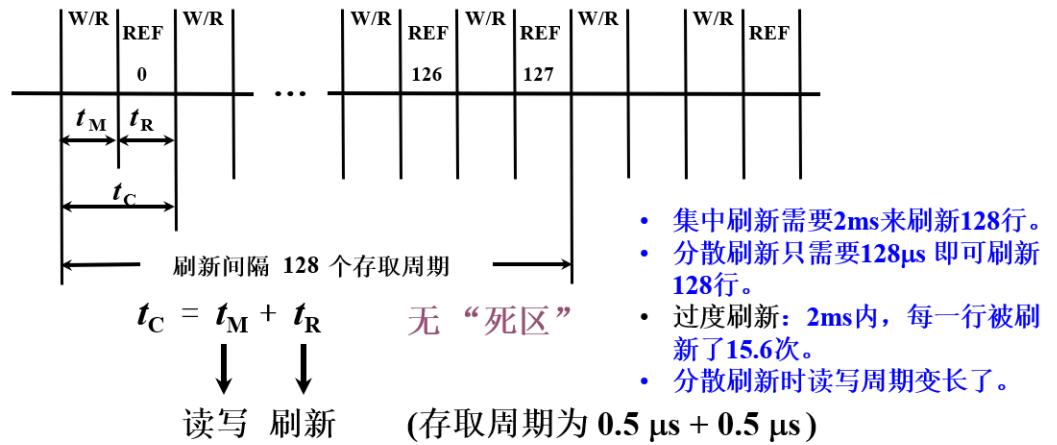
B. 同步刷新

① 集中刷新 (刷新周期一般为2ms, 存取周期为0.5 μs)



73

② 分散刷新 (存取周期为1 μs)



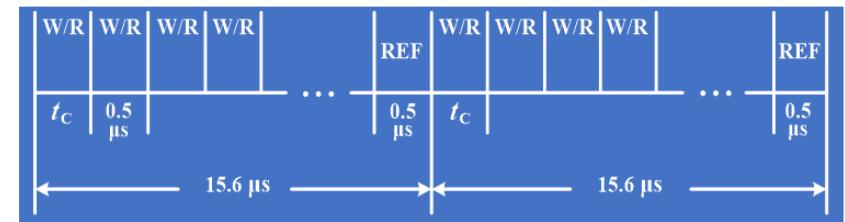
- 集中刷新需要2ms来刷新128行。
- 分散刷新只需要128μs即可刷新128行。
- 过度刷新: 2ms内, 每一行被刷新了15.6次。
- 分散刷新时读写周期变长了。

74

③ 分散刷新与集中刷新相结合 (异步刷新)

(存取周期为 $0.5 \mu s$)

把2ms分成128份, 每一份就是15.6μs, 每隔 15.6 μs 刷新一行



每行每隔 2 ms 刷新一次 “死区”为 $0.5 \mu s$
将刷新安排在指令译码阶段, 不会出现 “死区”

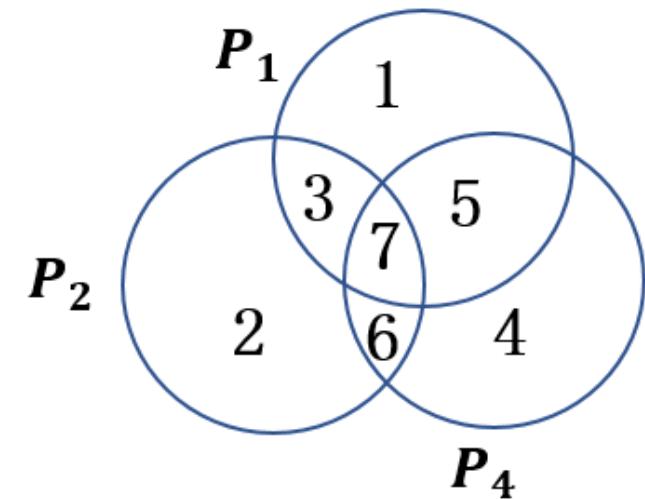
2、相比于SRAM，以下哪个不属于DRAM的特点？

C. 速度快

	DRAM	SRAM
基本存储元件	电容	触发器
集成度	高	低
芯片引脚	少	多
功耗	小	大
价格	低	高
速度	慢	快
刷新	有	无

3、写出以下代码对应的汉明码：

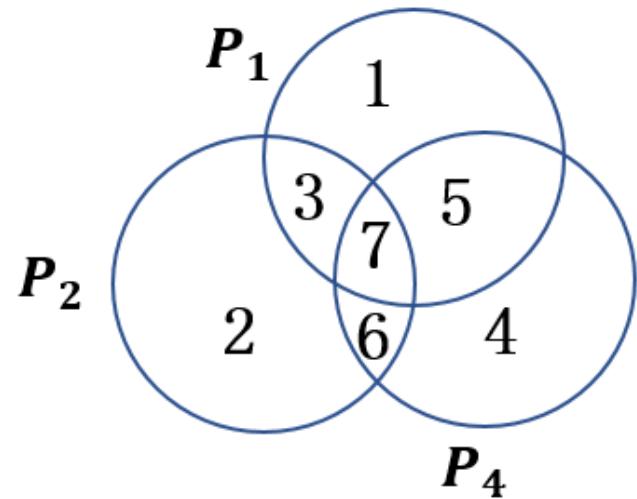
- 1) 1010按**配偶原则**生成的汉明码是 [填空1]
- 2) 1010按**配奇原则**生成的汉明码是[填空2]



二进制序号	1	2	3	4	5	6	7
名称	C_1	C_2	1	C_4	0	1	0
配偶原则	1	0		1			
配奇原则	0	1		0			

4、以下是接收到的汉明码按**配偶原则**配置，则：

1) 1100100的第 [填空1] 位出错，欲传送的原始代码是 [填空2]



$$P_4 = \text{位}4 \oplus \text{位}5 \oplus \text{位}6 \oplus \text{位}7 = 1$$

$$P_2 = \text{位}2 \oplus \text{位}3 \oplus \text{位}6 \oplus \text{位}7 = 1$$

$$P_1 = \text{位}1 \oplus \text{位}3 \oplus \text{位}5 \oplus \text{位}7 = 0$$

$$\therefore P_4 P_2 P_1 = 110 \quad \text{第 6 位错}$$

真实数据为0110

2) 1101111的第 [填空3] 位出错，欲传送的原始代码是 [填空4]

$$P_4 P_2 P_1 = 011 \quad \text{第 3 位错} \quad \text{真实数据为}1111$$

5、设CPU共有16根地址线，8根数据线，并用 \overline{MREQ} （低电平有效）作访存控制信号，R/ \overline{W} 作读/写命令信号（高电平为读，低电平为写）。现有这些存储芯片：ROM（ $2K \times 8$ 位， $4K \times 4$ 位， $8K \times 8$ 位），RAM（ $1K \times 4$ 位， $2K \times 8$ 位， $4K \times 8$ 位）及74138译码器和其他门电路（门电路自定）。试从上述规格中选用合适的芯片，画出CPU和存储芯片的连接图。要求如下：

(1) 最小4K地址为系统程序区，4096~16383地址范围为用户程序区。

(2) 指出选用的存储芯片类型及数量。

(3) 详细画出片选逻辑。

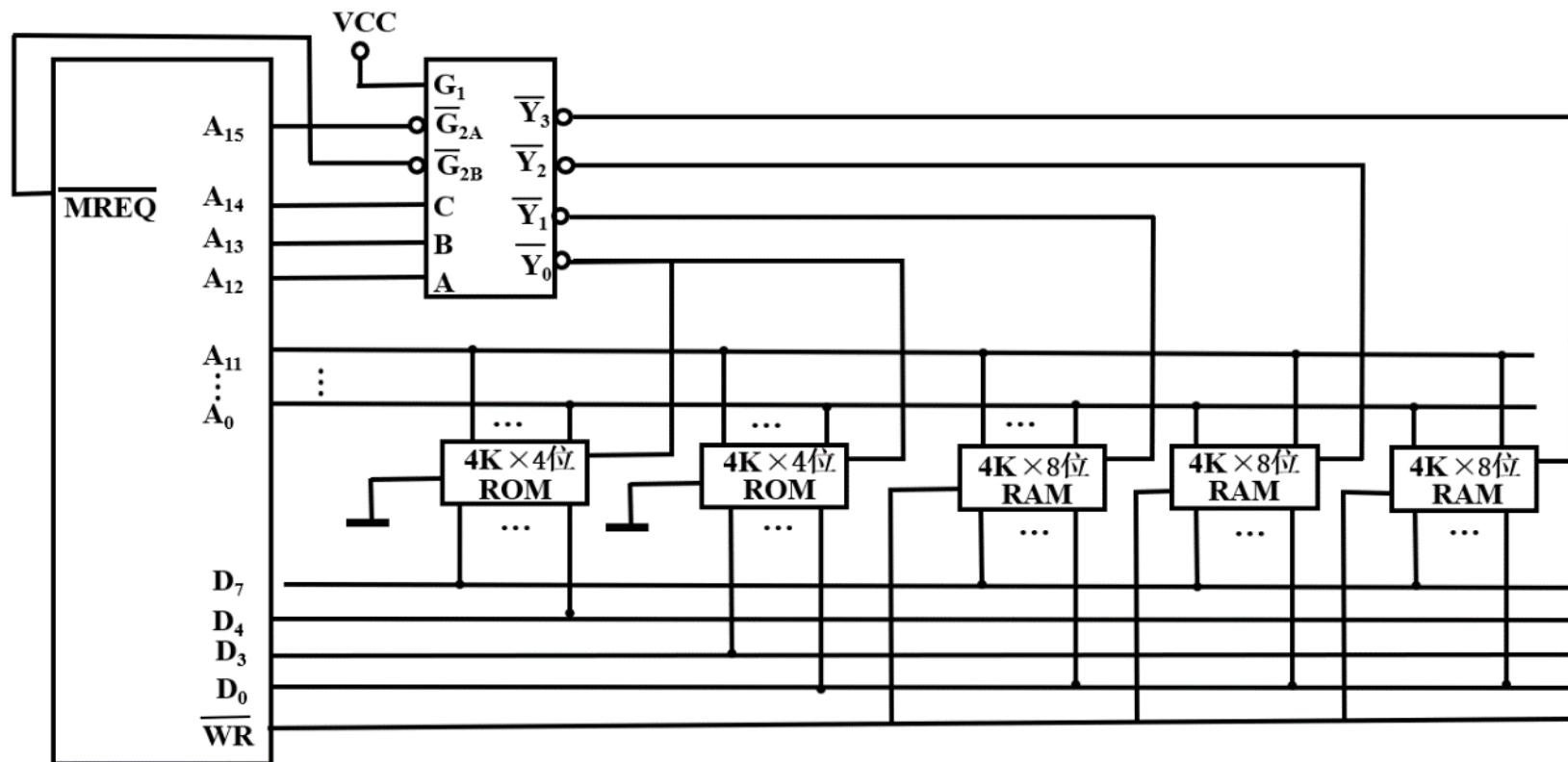
<u>15</u>	<u>14</u>	<u>13</u>	<u>12</u>	<u>11</u>	<u>10</u>	<u>9</u>	<u>1</u>	<u>0</u>	
0	0	0	0	0	0	0	<u>0</u>	<u>0</u>	系统程序区 2 片 ROM
0	0	0	0	1	1	1	<u>1</u>	<u>1</u>	共 4KB 共 $4K \times 4$ 位
0	0	0	1	0	0	0	<u>0</u>	<u>0</u>	用户程序区 3 片 RAM
0	0	1	1	1	1	1	<u>1</u>	<u>1</u>	共 12KB 共 $4K \times 8$ 位

5、设CPU共有16根地址线，8根数据线，并用 \overline{MREQ} （低电平有效）作访存控制信号，R/W作读/写命令信号（高电平为读，低电平为写）。现有这些存储芯片：ROM（ $2K \times 8$ 位， $4K \times 4$ 位， $8K \times 8$ 位），RAM（ $1K \times 4$ 位， $2K \times 8$ 位， $4K \times 8$ 位）及74138译码器和其他门电路（门电路自定）。试从上述规格中选用合适的芯片，画出CPU和存储芯片的连接图。要求如下：

(1) 最小4K地址为系统程序区，4096~16383地址范围为用户程序区。

(2) 指出选用的存储芯片类型及数量。

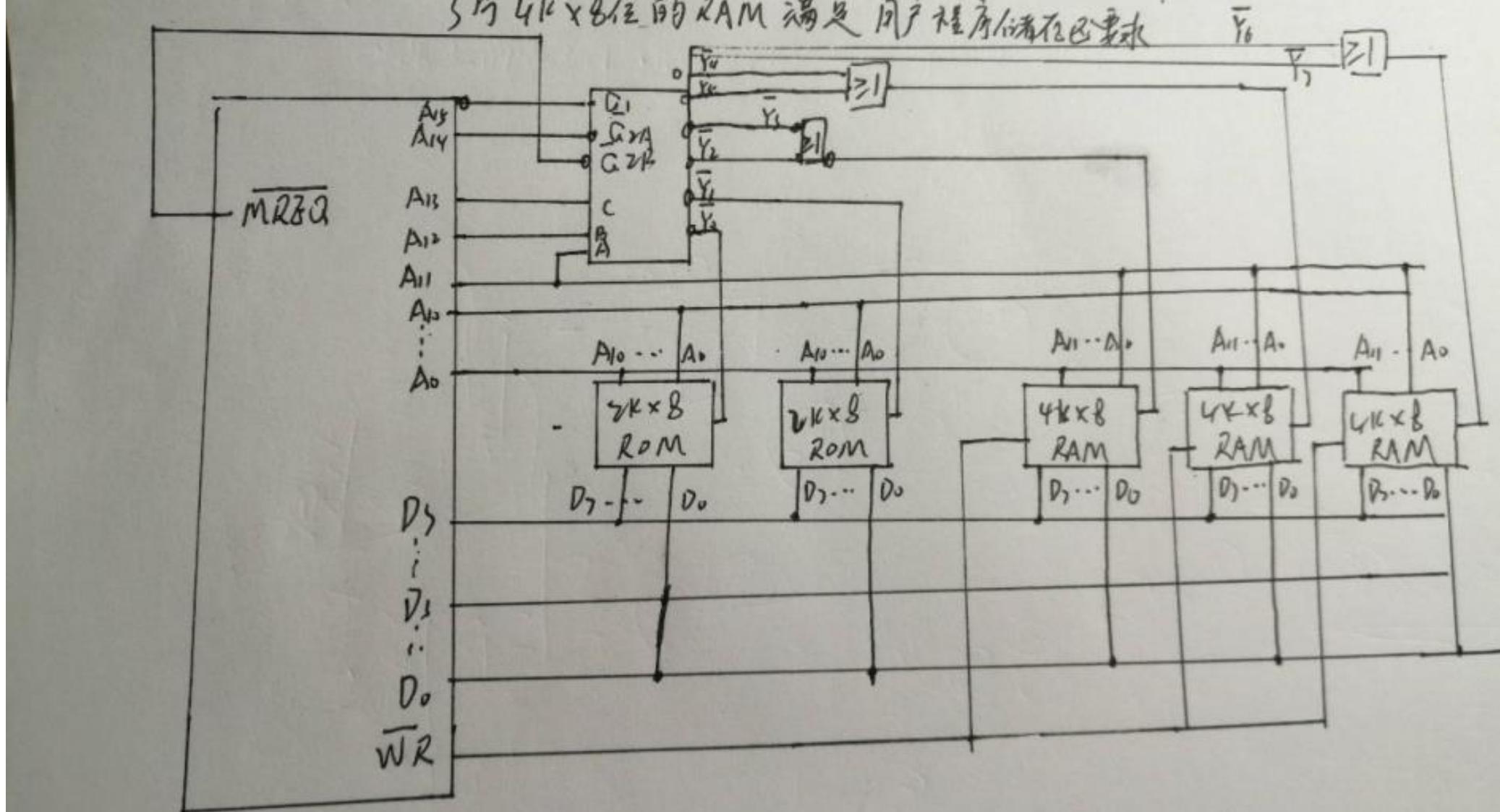
(3) 详细画出片选逻辑。



另解

1. 芯片选取：2片 $2k \times 8$ 位的ROM满足系统存储器要求

3片4K×8位的RAM满足用户程序储存的需求



6、设某机主存容量为16MB，**按字节寻址**，其中Cache容量为16KB，每字块有8个字，每字32位，设计一个四路组相联映射（即Cache每组内共有4个字块）的Cache组织。

(1) 画出主存地址字段中各段的位数。

(2) 设Cache的初态为空，CPU依次从主存第0,1,2,...,89号单元读出90个字（主存一次读出一个字），并重复按此次序读8次，问命中率是多少？

(3) 若Cache的速度是主存的5倍，试问有Cache和无Cache相比，速度约提高多少倍。

(4) 地址为ACDBFEH的主存单元会被映射到Cache中的第几组（**用十进制表示**，设起始组号为第0组）？

主存16M，地址24位

每字块8个字，按字节寻址，每个块是32字节，地址为5位

Cache 16K，地址14位；共 $16 * 1024 / 32 = 512$ 块，4路组相联，则有 $512 / 4 = 128$ 组，地址7位

主存字块标记	组地址	字块内地址
12	7	5

6、设某机主存容量为16MB，**按字节寻址**，其中Cache容量为16KB，每字块有8个字，每字32位，设计一个**四路组相联映射**（即Cache每组内共有4个字块）的Cache组织。

- (1) 画出主存地址字段中各段的位数。
- (2) 设Cache的初态为空，CPU依次从主存第0,1,2,...,89号单元读出90个字（主存一次读出一个字），并重复按此次序读8次，问命中率是多少？
- (3) 若Cache的速度是主存的5倍，试问有Cache和无Cache相比，速度约提高多少倍。
- (4) 地址为ACDBFEH的主存单元会被映射到Cache中的第几组（**用十进制表示**，设起始组号为第0组）？

- **0号未命中，1~7号命中：**初态Cache为空，读内存第0号单元的时候，会将0号单元所在一个块（8个字）**调入Cache的第0组的任意一块**，此时读1~7号单元就可以直接从Cache读取。
- **8号未命中，9~15号命中：**读内存第8号单元的时候，会将8号单元所在一个块（8个字）**调入Cache的第1组的任意一块**，此时读9~15号单元就可以直接从Cache读取。
- 依此类推，16、24、32、40、48、56、64、72、80、88号单元均未命中，剩余单元会命中
故读第一次时，未命中的单元有12个，剩余的都能命中；数据都已调入Cache，故后面的7次
都会命中
命中率为：
$$\frac{90 \times 8 - 12}{90 \times 8} \approx 98.33\%$$

6、设某机主存容量为16MB，**按字节寻址**，其中Cache容量为16KB，每字块有8个字，每字32位，设计一个**四路组相联映射**（即Cache每组内共有4个字块）的Cache组织。

(2) 设Cache的初态为空，CPU依次从主存第0,1,2,...,89号单元读出90个字（主存一次读出一个字），并重复按此次序读8次，问命中率是多少？

(3) 若Cache的速度是主存的5倍，试问有Cache和无Cache相比，速度约提高多少倍。

(4) 地址为ACDBFEH的主存单元会被映射到Cache中的第几组（**用十进制表示**，设起始组号为第0组）？

第一种计算方式

- 假设主存存取周期是 $5t$ ，Cache存取周期则为 t
- 没有Cache的时候，读取90个字需要的时间： $5t \times 90 \times 8$
- 有Cache的时候，读取90个字需要的时间： $5t \times 12 + t \times (90 \times 8 - 12)$
- 速度提升： $\lceil (5t \times 720) / (5t \times 12 + t \times 708) \rceil - 1 = 3.6875$

第二种计算方式

- 98.33%的命中率，则有Cache时的平均访问时间： $0.9833 \times t + (1 - 0.9833) \times 5t$
- 无Cache的平均访问时间： $5t$
- 速度提升： $(5t / [98.33\% \times t + (1 - 98.33\%) \times 5t]) - 1 \approx 3.687$ (或3.69)

6、设某机主存容量为16MB，按字节寻址，其中Cache容量为16KB，每字块有8个字，每字32位，设计一个四路组相联映射（即Cache每组内共有4个字块）的Cache组织。

(2) 设Cache的初态为空，CPU依次从主存第0,1,2,...,89号单元读出90个字（主存一次读出一个字），并重复按此次序读8次，问命中率是多少？

(3) 若Cache的速度是主存的5倍，试问有Cache和无Cache相比，速度约提高多少倍。

(4) 地址为ACDBFEH的主存单元会被映射到Cache中的第几组（用十进制表示，设起始组号为第0组）？

主存字块标记	组地址	字块内地址
12	7	5

- 地址：ACDBFEH
 - 主要看中间的主地址7位，即BF中的高7位， $BF = 1011\ 1111$ ，高七位为1011111
 - $1011111 = 64 + 16 + 15 = 95$
- 所以会被映射到Cache中的第95组

7、设主存容量为256K字，Cache容量为2K字，块长为4个字，每字32位，**按字寻址**，则：

- (1) 在直接映射方式下，设计主存地址格式。
- (2) 在四路组相联映射方式下，设计主存地址格式。
- (3) 在全相联映射方式下，设计主存地址格式。

块长为4个字，按字寻址，一个块占2个地址位；

主存容量为256K，总地址位数18

Cache 2K字，则有 $2K/4=512$ 个块

- 直接映射下，需要地址9位
- 4路组相联映射下，组数为 $512/4=128$ ，需要地址7位

直接映射

主存字块标记	Cache字块地址	字块内地址
7	9	2

四路组相联映射

主存字块标记	组地址	字块内地址
9	7	2

全相联映射

主存字块标记	字块内地址
16	2