

Министерство науки и высшего образования Российской Федерации
Федеральное государственное автономное образовательное учреждение высшего образования
«**Национальный исследовательский университет ИТМО**»

Факультет Программной инженерии и компьютерной техники

Лабораторная работа №2
по дисциплине «Функциональная схемотехника»

Вариант: 7

Преподаватель:
Табунщик Сергей Михайлович

Выполнил:
Захарченко Р. В.
Перминов Ю. К.

Группа: Р3331

Оглавление

Цели работы.....	3
Указания к выполнению работы.....	3
Вариант.....	3
Часть 1.....	4
Схема модуля умножения.....	4
Схема модуля взятия квадратного корня	5
Результат тестирования	6
Выводы:	7

Цели работы

1. Получить навыки описания арифметических блоков на RTL-уровне с использованием языка описания аппаратуры Verilog HDL.

Указания к выполнению работы

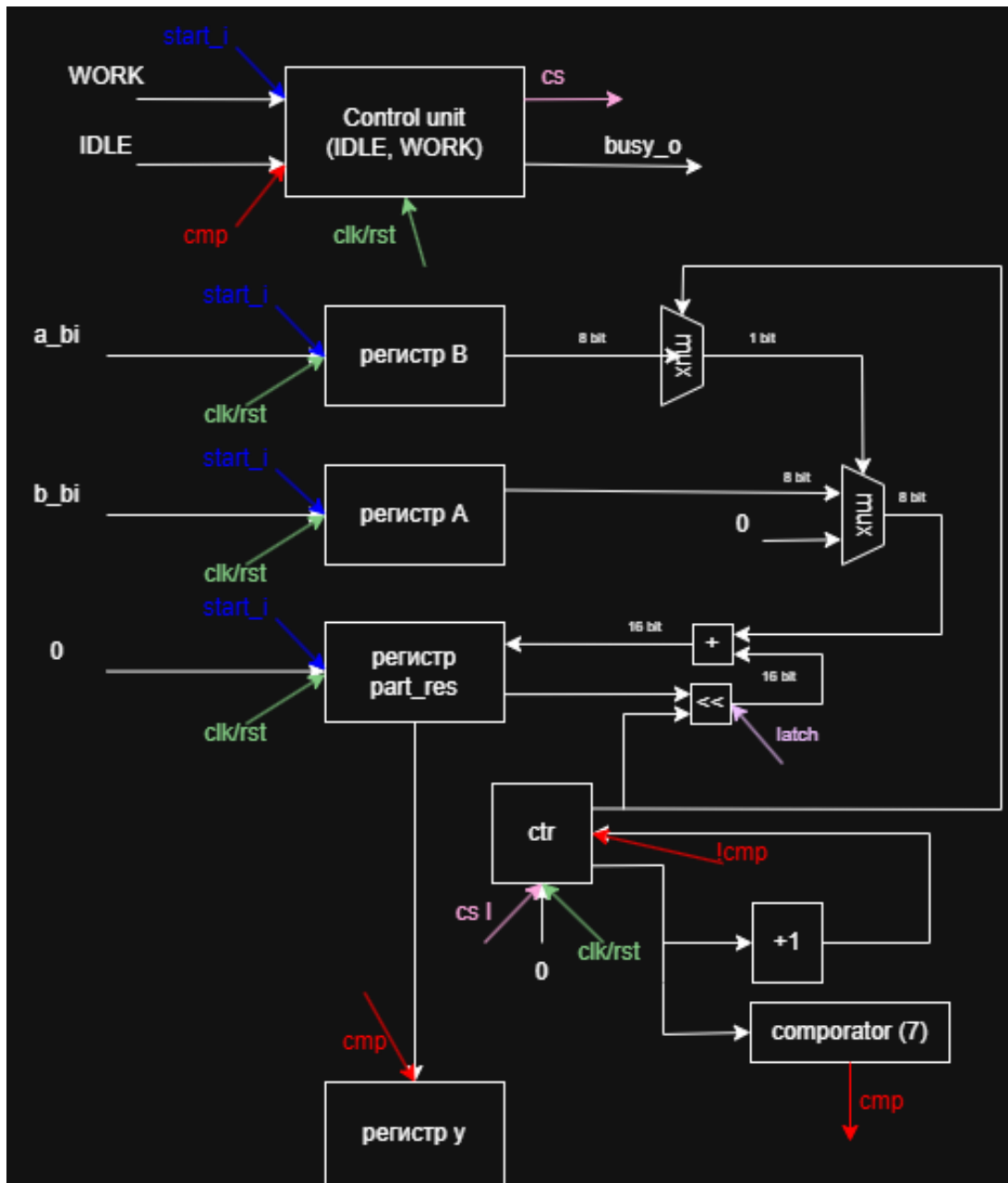
Лабораторная работа посвящена знакомству с техниками описания схем арифметических блоков на RTL-уровне с использованием языка Verilog HDL. Работа выполняется в ~~Vivado Design Suite~~ VSCode + Icarus Verilog .

Вариант

7	$y = a \cdot \sqrt{b}$	2 сумматора и 2 умножителя
---	------------------------	----------------------------

Часть 1

Схема модуля умножения

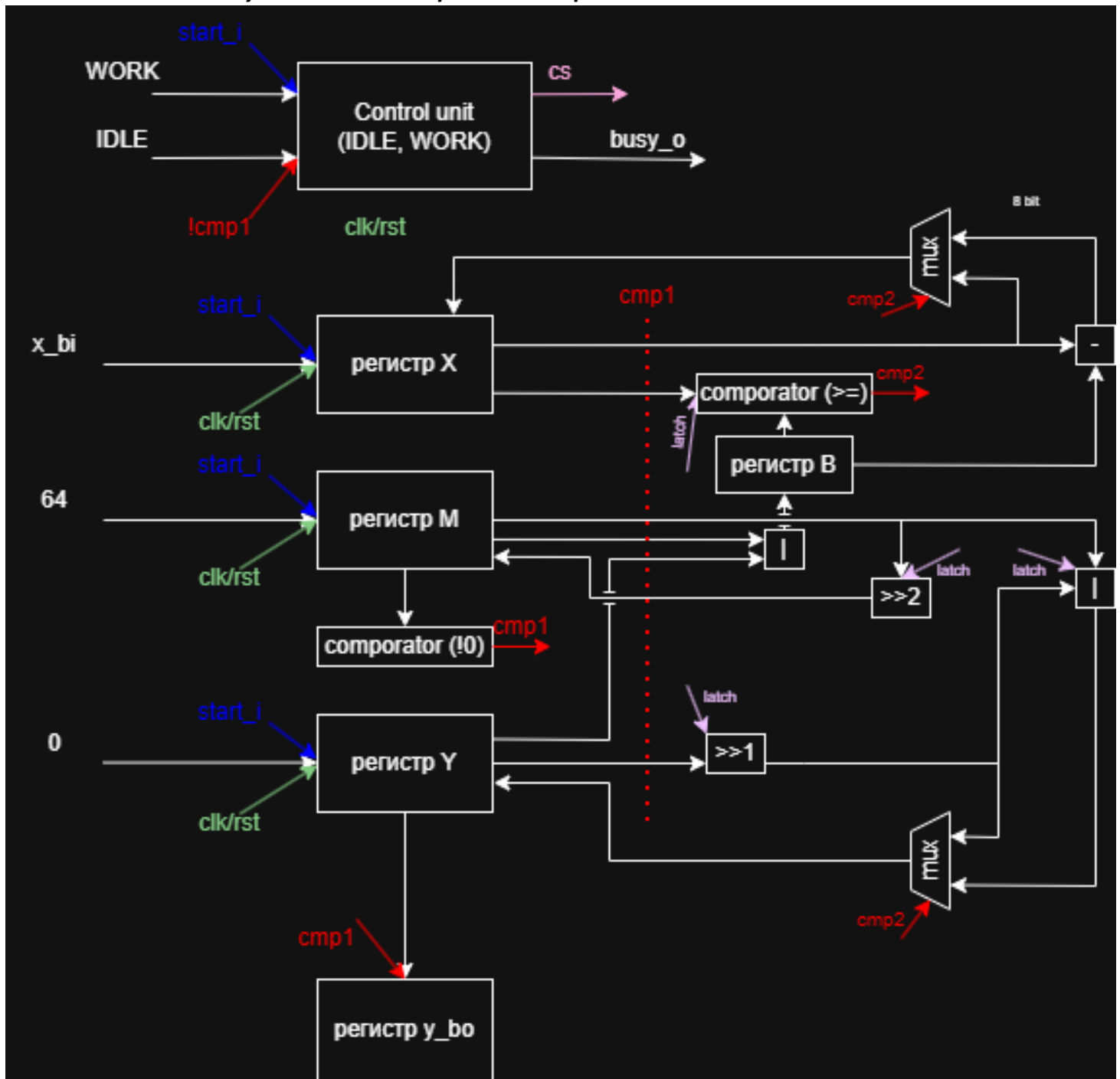


Описание:

Подается стартовый сигнал, Control Unit переходит в состояние WORK а так же заполняются регистры В – b_bi , А – a_bi , part_res – 0, ctr – 0. Далее регистры А и В передается в мультиплексоры и ждут результата компаратора. Компаратор сравнивает $ctr == 7$ и в случае положительного результата выполняет алгоритм иначе Control Unit переходит в состояние IDLE а значение part_res записывается в y_bo . Если $7 \neq ctr$ выбираем бит под номером ctr из регистра В если это 1 до берём регистр а и складываем его с результатом сдвинутым на ctr и записываем результат в ctr, если бит 0 то аналогичное делаем только с 0. И только после этого всего увеличиваем ctr на 1.

ОДЗ: $a_bi \in [0, 255]$ $b_bi \in [0, 255]$ $start_i \in \{0,1\}$

Схема модуля взятия квадратного корня



Описание:

Подаётся стартовый сигнал, Control Unit переходит в состояние WORK а так же заполняются регистры $X \leftarrow x_bi$, $M \leftarrow 64$, $Y \leftarrow 0$. Далее проверяется $m \neq 0$ если оно выдаёт положительный сигнал т.е. True происходят все действия после некой линии $cmp1$ иначе Control Unit переходит в состояние IDLE а значение Y записывается в y_bo . Если $cmp1 == 1$ сначала происходит $b = y \mid m$ далее $y = y \gg 1$ далее происходит $x = x - b$ и $y = y \mid m$. Далее проверяется компаратор и в зависимости от его результата выбираются значения x и y . После этого происходит $m = m \gg 2$. И заново проверяется компаратор 1.

ОДЗ: $x_bi \in [0, 255]$ $start_i \in \{0,1\}$

Общее одз: $a_bi \in [0,255]$, $b_bi \in [0,255]$, $start_i \in \{0,1\}$

Результат тестирования

```
> iverilog -Y.sv -y. -y src -o out\sqrt_mult_system_tb.v.out  
src\sqrt_mult_system_tb.v
```

Compilation finished with exit code 0

```
> vvp sqrt_mult_system_tb.v.out
```

VCD info: dumpfile wave.vcd opened for output.

1: 4*sqrt(16)=16 (exp 16)

2: 5*sqrt(25)=25 (exp 25)

3: 3*sqrt(2)=3 (exp 3)

4: 0*sqrt(100)=0 (exp 0)

5: 8*sqrt(0)=0 (exp 0)

6: 1*sqrt(1)=1 (exp 1)

7: 255*sqrt(255)=3825 (exp 3825)

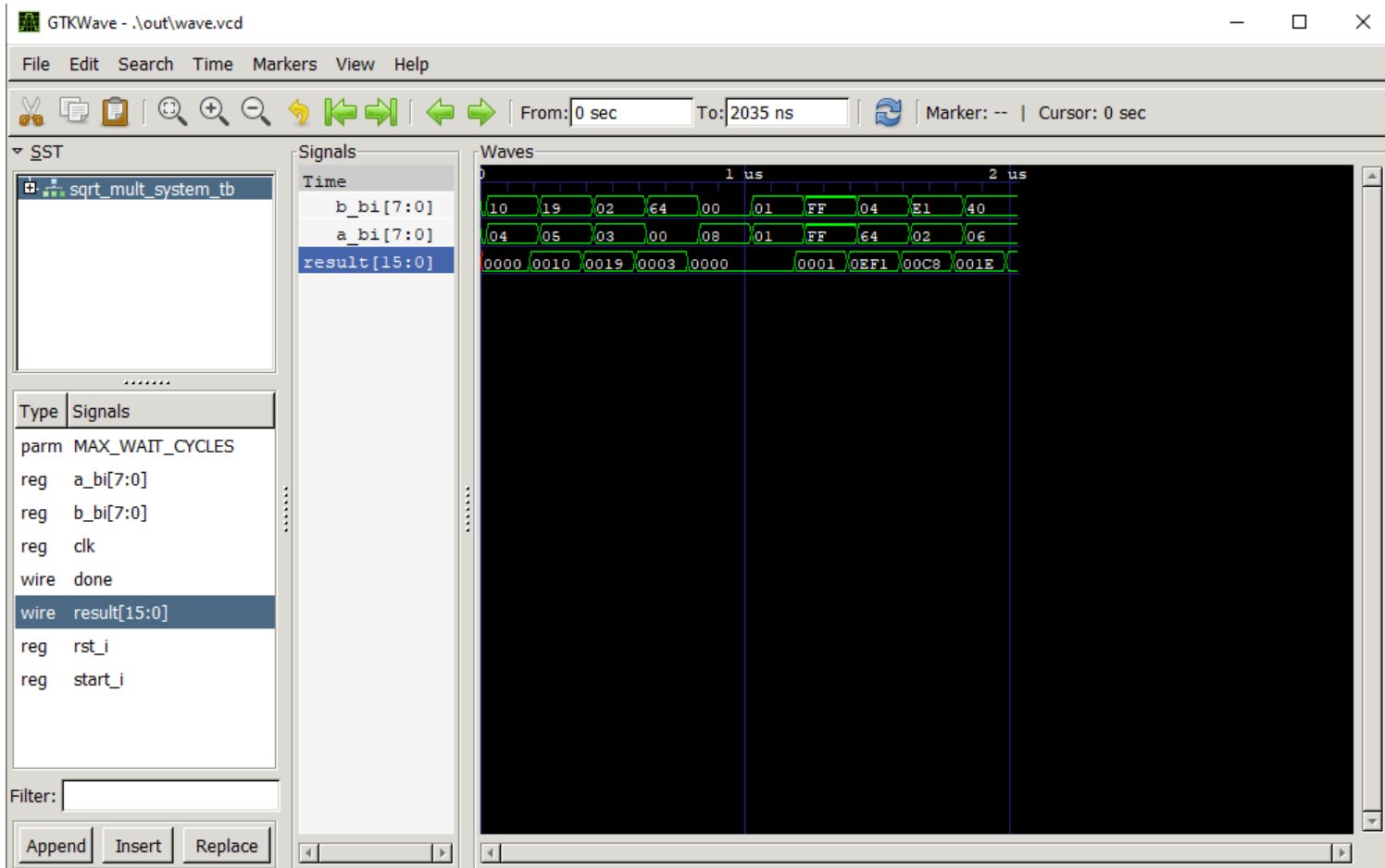
8: 100*sqrt(4)=200 (exp 200)

9: 2*sqrt(225)=30 (exp 30)

10: 6*sqrt(64)=48 (exp 48)

src\sqrt_mult_system_tb.v:45: \$finish called at 2035000 (1ps)

Execution finished with exit code 0



Выводы:

В ходе выполнения лабораторной работы был разработан и описан на Verilog HDL арифметический блок, реализующий вычисление функции с использованием операций квадратного корня и умножения. Были определены области допустимых значений входных и выходных сигналов, обеспечена корректная работа конечного автомата управления и правильное накопление результатов без риска переполнения.

Проведено тестирование блока на более чем 10 тестовых векторах, моделирование подтвердило корректность работы схемы и соответствие результатов ожидаемым значениям функции. Время вычисления результата при частоте тактового сигнала 100 МГц соответствует количеству шагов алгоритма, что демонстрирует правильность архитектуры и практическое освоение методов проектирования арифметических блоков на RTL-уровне.