Министерство науки и высшего образования Российской Федерации

Федеральное государственное автономное образовательное учреждение высшего образования

«**Национальный исследовательский университет ИТМО**»

Факультет Программной инженерии и компьютерной техники

Лабораторная работа **№2**

по дисциплине «Функциональная схемотехника»

Вариант: **7**

**Преподаватель:** Табунщик Сергей Михайлович

**Выполнил:**

Захарченко Р. В.

Перминов Ю. К.

**Группа:** Р3331

Санкт-Петербург, 2025

***Оглавление***

[***Цели работы*** 3](#_Toc211822484)

[***Указания к выполнению работы*** 3](#_Toc211822485)

[***Вариант*** 3](#_Toc211822486)

[***Часть 1*** 4](#_Toc211822487)

[***Схема модуля умножения*** 4](#_Toc211822488)

[***Схема модуля взятия квадратного корня*** 5](#_Toc211822489)

[***Результат тестирования*** 6](#_Toc211822490)

[***Выводы:*** 7](#_Toc211822491)

# ***Цели работы***

1. Получить навыки описания арифметических блоков на RTL-уровне с использованием языка описания аппаратуры Verilog HDL.

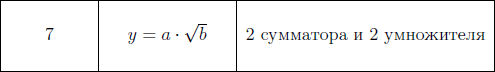
# ***Указания к выполнению работы***

Лабораторная работа посвящена знакомству с техниками описания схем арифме-

тических блоков на RTL-уровне с использованием языка Verilog HDL. Работа выпол-

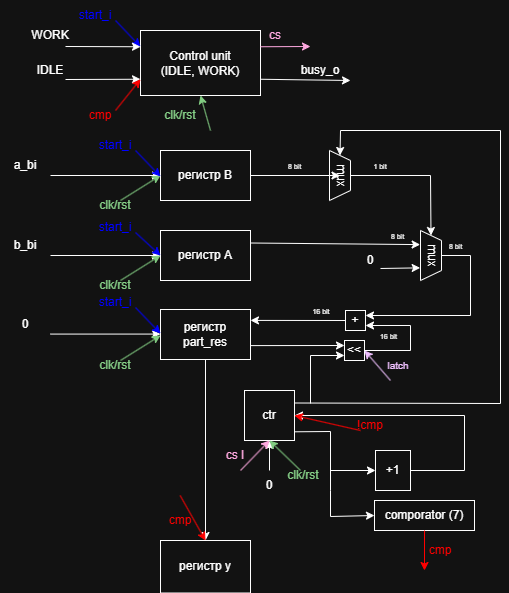
няется в ~~Vivado Design Suite~~ VSCode + Icarus Verilog .

# ***Вариант***



# ***Часть 1***

## ***Схема модуля умножения***



**Описание:**

Подаётся стартовый сигнал, Control Unit переходит в состояние WORK а так же заполняются регистры B – b\_bi, A – a\_bi, part\_res – 0, ctr – 0. Далее регистры А и В передаётся в мультиплексоры и ждут результата компаратора. Компаратор сравнивает ctr == 7 и в случае положительного результата выполняет алгоритм иначе Control Unit переходит в состояние IDLE а значение part\_res записывается в y\_bo. Если 7 != ctr выбираем бит под номером ctr из регистра В если это 1 до берём регистр а и складываем его с результатом сдвинутым на сtr и записываем результат в сtr, если бит 0 то аналогичное делаем только с 0. И только после этого всего увеличиваем ctr на 1.

**ОДЗ:** a\_bi ∈ [0, 255] b\_bi ∈ [0, 255] start\_i ∈ {0,1}

## D:\Учёба\ITMO\3 курс\ФУНКЦСХЕМАТЧ\lab2\docs\sqrt.png***Схема модуля взятия квадратного корня***

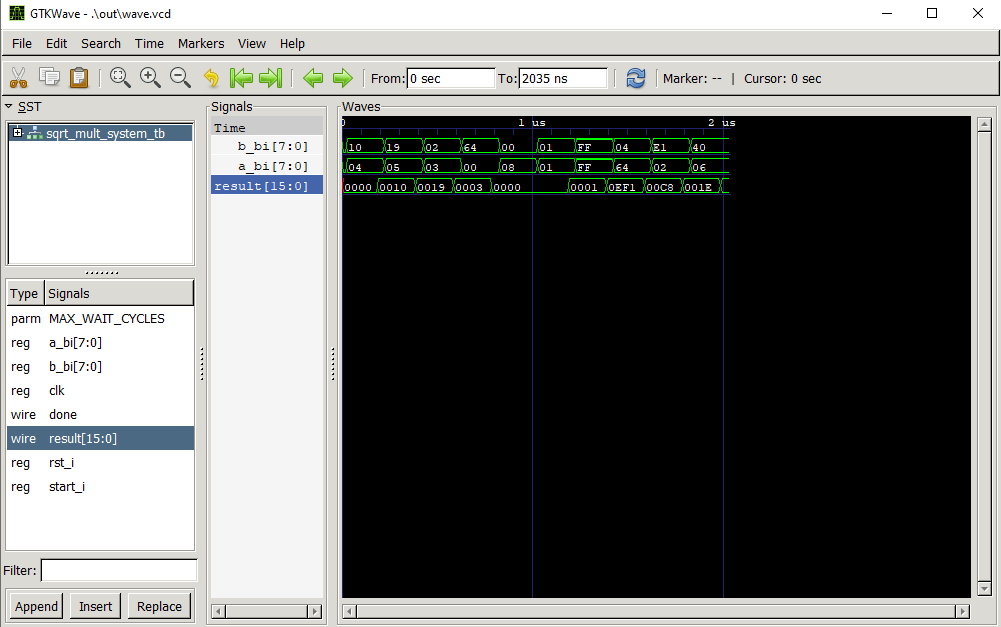
**Описание:**

Подаётся стартовый сигнал, Control Unit переходит в состояние WORK а так же заполняются регистры X – x\_bi, M – 64, Y – 0. Далее проверяется m != 0 если оно выдаёт положительный сигнал т.е. True происходят все действия после некой линии cmp1 иначе Control Unit переходит в состояние IDLE а значение Y записывается в y\_bo. Если cmp1 == 1 сначала происходит b = y | m далее y = y >> 1 далее происходит x = x – b и y = y | m. Далее проверяется компаратор и в зависимости от его результата выбираются значения x и y. После этого происходит m = m >> 2. И заново проверяется компаратор 1.

**ОДЗ:** x\_bi ∈ [0, 255] start\_i ∈ {0,1}

**Общее одз**: a\_bi ∈ [0,255], b\_bi ∈ [0,255], start\_i ∈ {0,1}

# ***Результат тестирования***



# ***Выводы:***

В ходе выполнения лабораторной работы был разработан и описан на Verilog HDL арифметический блок, реализующий вычисление функции с использованием операций квадратного корня и умножения. Были определены области допустимых значений входных и выходных сигналов, обеспечена корректная работа конечного автомата управления и правильное накопление результатов без риска переполнения.

Проведено тестирование блока на более чем 10 тестовых векторах, моделирование подтвердило корректность работы схемы и соответствие результатов ожидаемым значениям функции. Время вычисления результата при частоте тактового сигнала 100 МГц соответствует количеству шагов алгоритма, что демонстрирует правильность архитектуры и практическое освоение методов проектирования арифметических блоков на RTL-уровне.