Sync\_fifo模块

# 作用

实现在同一个时钟下，同步得往fifo中存取数据的操作

# 参数说明

module top\_sync\_fifo(

input clk, //读写使用同一个时钟

input rst, //复位信号，empty和full在复位信号使能的情况下分别为1和0

input wena, //写请求信号

input rena, //读请求信号

input [`DATA\_BIT - 1: 0] wdata, //写的数据

output [`DATA\_BIT - 1: 0] rdata, //读的数据

output empty, //fifo为空标志，高电平有效

output full //fifo为满标志，高电平有效

);

# 设计流程

单时钟FIFO的RTL级视图如图1所示，采用在clk上升沿处理empty和full标志给出valid\_w和valid\_r信号读或者写dpram，在clk的下降沿根据valid\_w和valid\_r修改wptr和rptr。

在status中包含两个inc累加器，单时钟FIFO[1]的整体视图如图2所示，在clk下降沿检查是否有使能信号，如果有使能信号输出加一，用这两个累加器来计算读写指针

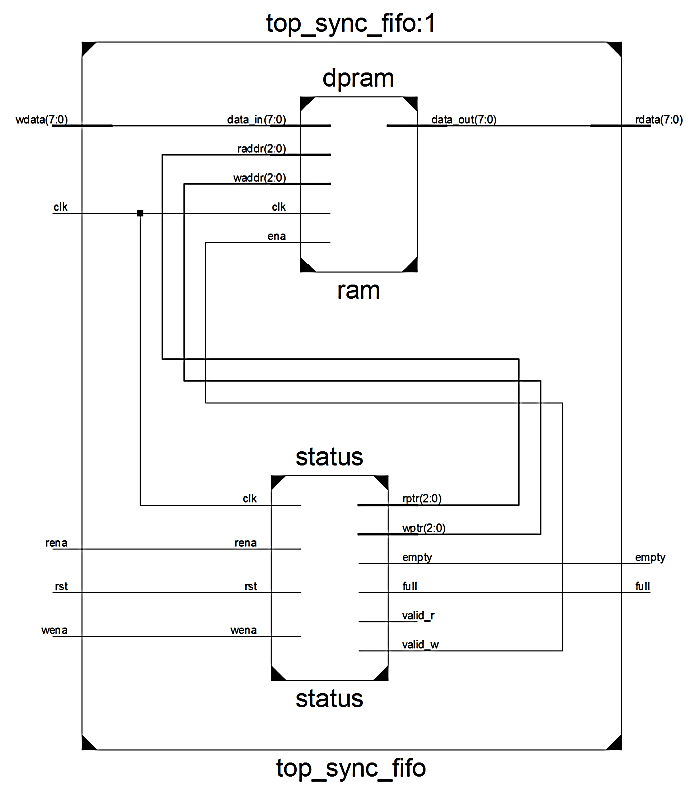


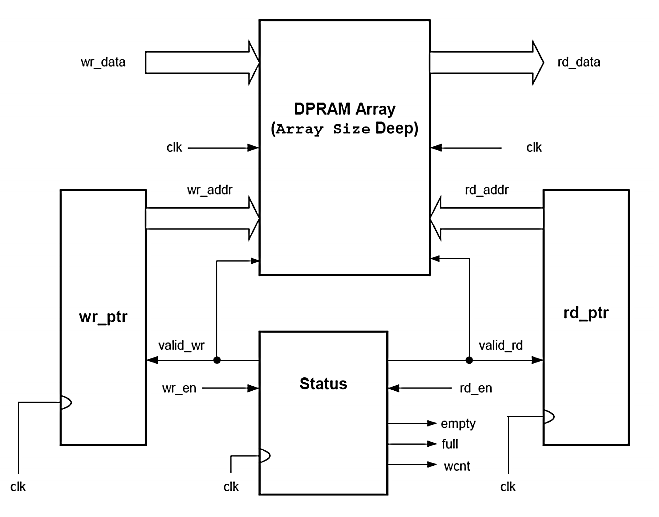
图1 sync\_fifo RTL视图

图2 fifo结构图

# 设计要点

1. 处理满和空标志，在一些特殊的读写节点要特殊处理

满标志（高电平有效）：

|  |  |  |
| --- | --- | --- |
| Rst ==1 | Rena | wena且rptr ==wptr + 1 |
| 0 | 0 | 1 |

空标志（高电平有效）

|  |  |  |
| --- | --- | --- |
| Rst ==1 | wena | rena且wptr ==rptr + 1 |
| 1 | 0 | 1 |

1. 初始状态，读写指针置0，当要往fifo中写入数据时，在clk上升沿先写入dpram，在clk下降沿wptr+1（wptr：即下一次要写入数据的位置），当要读fifo中的数据时，数据一直在送在数据总线上，读好数据，rptr+1（rptr：即下一次要读取数据的位置）。所以判断dpram的满和空的情况如图4所示 ，当wptr+1 == rptr时，dpram为满，当rptr+1 == wptr时，dpram为空

图3 读写指针修改方式



图4 dpram空满标志判断

**References:**

[1]. Nebhrajani, V.A., 异步FIFO结构, 2006.