add32模块和sub32模块

# 作用：

add32：32位无符号数和有符号数加法操作

sub32：32位无符号数和有符号数减法操作

# 参数说明：

module add32(

input [31:0] a, //32bit inputA

input [31:0] b, //32bit inputB

input aluc, //1: signed add or 0: unsigned add

output reg [31:0] c, //32bit output

output reg flag //overflow flag

);

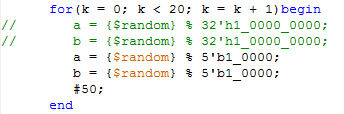
# 设计流程

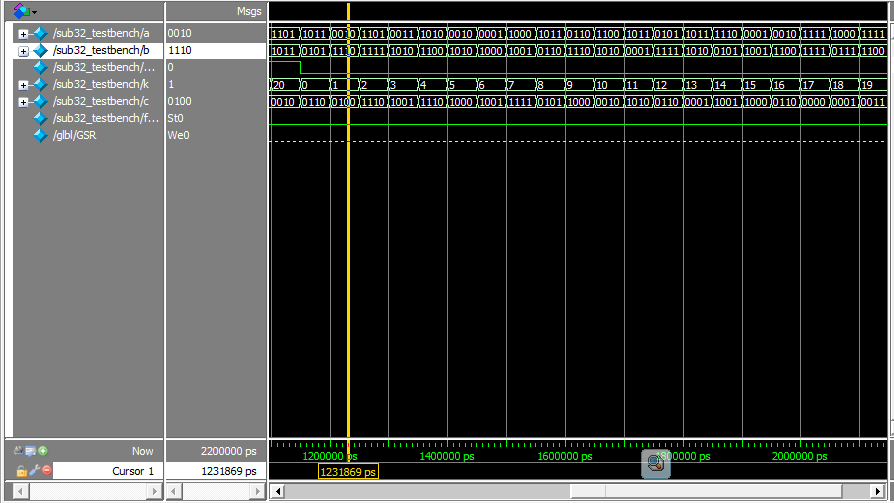


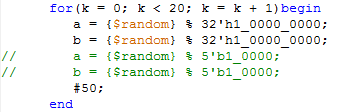
# 设计要点

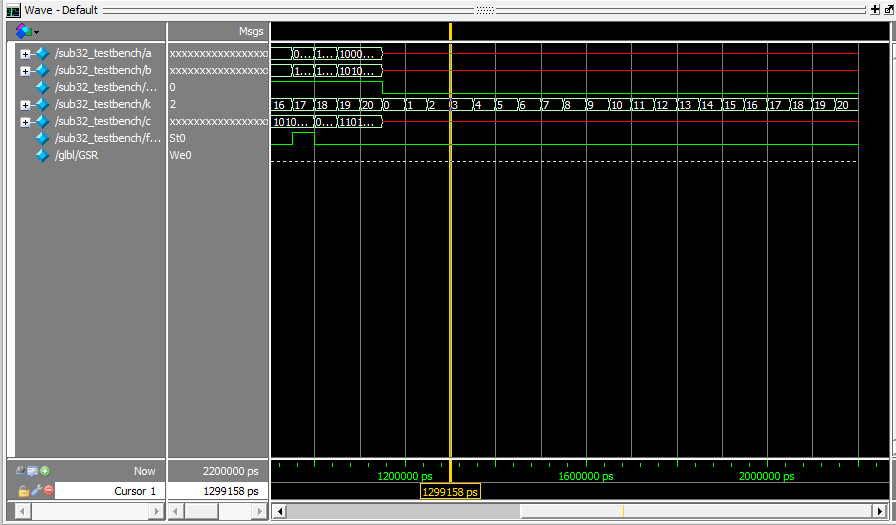
无符号数加法[1]：这个名字是有点用词不当的，其实它是一个32位余的加法操作，所以它没有溢出一说

$random[2]：verilog系统调用，最大支持32位随机数









Modelsim错误：

**References:**

[1] MIPS, MIPS32TM Architecture For Programmers Volume II: The MIPS32 Instruction Set, in: ADD和ADDU (Ed.).

[2] 夏宇闻, Verilog 数字系统设计教程, 北京航空航天大学出版社.