

임베디드하드웨어설계

실습 2: Verilog의 dataflow 모델링 논리 설계

1. 2×1 멀티플렉서 (mux2)

- (1) 4비트 2×1 멀티플렉서를 조건연산자를 사용하여 설계하고(모듈 mux2) testbench를 작성하여 동작을 검증하시오.
- (3) (1)에서 설계한 멀티플렉서를 parameter를 사용하여 멀티플렉서의 데이터 비트 수를 지정하여 다른 비트 수에 대해서 재사용될 수 있도록 수정하여 설계하시오. 이 모듈에서 비트 수는 기본적으로 8로 지정하고, testbench에서는 (1)에서와 같이 4비트인 mux2 모듈 인스턴스를 사용하여 동작을 검증하시오.

2. 비교기 설계

- (1) lt, gt, eq의 세출력을 제공하는 1비트 비교기(comparator1)와 두 비교기의 출력을 결합하여 더 큰 비교기의 출력을 생성하는 회로(combine)를 부울함수식을 사용하여 설계하시오.
 - (2) 2비트 비교기(comparator2)를 (1), (2)에서 설계한 모듈을 구조적 모델링으로 계층적으로 사용하여 설계하시오. 여기서 2비트 비교기의 입력 신호들은 vector형 신호를 사용하시오.
 - (3) testbench 모듈(tb_comparator2)에서 적절한 입력신호 파형을 공급하여 2비트 비교기(comparator2)의 동작을 검증하시오.
- (한 개의 파일에 여러 개의 모듈을 포함하여 설계해도 됨)

3. 고급 연산자를 사용한 비교기 설계 (cmp)

- (1) lt, gt, eq의 세 출력을 제공하는 2비트 비교기를 부울함수가 아닌 비교 연산자를 사용하여 설계하고 2번에서 작성했던 testbench 모듈을 그대로 사용하여 동작을 검증하시오.
- (2) 이 설계를 2번의 설계와 비교하여 보시오.