

임베디드하드웨어설계

실습 6 : 산술연산장치

1. 4비트 가감산기 설계 : 덧셈, 뺄셈 연산자를 사용한 구현

- (1) 강의자료를 참고하여 다음 입출력을 갖는 4비트 가감산기를 + 연산자를 사용하고, 뺄셈은 2의 보수 덧셈으로 설계하시오. 그리고 회로의 동작을 시뮬레이션으로 확인하시오.

입력: a, b(4비트), cin (올림수 또는 빌림수 입력)

제어입력 : sub (1이면 뺄셈, 0이면 덧셈)

출력: s(4비트) cout (올림수 또는 빌림수 출력)

- (2) 4비트 가감산기를 +와 - 연산자를 사용한 동작적 모델로 설계하고 시뮬레이션으로 동작을 확인하시오.
- (3) 1번과 2번의 합성된 상태를 Technology Map Viewer 메뉴로 대략적으로 확인하고, Compilation Report를 참조하여 사용한 Logic Element 개수를 비교하여 두 설계의 합성결과를 비교하시오 어느 설계가 더 편리한가?

2. 클럭 주파수 분주기 설계

- (1) 0부터 N-1까지 계수하는 modulo-N 카운터를 설계하시오. (6장 강의자료 counterN 모듈 참조)
- (2) (1)에서 설계한 modulo-N 카운터 모듈을 다음과 같이 사용하여 1Hz 클럭 주파수 분주기를 설계하시오.

1. 0부터 24,999,999까지 계수하는 modulo-25,000,000 카운터를 적절한 parameter 값을 사용하고 modulo-N 카운터의 enable 신호는 항상 1을 공급하여 설계하시오. (이 카운터는 매 클럭마다 카운트 동작을 수행하며, 카운터가 24,999,999일 때에 TC(terminal count) 출력이 1이 된다.)

```
module clk1hz(CLK50, clk1);
```

```
    counterN u1 #(?, ?) ( ... );
```

```
endmodule
```

2. 실습키트에서 제공하는 50MHz 클럭(CLK50)을 (2)번에서 설계한 카운터의 클럭으로 사용하고, 이 클럭의 상승에지에서 TC가 1이면 CLK1 신호를 반전시키는 회로를 추가하여 1Hz 클럭 신호 CLK1를 발생시키는 회로를 설계하고, CLK1 신호를 LED에 연결하여 LED가 1초마다 깜박이는 지 확인하시오.

- (3) (2)에서 설계한 회로가 어떻게 1Hz 클럭을 발생시키는 지 설명하시오.

3. (필수) 이번 실습에서 어려웠던 사항과 배운 내용을 적으시오,

제대로 하지 못한 경우에도 어떤 사항이 어려워서 진행을 못하였는 지를 적으시오.