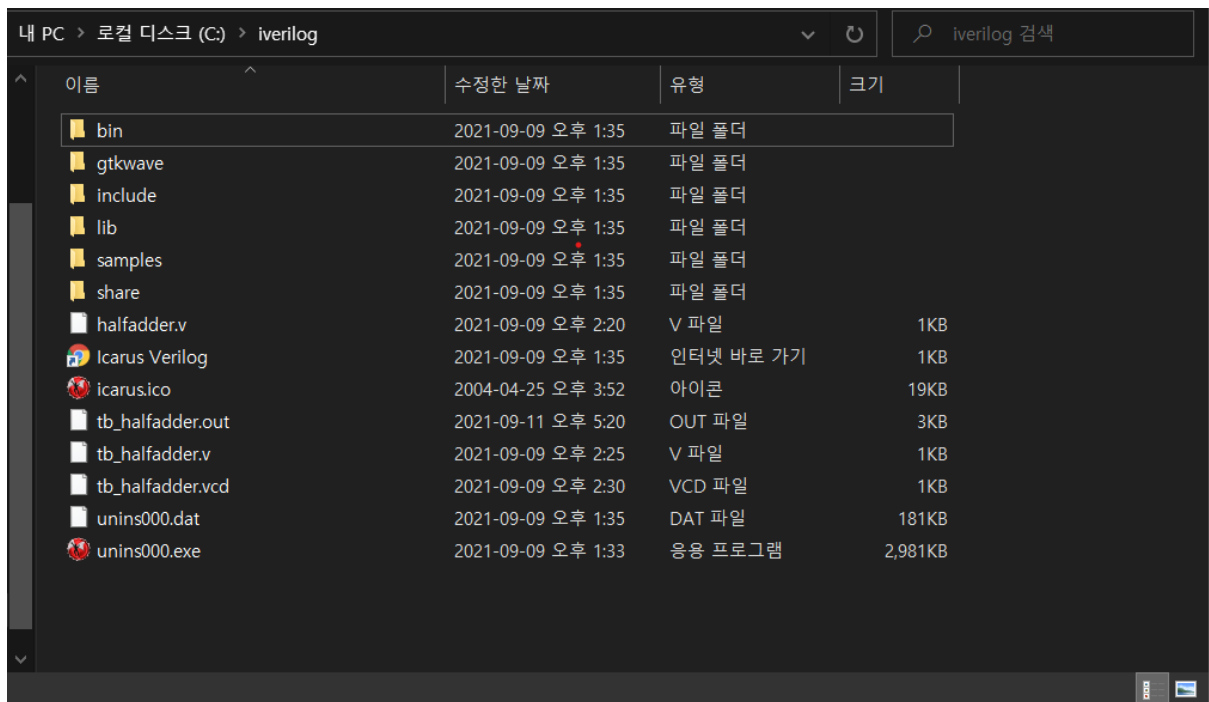


< 실습과제 1 >

2017253041_홍성우

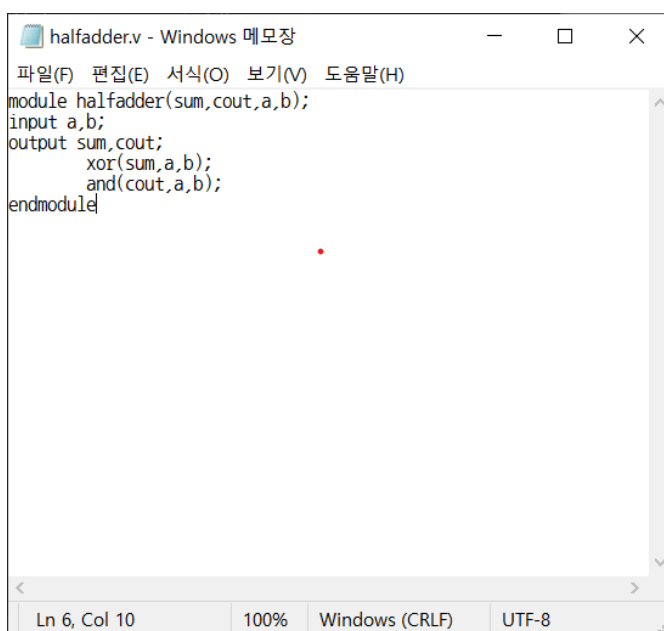
#1

(1)

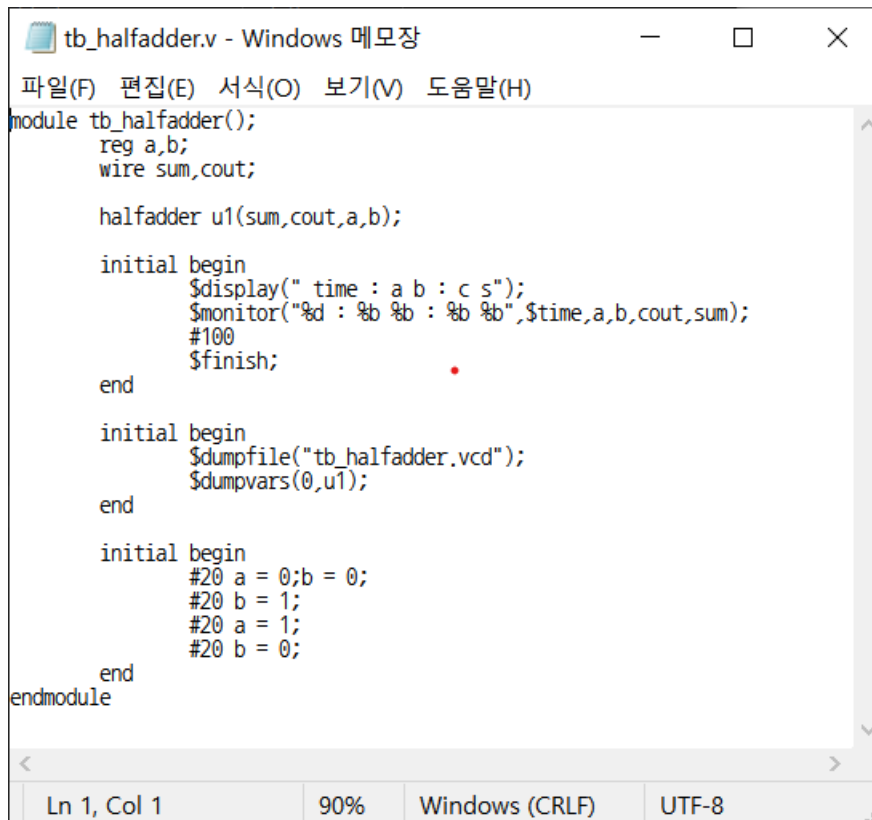


(2)

반가산기 설계 파일:



테스트벤치 파일:



```
tb_halfadder.v - Windows 메모장
파일(F) 편집(E) 서식(O) 보기(V) 도움말(H)
module tb_halfadder();
    reg a,b;
    wire sum,cout;

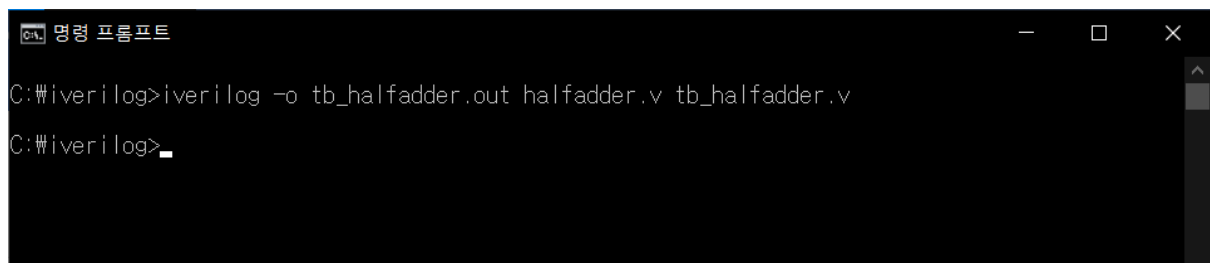
    halfadder u1(sum,cout,a,b);

    initial begin
        $display(" time : a b : c s");
        $monitor("%d : %b %b : %b %b", $time,a,b,cout,sum);
        #100
        $finish;
    end

    initial begin
        $dumpfile("tb_halfadder.vcd");
        $dumpvars(0,u1);
    end

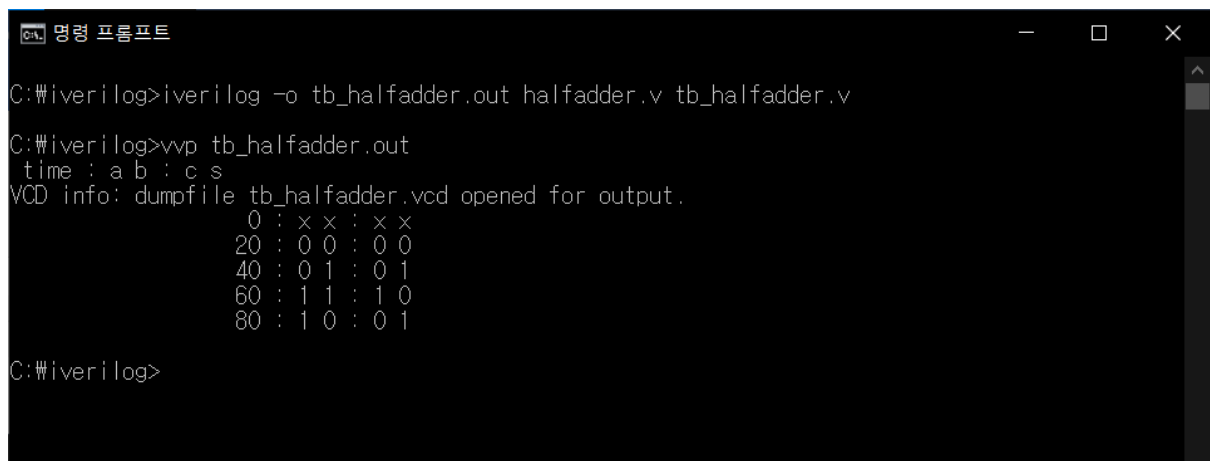
    initial begin
        #20 a = 0;b = 0;
        #20 b = 1;
        #20 a = 1;
        #20 b = 0;
    end
endmodule
Ln 1, Col 1 90% Windows (CRLF) UTF-8
```

컴파일:



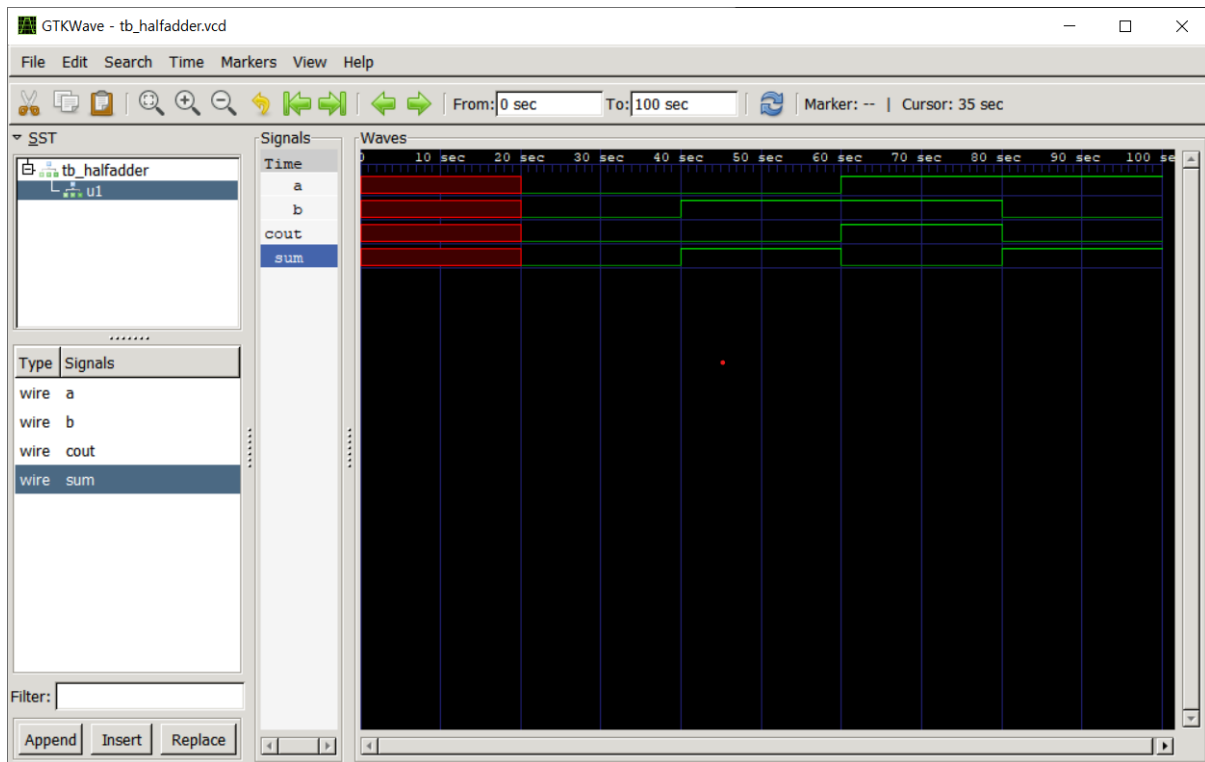
```
명령 프롬프트
C:\#iverilog>iverilog -o tb_halfadder.out halfadder.v tb_halfadder.v
C:\#iverilog>
```

시뮬레이션:



```
명령 프롬프트
C:\#iverilog>iverilog -o tb_halfadder.out halfadder.v tb_halfadder.v
C:\#iverilog>vvp tb_halfadder.out
time : a b : c s
VCD info: dumpfile tb_halfadder.vcd opened for output.
    0 : x x : x x
   20 : 0 0 : 0 0
   40 : 0 1 : 0 1
   60 : 1 1 : 1 0
   80 : 1 0 : 0 1
C:\#iverilog>
```

시뮬레이션 파형 출력:



#2

(1)

```
fulladder.v - Windows 메모장
파일(F) 편집(E) 서식(O) 보기(V) 도움말(H)
module halfadder(sum,cout,a,b);
    input a,b;
    output sum,cout;

    xor(sum,a,b);
    and(cout,a,b);
endmodule

module fulladder(sum,cout,a,b,cin);
    output sum,cout;
    input a,b,cin;
    wire w1,w2,w3;

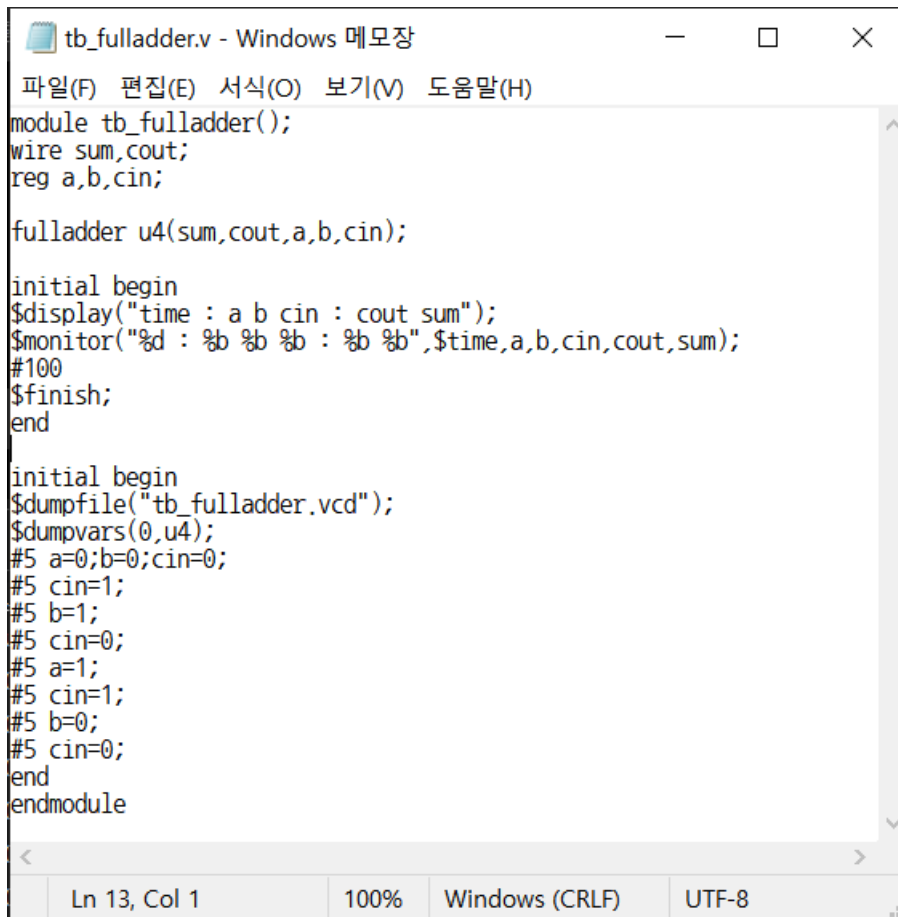
    halfadder u1(w1,w2,a,b);
    halfadder u2(sum,w3,cin,w1);
    or u3(cout,w2,w3);
endmodule

Ln 1, Col 1    100%    Windows (CRLF)    UTF-8
```

(2)

a	b	cin	cout	sum
0	0	0	0	0
0	0	1	0	1
0	1	1	1	0
0	1	0	0	1
1	1	0	1	0
1	1	1	1	1
1	0	1	1	0
1	0	0	0	1

(3)



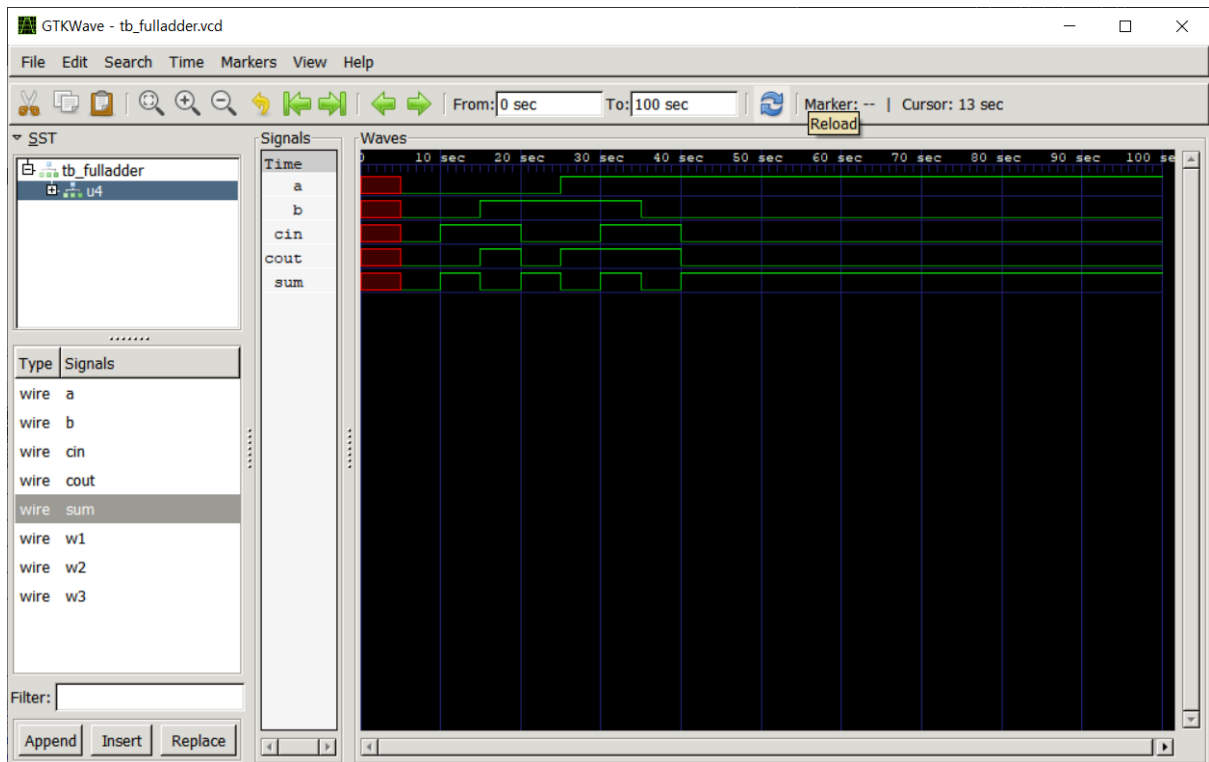
```
tb_fulladder.v - Windows 메모장
파일(F) 편집(E) 서식(O) 보기(V) 도움말(H)
module tb_fulladder();
wire sum,cout;
reg a,b,cin;

fulladder u4(sum,cout,a,b,cin);

initial begin
$display("time : a b cin : cout sum");
$monitor("%d : %b %b %b : %b %b", $time,a,b,cin,cout,sum);
#100
$finish;
end

initial begin
$dumppfile("tb_fulladder.vcd");
$dumppvars(0,u4);
#5 a=0;b=0;cin=0;
#5 cin=1;
#5 b=1;
#5 cin=0;
#5 a=1;
#5 cin=1;
#5 b=0;
#5 cin=0;
end
endmodule

Ln 13, Col 1    100%    Windows (CRLF)    UTF-8
```



결과: cout과 sum의 출력신호 값이 (2)번에서 적은 cout과 sum의 값과 일치했다.

#3

(1)

```

fulladder_d.v - Windows 메모장
파일(F) 편집(E) 서식(O) 보기(V) 도움말(H)
module halfadder(sum,cout,a,b);
    input a,b;
    output sum,cout;

    xor #3 (sum,a,b);
    and #2 (cout,a,b);
endmodule

module fulladder_d(sum,cout,a,b,cin);
    output sum,cout;
    input a,b,cin;
    wire w1,w2,w3;

    halfadder u1(w1,w2,a,b);
    halfadder u2(sum,w3,cin,w1);
    or u3(cout,w2,w3);
endmodule

```

Ln 18, Col 1 100% Windows (CRLF) UTF-8

```
tb_fulladder_d.v - Windows 메모장
파일(F) 편집(E) 서식(O) 보기(V) 도움말(H)

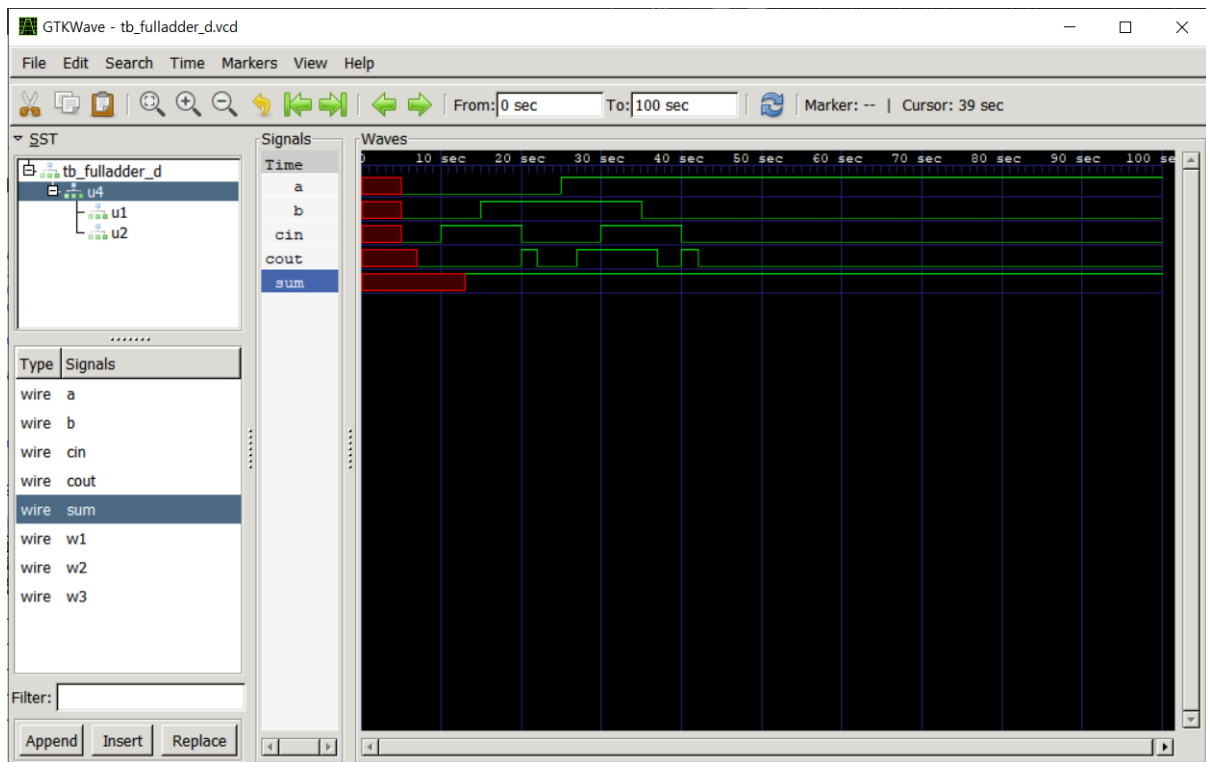
module tb_fulladder_d();
wire sum,cout;
reg a,b,cin;

fulladder_d u4(sum,cout,a,b,cin);

initial begin
$display("time : a b cin : cout sum");
$monitor("%d : %b %b %b : %b %b", $time,a,b,cin,cout,sum);
#100
$finish;
end

initial begin
$dumppfile("tb_fulladder_d.vcd");
$dumppvars(0,u4);
#5 a=0;b=0;cin=0;
#5 cin=1;
#5 b=1;
#5 cin=0;
#5 a=1;
#5 cin=1;
#5 b=0;
#5 cin=0;
end
endmodule
```

(2)



결과: 반가산기에 지연시간을 부여하니 출력 신호 값들의 파형에 변화가 바로 나타났다.신기하다!

#4

Verilog를 처음 접하다 보니 당황스러웠고 부분부분 막히는 곳이 있긴 했지만, 어셈블리어언어를 처음 할 때와 비슷한 느낌으로 코딩을 하면 됐기에 첫번째 실습과제를 잘 마친 것 같다. 아직 CLI에 익숙하지 않아서 생각보다 시간이 많이 소요된다.