

임베디드하드웨어설계

실습 1 : Verilog의 구조적 모델링 논리 설계

실습 내용

※ Icarus Verilog를 설치한 후 실습에 사용한다.

1. 반가산기 설계 (실습시간)

- (1) Icarus Verilog 사용법 안내서의 지침대로 필요한 프로그램을 설치하십시오.
- (2) Icarus Verilog 사용법의 예시와 같이 반가산기 설계 파일과 이에 대한 TestBench 파일을 작성하고 컴파일, 시뮬레이션, 시뮬레이션 파형 출력을 순서대로 수행하십시오.

2. 전가산기 설계

- (1) 강의자료에서 소개한 대로 반가산기를 사용하여 전가산기 설계를 하십시오.
- (2) 3개의 2진수에 대한 모든 값을 Gray code 순서로 나열하고(8개), 각 경우의 cout과 sum을 적어보십시오.
- (3) 전가산기에 대한 TestBench 파일에서 전가산기의 3개의 입력을 Gray code 순서로 공급하여 입력과 출력 신호 값을 출력하십시오. 그리고 (2)번에서 적은 cout과 sum의 값과 비교하여 전가산기의 동작을 검증하십시오.

3. 지연시간을 반영한 가산기 설계

- (1) 반가산기의 XOR 게이트와 AND게이트에 각각 3과 2의 지연시간을 부여하도록 설계를 수정하십시오.
- (2) 2번에서 작성한 TestBench 파일을 사용하여 전가산기 회로의 동작을 시뮬레이션하여 입출력 간에 지연시간을 확인하십시오. (2번의 결과와 비교해보십시오.)

4. 이번 실습을 수행하는 과정에서 애로 사항과 어려운 내용이 있으면 적으십시오.

(실습과제를 제대로 못한 학생들은 반드시 적어야 함)