

# 임베디드하드웨어설계

## 실습 3 : Verilog의 동작적 모델링 논리 설계

---

※ 다음 설계는 quartus II를 사용하여 수행하시오.

### 1. D래치 - dataflow model 설계

- (1) D래치의 블록도를 그리고 회로의 동작을 설명하시오.
- (2) 이러한 동작을 하는 D래치를 조건연산자를 사용하여 설계하고 입력을 적절한 순서로 변화하도록 공급하여 D래치의 동작을 검증하시오.
- (3) D래치의 설계를 참고하여 기억하는 회로의 원리를 설명하시오.

### 2. D래치 - behavioral model 설계

- (1) D래치를 always문을 사용한 동작적 모델링 방법으로 다시 설계하고 적절한 입력을 제공하여 동작을 검증하시오.

### 3. D-플립플롭

- (1) 동기 reset 제어입력이 있는 **positive edge triggered D 플립플롭**을 always 문을 사용하여 설계하고 적절한 입력을 제공하여 동작을 검증하시오. (reset이 0일 때에 클럭의 postive edge에서 출력이 0이 된다.
- (2) 비동기 reset 제어입력이 있는 **positive edge triggered D 플립플롭**을 설계하고 동작을 검증하시오. (reset이 0일 때에 즉시 출력이 0이 된다.)
- (3) 위의 두 가지 D 플립플롭의 동작을 비교하고 설계할 때에 차이점을 적으시오.

### 4. shift register

- (1) blocking 할당문과 nonblocking 할당문의 동작을 비교하여 설명하시오.
- (2) 강의자료의 4비트 shift register를 nonblocking 할당문을 사용하여 설계하고 동작을 검증하시오.
- (3) 앞의 shift register를 blocking 할당문을 사용하여 설계할 때에는 어떻게 설계해야 제대로 동작하는 지를 말하시오.

### 5. shift register - 결합연산자 사용 설계

- (1) 4번의 4비트 shift register를 결합연산자를 이용하여 하나의 할당문을 사용하여 설계하고, 앞의 방법과 설계 방법을 비교하여 보시오.