

Lab1 Report

1-1. A one bit full adder

●Design Specification

1. Input: x, y, cin
2. Output: $s, cout$
3. $s + cout = x + y + cin$



XOR		z
x	y	z
0	0	0
0	1	1
1	0	1
1	1	0

●Design Implementation

1. Logic function:

s 是 sum ; $cout$ 則是表示進位與否。

利用 \oplus (XOR) 的特性，要有奇數個 "1"，結果才會是 1，來表示 s 。

利用相乘的特性，要 input 都是 1，結果才會是 1，來表示 $cout$ 。

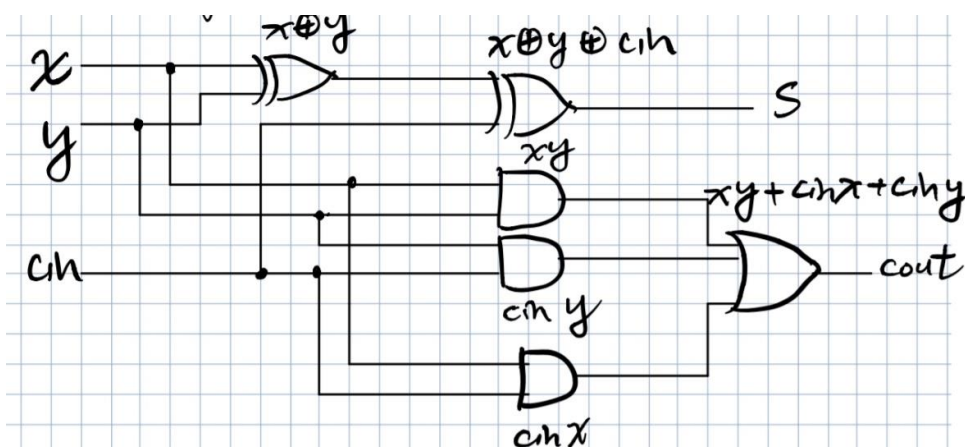
2. Logic equations:

$$S = x \oplus y \oplus cin$$

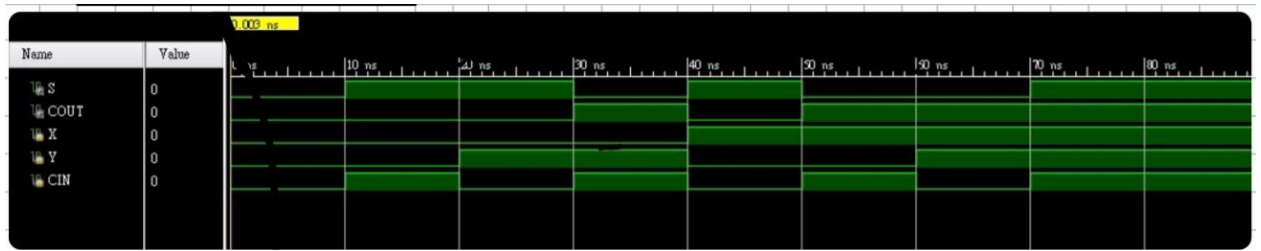
$$cout = xy + xcin + ycin$$

x	y	cin	cout	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

3. Logic diagram:



●Stimulation



●Reference

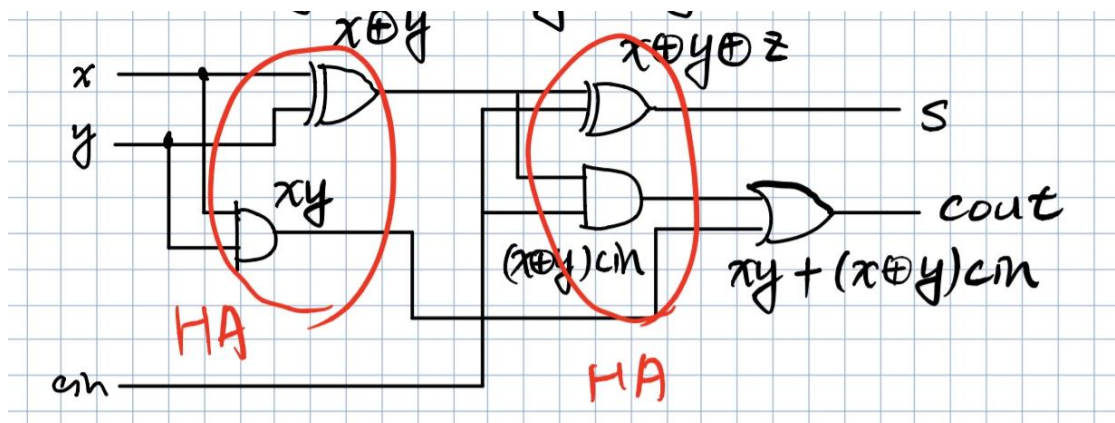
參照講義

另外還可以用 half adder 來表示 full adder

1. Logic equations:

$$\begin{aligned} \text{Cout} &= xy + x\text{cin} + y\text{cin} \\ &= xy + \text{cin}(x + y) \\ &= xy + \text{cin}(xy + xy' + x'y + xy) \\ &= xy + xy\text{cin} + xy'\text{cin} + x'y\text{cin} \\ &= xy + \text{cin}(xy' + x'y) \end{aligned}$$

2. Logic diagram:



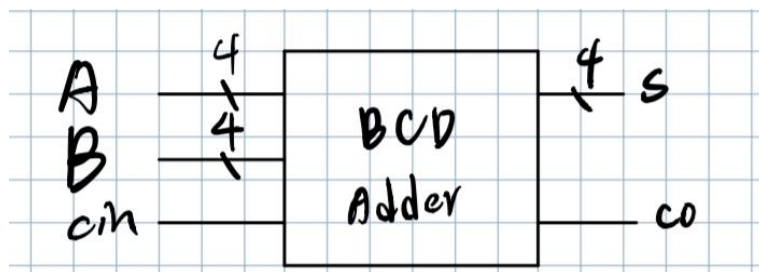
●Discussion

1. 測試出來的結果跟原本預期的一樣。
2. 因為要打這個結報而意外學會很多打其他符號的方式，像是 XOR 的符號 \oplus ，可以利用快捷鍵先打 2295 再同時按 Alt+x 即可。

1-2. A single digit decimal adder

●Design Specification

1. Input: A(a3,a2,a1,a0) 、 B(b3,b2,b1,b0) 、 Cin(ci)
2. Output: S(s3,s2,s1,s0) 、 Cout(co)
3. {Co,s}=A+B+C_i



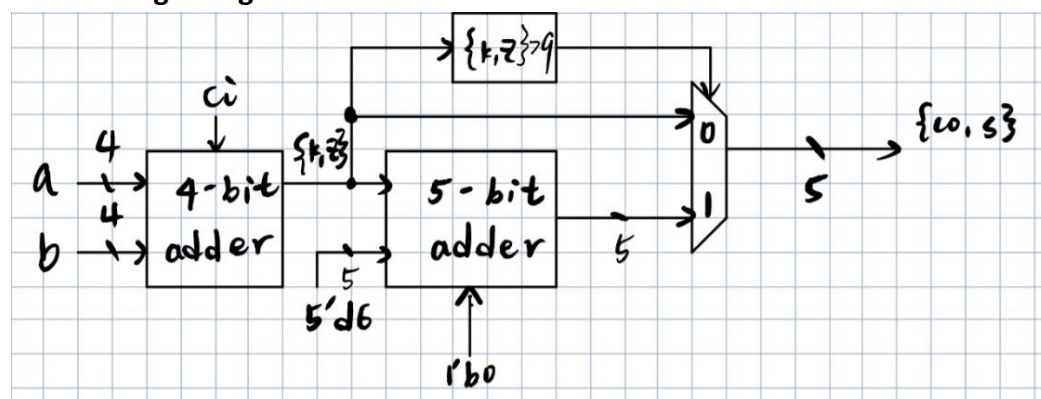
●Design Implementation

1. Logic function

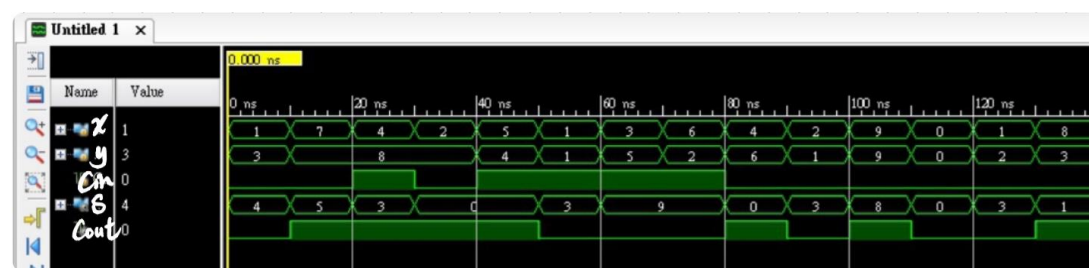
If $A+B+C_i \leq 9$, {Co,s}=A+B+C_i

If $A+B+C_i > 9$, {Co,s}=A+B+C_i+{0110}

2. Logic diagram



●Stimulation



●Reference

這題花費我比較多的時間，因為當初老師還沒講解的時候，還不太懂題目的意思，因此上網查之後才了解，意外透過網路上的講解，了解了 output 不能隨意改動，所以才要利用 reg 再另外宣告，後面的 always 則是代表那些變數只要有變動，就要再跑一次 loop。

●Discussion

測試出來的結果跟原本預期的一樣。

1-3. A 3to8 decoder

●Design Specification

1. Input:in[3:0],en
2. Output:d[7:0]

●Design Implementation

1. Logic equation:

$$d0=en*in2'*in1'*in0'$$

$$d1=en*in2'*in1'*in0$$

$$d2=en*in2'*in1*in0'$$

$$d3=en*in2'*in1*in0$$

$$d4=en*in2*in1'*in0'$$

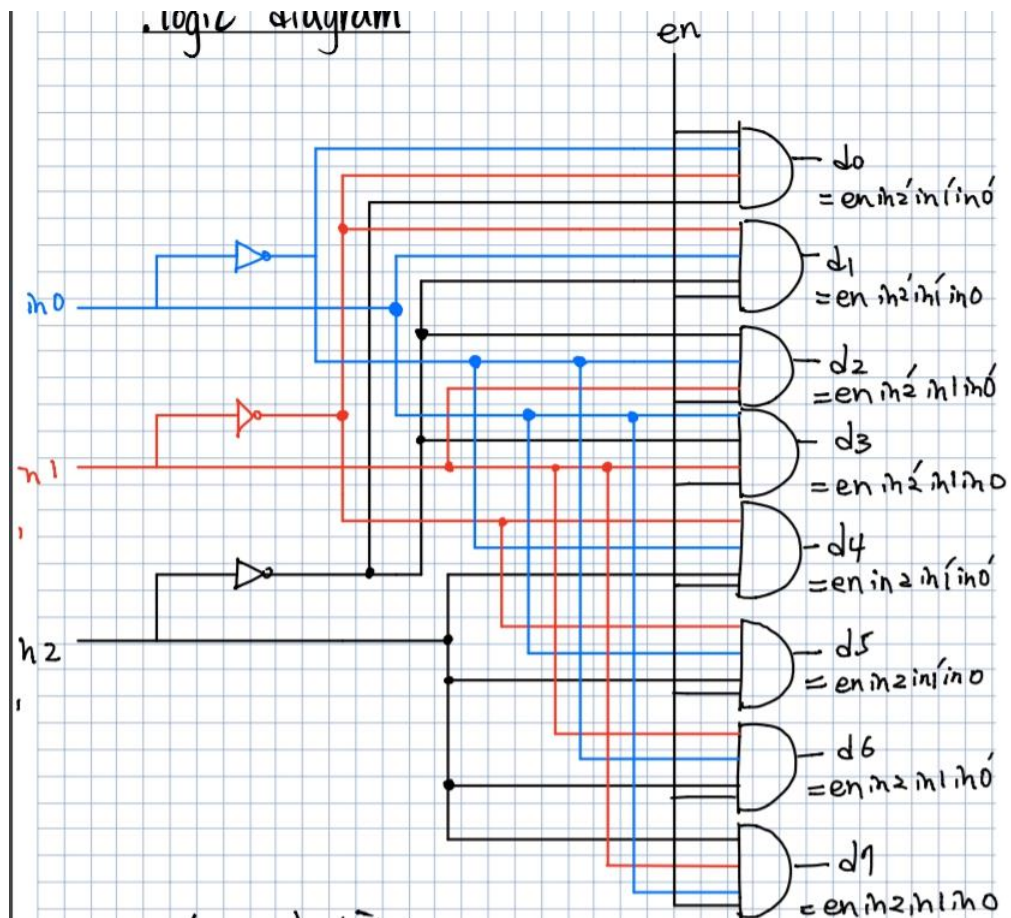
$$d5=en*in2*in1'*in0$$

$$d6=en*in2*in1*in0'$$

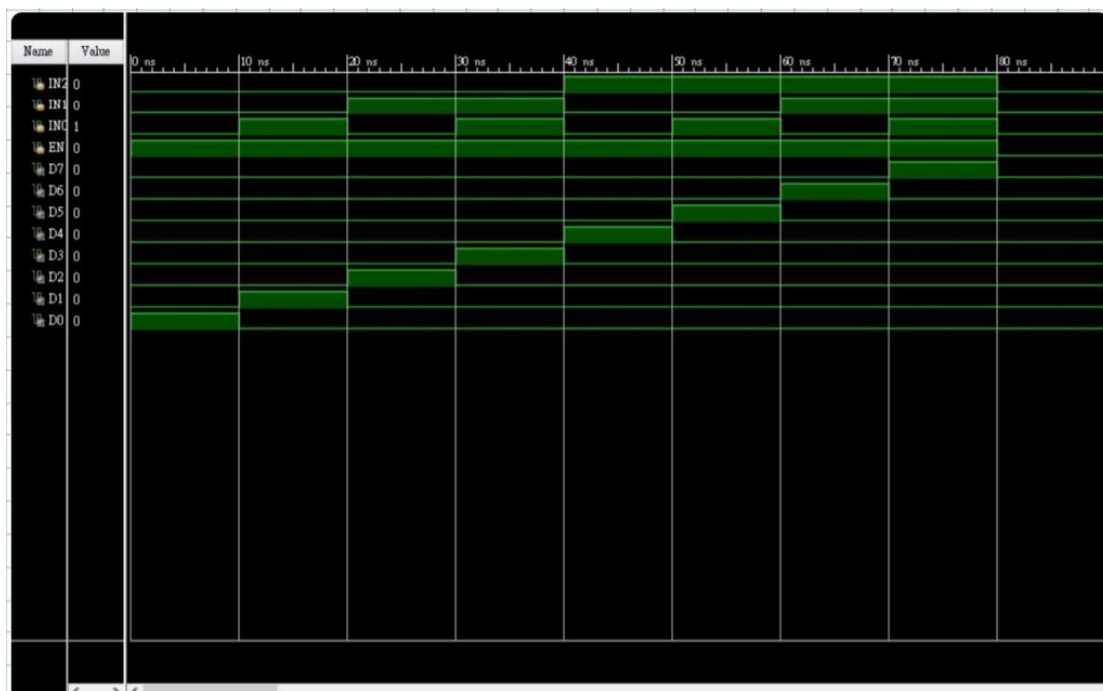
$$d7=en*in2*in1*in0$$

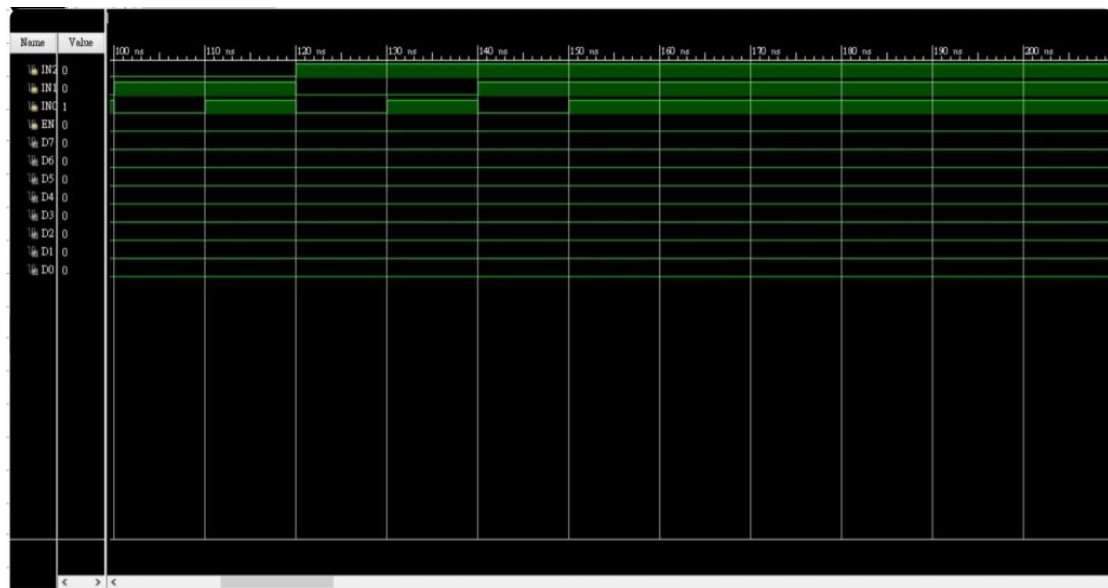
	en	in2	in1	in0	d7	d6	d5	d4	d3	d2	d1	d0
0.	0	0	0	0	0	0	0	0	0	0	0	1
1.	0	0	0	1	0	0	0	0	0	0	1	0
2.	0	0	1	0	0	0	0	0	0	1	0	0
3.	0	0	1	1	0	0	0	0	1	0	0	0
4.	1	0	0	0	0	0	0	1	0	0	0	0
5.	1	0	0	1	0	0	1	0	0	0	0	0
6.	1	0	1	0	0	1	0	0	0	0	0	0
7.	1	0	1	1	0	1	0	0	0	0	0	0

2. Logic diagram:



● Stimulation





●Discussion

1. 跑出來的結果與原本預期一樣。
2. 可以不用用手畫圖真的是清楚很多，還可以很容易儲存！

●Lab1 Conclusion

第一次上課上到這麼興奮(在拿到板子的時候)，終於有感覺可以把自己所學實際應用出來了，雖然這一次的 lab 還蠻容易的，甚至大部分的題目都可以從講義上找到解答，但我相信這些都是為了之後而打下基礎，但想起我上學期的邏輯設計就冒出一把冷汗。

當初在排課的時候也問了好幾位認識的學長這門課 loading 如何，得到的答覆是算是蠻重的，之後每個禮拜幾乎都逃不出 verilog 的手掌心，甚至弄一整天都沒有做不出來的也大有人在，最後的 final project 兩人大概也花了 120 小時才完成……不過雖然辛苦，但我還蠻有興趣的，寫完作業的時候都還會想要趕快看下周的作業是什麼，想要先自己拚拚看 XD，希望我可以在這門課寫出第一個我覺得對我很有喜歡、很有自信的作品出來！