111-2 數位邏輯設計實習 HW 4

班級：電子三丙　　學號：109360781　　姓名：呂靖樑

實驗目的

學習如何操作七段顯示器，並使用七段解碼器正確驅動。

實驗原理

$a = \overline{D3 * D2 * D1} * D0 + D2 * \overline{D0}$

$b = D2 * \overline{D1} * D0 + D2 * D1 * \overline{D0}$

$c = \overline{D2} * D1 * \overline{D0}$

$d = D2 * \overline{D1 * D0} + D2 * D1 * D0 + \overline{D2 * D1} * D0$

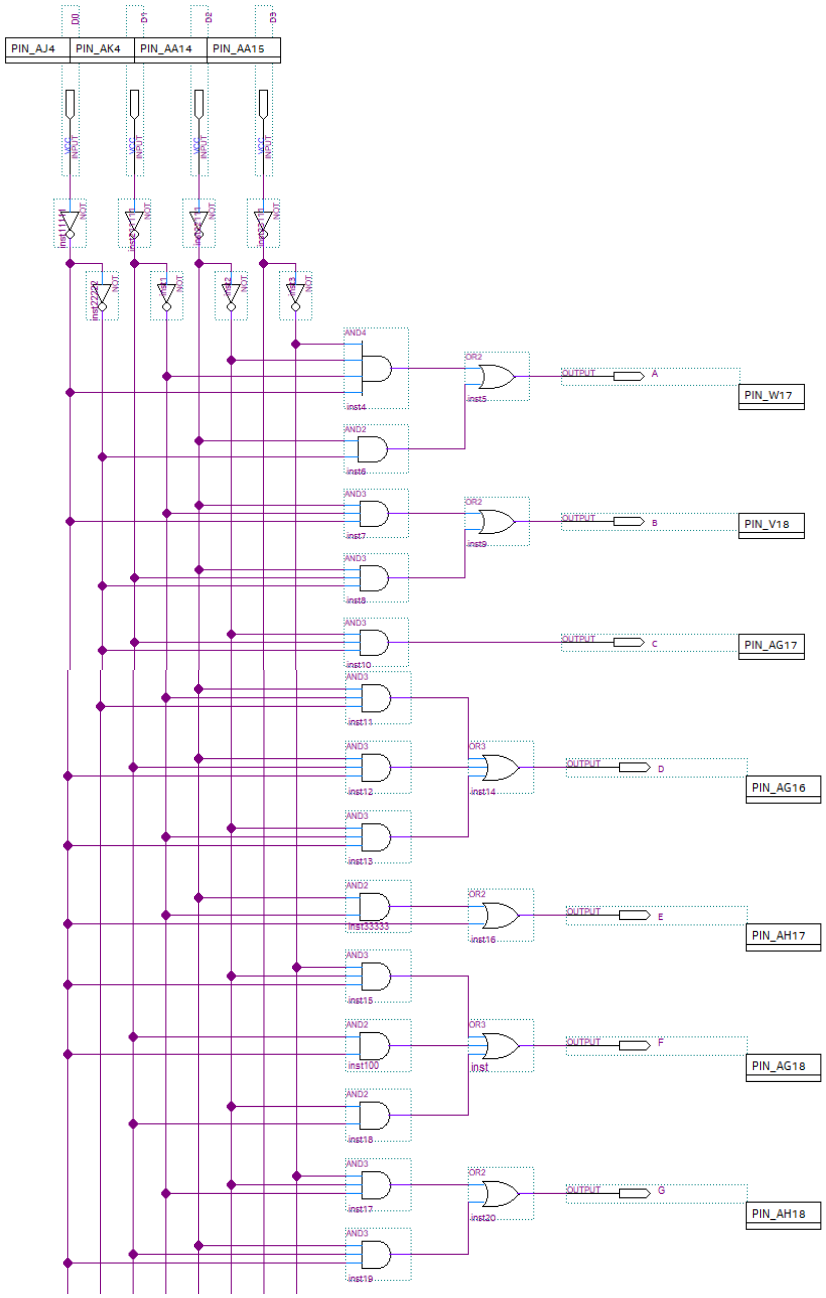
$e = D0 + D2 * \overline{D1}$

$f = \overline{D3 * D2} * D0 + D1 * D0 + \overline{D2} * D1$

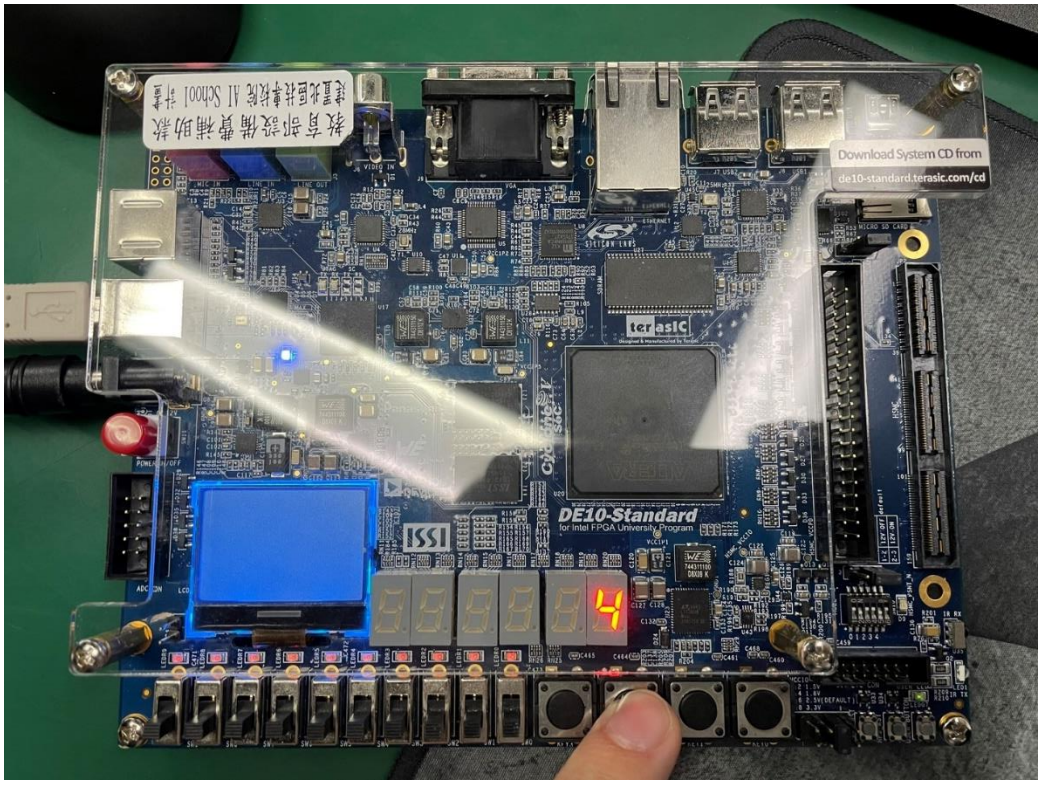
$g = \overline{D3 * D2 * D1} + D2 * D1 * D0$

設計程序

Flow Status	Successful - Fri Mar 17 13:52:35 2023
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	hw4
Top-level Entity Name	seven
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	11
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0


D0
D1
D2
D3
PIN_AJ4
PIN_AK4
PIN_AA14
PIN_AA15
INVT
NOT
AND4
AND3
AND2
OR2
OR3
OUTPUT
A
B
C
D
E
F
G
PIN_W17
PIN_V18
PIN_AG17
PIN_AG16
PIN_AH17
PIN_AG18
PIN_AH18

模擬結果



成果詳細討論說明

在這次的實習中，我第一次使用到七段顯示器和四個按鈕。由於按鈕也是共陽的，所以一開始無法正確地讀取輸入信號，不過在加入四個 not 閘後，這個問題迎刃而解。通過這次實作，我熟悉了七段顯示器的運作原理，而且未來期末專題感覺有機會用到七段顯示器。

實驗目的

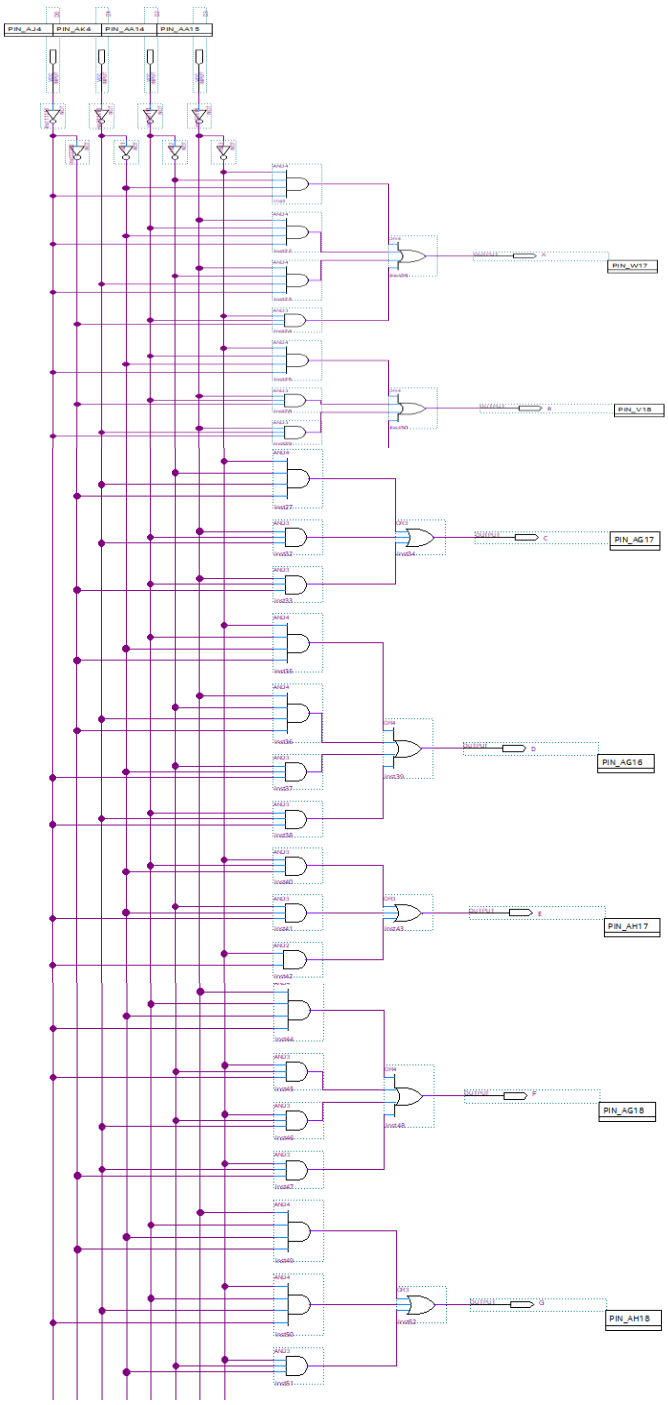
使用卡諾圖將原先的七段解碼器擴充字母輸出(A, b, C, d, E, F)。

實驗原理

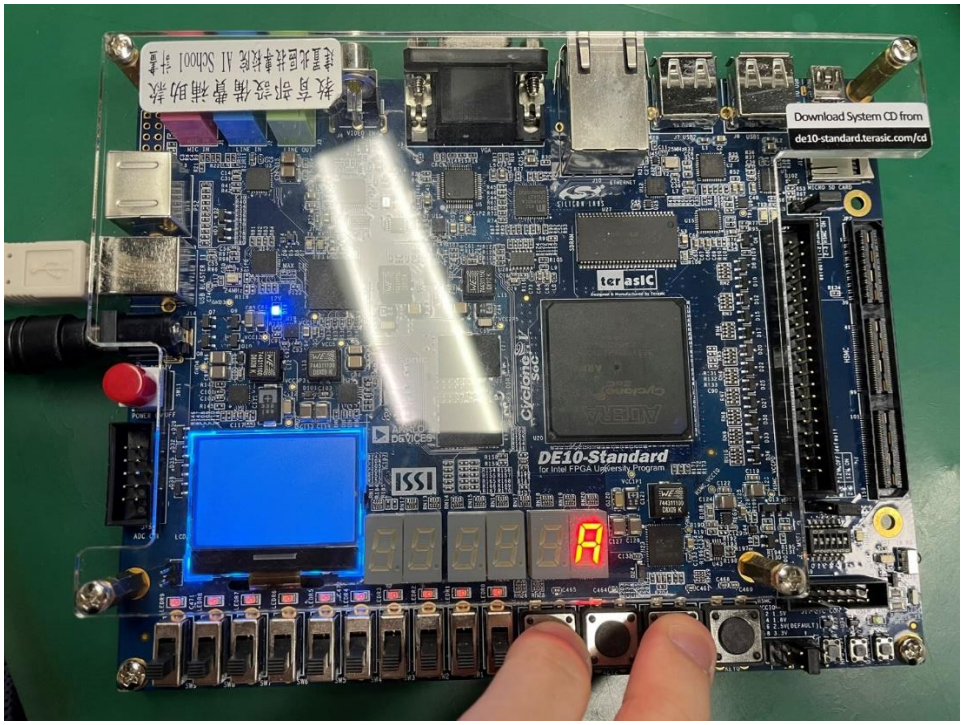
	D3	D2	D1	D0	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	1	1	0	0	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	1	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	1	1	0	0
A	1	0	1	0	0	0	0	1	0	0	0
B	1	0	1	1	1	1	0	0	0	0	0
C	1	1	0	0	0	1	1	0	0	0	1
d	1	1	0	1	1	0	0	0	0	1	0
E	1	1	1	0	0	1	1	0	0	0	0
f	1	1	1	1	0	1	1	1	0	0	0

設計程序

Flow Status	Successful - Fri Mar 17 15:10:42 2023
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	hw4
Top-level Entity Name	seven
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	4 / 41,910 (< 1 %)
Total registers	0
Total pins	11 / 499 (2 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)


PIN_AJ4
PIN_AK4
PIN_AA14
PIN_AA15
PIN_W17
PIN_V18
PIN_AG17
PIN_AG16
PIN_AH17
PIN_AG18
PIN_AH18

燒錄結果



成果詳細討論說明

當進行解碼器的 gate level 設計時，我發現這個過程非常複雜，需要花費很多時間在畫卡諾圖、設計邏輯閘、以及拉線等步驟。我還是早點學習 Verilog 程式語言。學會 Verilog 就不必手動進行諸如邏輯閘設計等瑣碎的步驟，這使得整個過程更加簡單。

實驗目的

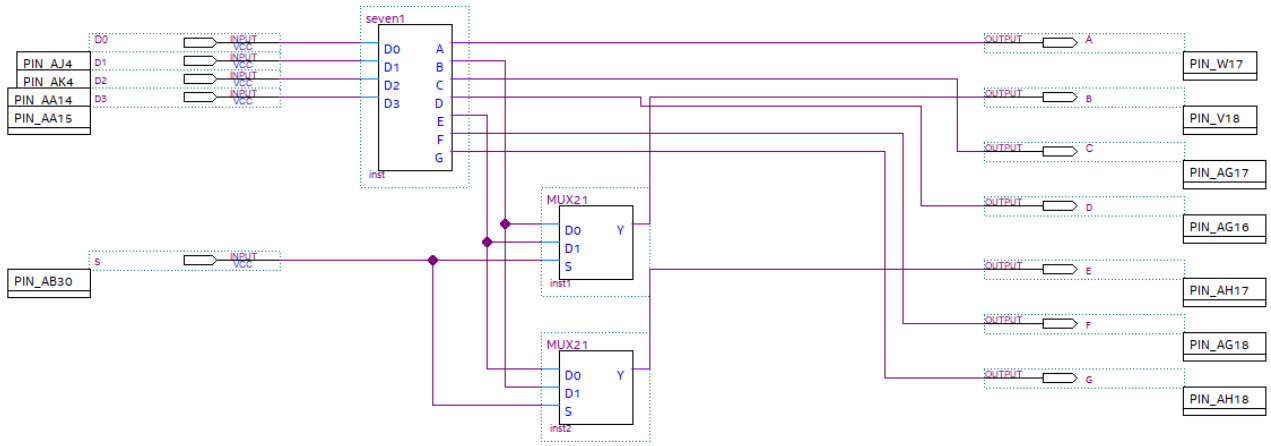
將原本的七段解碼器加入二位元交叉開關，控制七段顯示輸出為 b 和 e 相反。

實驗原理

$$a = \overline{D3 * D2 * D1} * D0 + D2 * \overline{D0}$$
$$b = (D2 * \overline{D1} * D0 + D2 * D1 * \overline{D0}) * \bar{S} + (D0 + D2 * \overline{D1}) * S$$
$$c = \overline{D2} * D1 * \overline{D0}$$
$$d = D2 * \overline{D1 * D0} + D2 * D1 * D0 + \overline{D2 * D1} * D0$$
$$e = (D0 + D2 * \overline{D1}) * \bar{S} + (D2 * \overline{D1} * D0 + D2 * D1 * \overline{D0}) * S$$
$$f = \overline{D3 * D2} * D0 + D1 * D0 + \overline{D2} * D1$$
$$g = \overline{D3 * D2 * D1} + D2 * D1 * D0$$

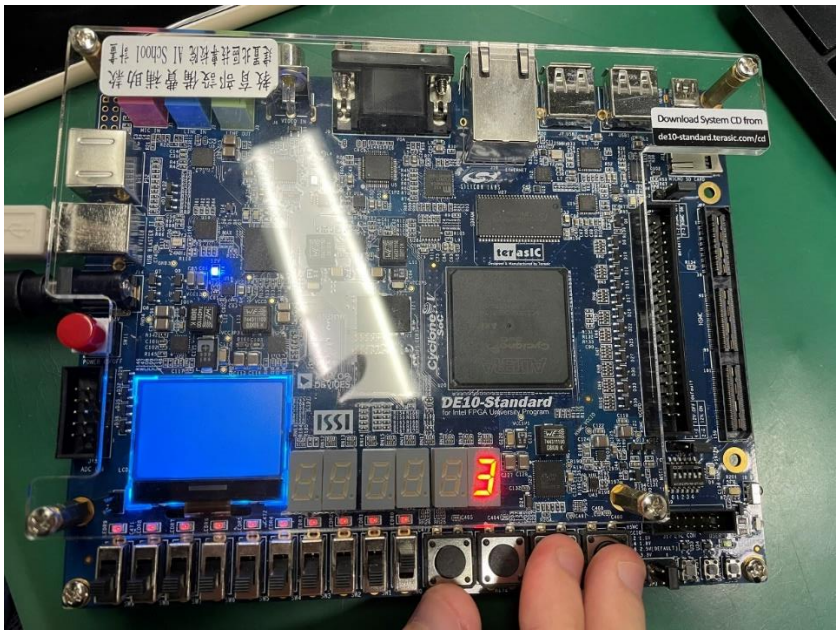
設計程序

Flow Status	Successful - Fri Mar 17 15:25:08 2023
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	hw4
Top-level Entity Name	hw4
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	4 / 41,910 (< 1 %)
Total registers	0
Total pins	12 / 499 (2 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)

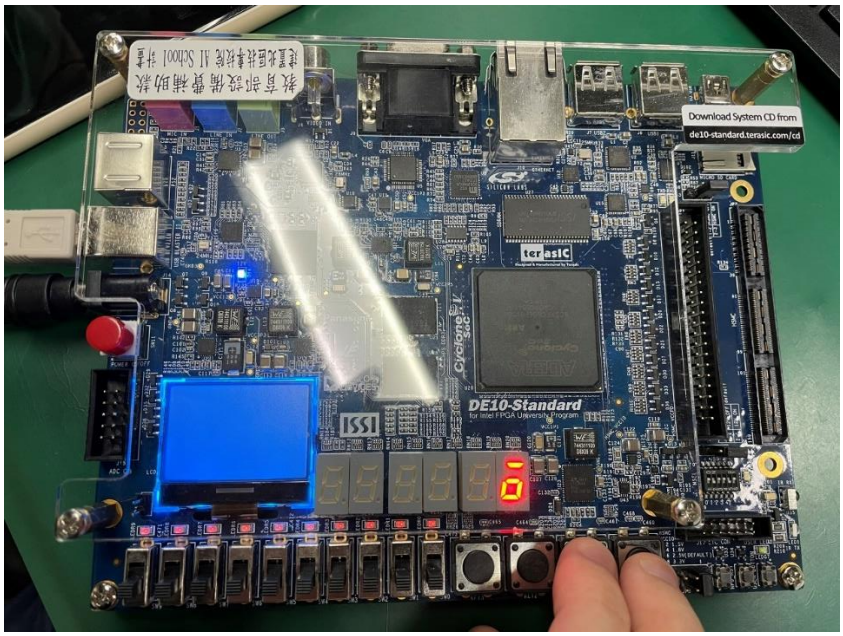


燒錄結果

(S = 0)



(S = 1)



成果詳細討論說明

在這次的實驗中，我將原先的電路進行了升級，加入了兩個二對一多工器和一個 Select，透過這些元件的控制，我可以實現七段顯示器輸出 b 和 e 相反的功能。這周我進一步了解了多工器的應用和運作原理，並且掌握了如何將多個元件進行整合以實現更複雜的功能。