

## 111-2 數位邏輯設計實習 HW 6

班級：電子三丙

學號：109360763

姓名：黃相銘

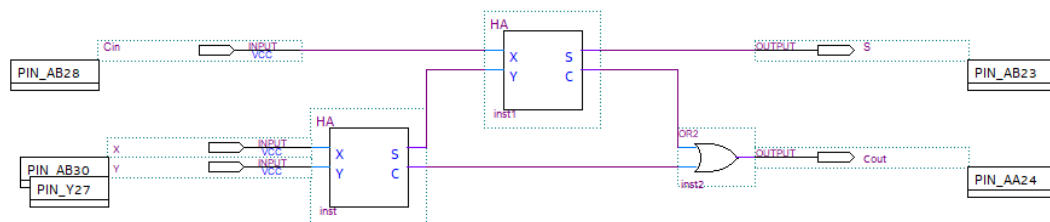
### 實驗目的

使用兩個 1 位元半加器及一個 or 閘組成之 1 位元全加器。

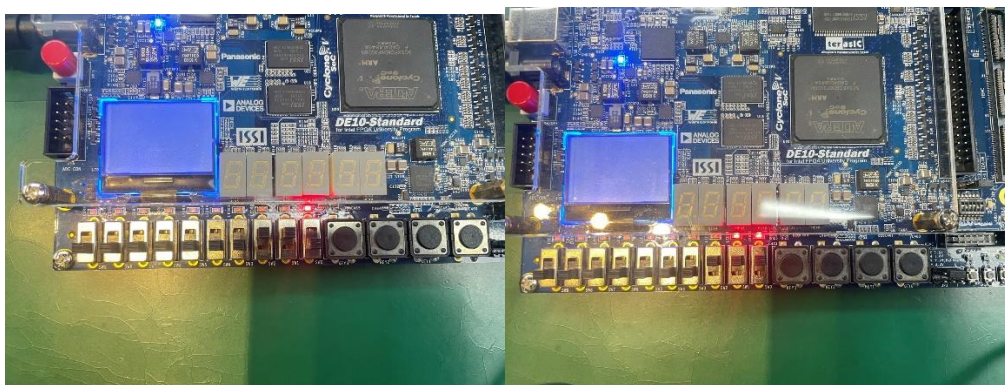
### 實驗原理

輸入線			輸出線	
A	B	Ci	S	Co
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

### 設計程序



### 成果詳細討論說明

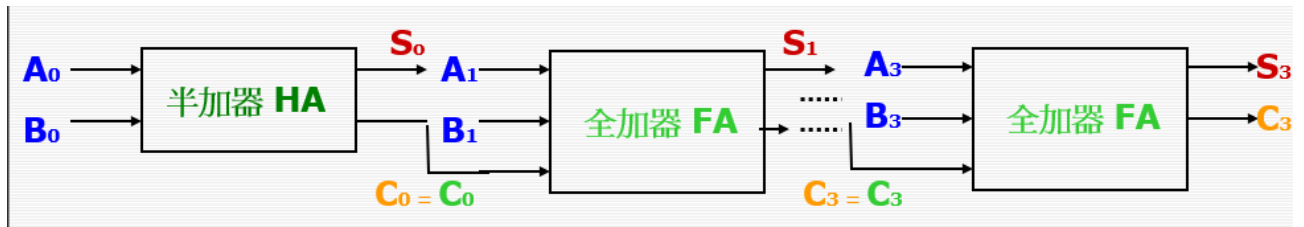


這週的實習進度是一個一位元的全加器，要用兩個一位元半加器跟一個 OR 閘組成，這次也很快就完成，很快速的了解其真質表和運作原理，希望能在期末專題上用到這些東西，用完基本題就去研究這週加分題的內容。

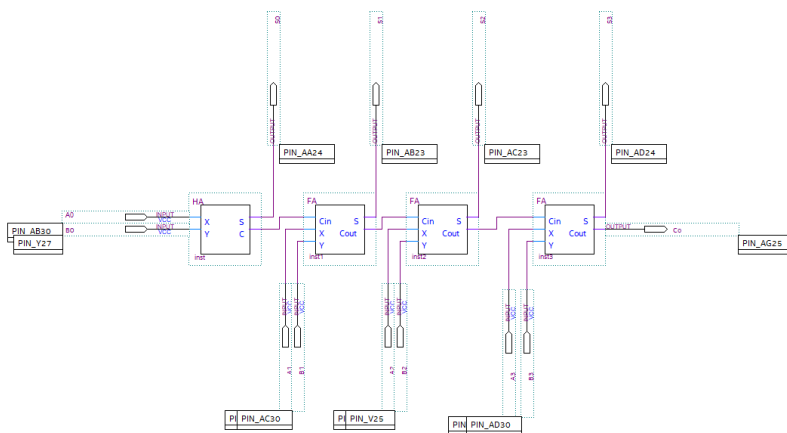
## 實驗目的

使用一個 1 位元半加器和 3 個 1 位元全加器設計一個完整的 4 位元加法器。

## 實驗原理



## 設計程序



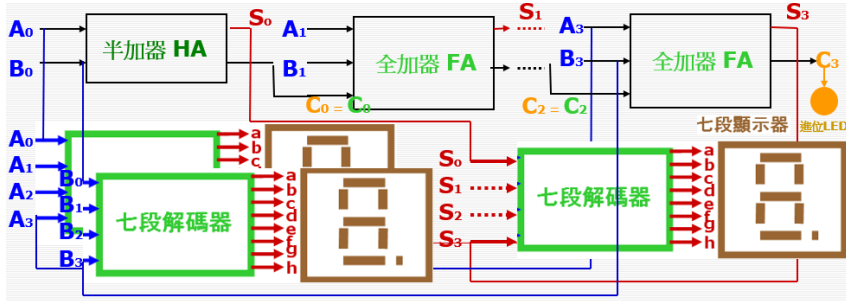
## 成果詳細討論說明

這題是加分題的第一題，要設計一個完整的 4 位元加法器，是用一個 1 位元半加器和 3 個 1 位元全加器來組成，這題在接腳的地方設定比較麻煩，因為很多個輸入和輸出，設定起來較為麻煩。

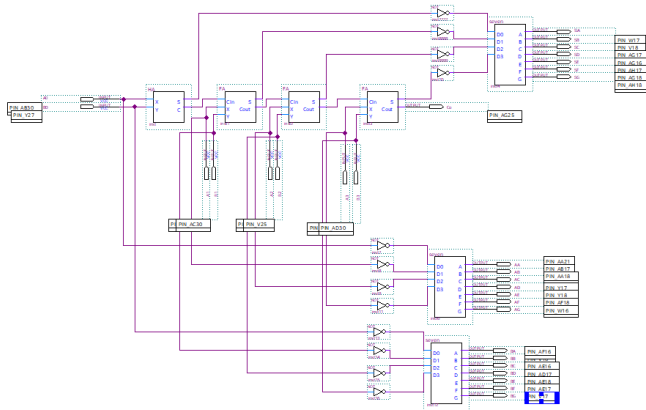
## 實驗目的

將加分題(一)的電路加上七段解碼器驅動七段顯示器。

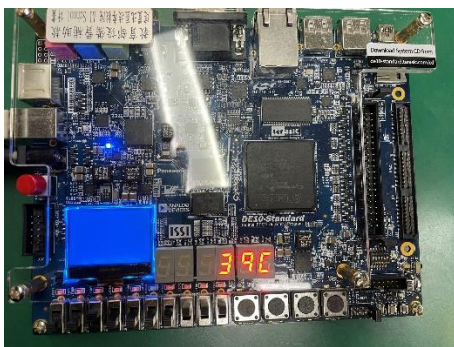
## 實驗原理



## 設計程序



## 成果詳細討論說明



這題是加分題的第二題，這題是拿加分題第一題的四位元加法器和連接上次做的七段顯示器來完成的，這題比較複雜的地方就是接線的部分，也有很多輸入輸出接角要設定，能把之前作業的七段顯示器做應用真的學到很多。

## 實驗目的

使用 VHDL 寫出基本題的 1 位元全加器。

## 實驗原理

輸入線			輸出線	
A	B	Ci	S	Co
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

## 設計程序

```
library IEEE;
use ieee.std_logic_1164.all;

entity DL6 is
port ( A, B, Ci : in std_logic;
       So, Co : out std_logic);
end DL6;

ARCHITECTURE ARCH of DL6 is
component HA2
port ( d0, d1 : IN STD_LOGIC ;
       S, C : OUT STD_LOGIC);
end component
;
signal K0, K1, K3 ,K4: std_logic;
BEGIN
U1:HA2 PORT MAP (
d0=>A, d1=>B, S => K1, C => K3);
U2:HA2 PORT MAP (
d0=>K1, d1=>Ci, S => So, C => K4);
Co <= K3 or K4;
END ARCH;
```

## 成果詳細討論說明



這題是加分題的第三題，要用 VHDL 來完成一位元全加器，還是很不熟悉 VHDL 的用法跟如何接線，這次有比較熟習語法跟一些重點的部分，很期待下次的實習。