

111-2 數位邏輯設計實習 HW 5

班級：電子三丙 組別：10

組員：109360781 呂靖樑 、 109360763 黃相銘 、 108360710 徐志康

實驗目的

重新設計 2 對 1 多工器，使之擴充成 8 對 1 多工器。

實驗原理

控制線 3 條：S0、S1、S2

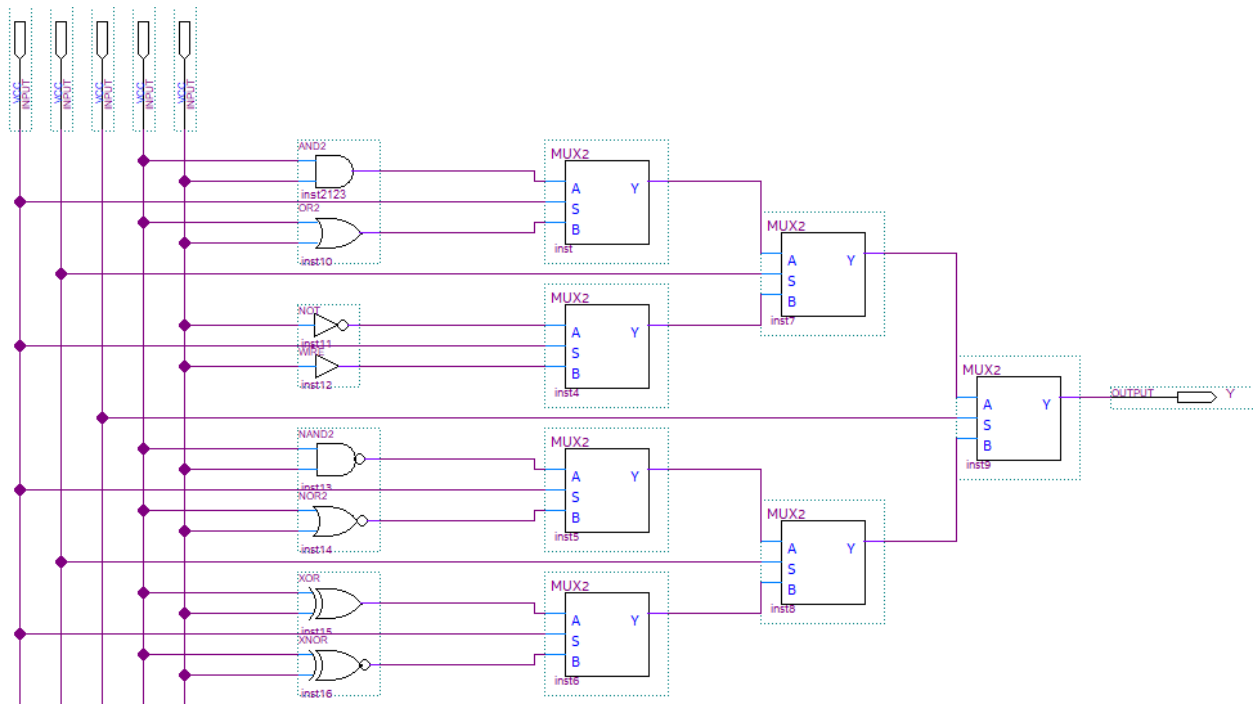
輸入線 2 條：A、B

輸出線 1 條：Y

$$Y = \overline{S_0} \cdot \overline{S_1} \cdot \overline{S_2} \cdot (A \cdot B) + \overline{S_0} \cdot \overline{S_1} \cdot S_2 \cdot (A + B) + \overline{S_0} \cdot S_1 \cdot \overline{S_2} \cdot \overline{A} + \overline{S_0} \cdot S_1 \cdot S_2 \cdot A + \overline{S_0} \cdot \overline{S_1} \cdot \overline{S_2} \cdot \overline{(A \cdot B)} + \overline{S_0} \cdot \overline{S_1} \cdot S_2 \cdot \overline{(A + B)} + S_0 \cdot S_1 \cdot \overline{S_2} \cdot (A \oplus B) + S_0 \cdot S_1 \cdot S_2 \cdot \overline{(A \oplus B)}$$

設計程序

Flow Status	Successful - Fri Mar 24 13:33:45 2023
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	hw5
Top-level Entity Name	hw5
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	2 / 41,910 (< 1 %)
Total registers	0
Total pins	6 / 499 (1 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)



成果詳細討論說明

109360781 呂靖樑：

在這次的實驗中，我發現我上一次的經驗對我很有幫助，因為我已經熟悉了 2 對 1 多工器的運作原理，所以在這次的應用中，我很快就能將它擴充成 8 對 1 多工器，但我認為這樣做用到的邏輯閘，並不會比直接 8 對 1 多工器做用的還要少。

109360763 黃相銘：

這週的實習進度是做八對一多工器，並且用二對一多工器組成並實現，並且在各個 A、B 的輸入端上接上各種邏輯閘來完成整個電路的設計，接上板子測試輸入端控制線跟輸出端是否正確，這次的基本題很快速就用出來了，也清楚整個實驗的原理。

108360710 徐志康：

這次實驗是將之前做的二對一 MUX 擴充成八對一的 MUX，需要使用到七個二對一的 MUX，再將它串起，依照題目所要求的八種邏輯閘分別接上就可以完成整個電路，整個電路的運作就是可以選擇控制線來控制我們要選擇對 A、B 分別作出什麼運算，然後用 LED 呈現。

實驗目的

了解 VHDL 語法使用，並用 VHDL 設計出 8 對 1 多工器。

實驗原理

控制線 3 條：S0、S1、S2

輸入線 2 條：A、B

輸出線 1 條：Y

$$Y = \overline{S0} \cdot \overline{S1} \cdot \overline{S2} \cdot (A \cdot B) + \overline{S0} \cdot \overline{S1} \cdot S2 \cdot (A + B) + \overline{S0} \cdot S1 \cdot \overline{S2} \cdot \overline{A} + \overline{S0} \cdot S1 \cdot S2 \cdot A + S0 \cdot \overline{S1} \cdot \overline{S2} \cdot \overline{(A \cdot B)} + S0 \cdot \overline{S1} \cdot S2 \cdot \overline{(A + B)} + S0 \cdot S1 \cdot \overline{S2} \cdot \overline{(A \oplus B)} + S0 \cdot S1 \cdot S2 \cdot \overline{(A \oplus B)}$$

設計程序

Flow Status	Successful - Fri Mar 24 15:22:39 2023
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	DLE_05_VHDL
Top-level Entity Name	DLE_05_VHDL
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	2 / 41,910 (< 1 %)
Total registers	0
Total pins	6 / 499 (1 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)

```
library IEEE;
use ieee.std_logic_1164.all;

entity DLE_05_VHDL is
port ( S0,S1,S2, A, B : in std_logic;
       Y : out std_logic);
end DLE_05_VHDL ;
architecture ARCH of DLE_05_VHDL is
component MUX8
port( d0,d1,d2,d3,d4,d5,d6,d7 : in STD_LOGIC ;
      se0,se1,se2 : in STD_LOGIC ;
      result : out STD_LOGIC);
end component;
signal K0,K1,K2,K3,K4,K5,K6,K7: std_logic;
begin
    k0 <= A and B;
    k1 <= A or B;
    k2 <= not A;
    k3 <= A;
    k4 <= A nand B;
    k5 <= A nor B;
    k6 <= A xor B;
    k7 <= A xnor B;

    U1:MUX8 port map (
        se0=>S0, se1=>S1, se2=>S2,
        d0=>k0,d1=>k1,d2=>k2,d3=>k3,
        d4=>k4,d5=>k5,d6=>k6,d7=>k7,
        result => Y);
end ARCH;
```

成果詳細討論說明

109360781 呂靖樑:

在這次的實驗中，我第一次嘗試使用 VHDL 來實現電路設計，相比平常使用的 Verilog，我發現 VHDL 的語法和用法有所不同，這讓我有些不習慣，導致這次實驗花了不少時間在調整語法的問題上。希望在未來的實驗中，我會更加熟練這個硬體語言。

109360763 黃相銘:

這題是加分題要用 VHDL 實現八對一多工器，以前也沒使用過這個語法，對我們來說不太熟悉，看著講義研究了很久才有一些進度，在於很難用二對一組成，要匯入一堆函數才能組成，經過這次實習有比較了解 VHDL 語法的一些使用的方法。

108360710 徐志康:

這次實驗室要學習如何使用 VHDL，VHDL 全名是超高速積體電路硬體描述語言，在數位系統中有廣泛的運用，主要結構最一開始要先宣告程式庫的名稱及使用到的套件，再加上 entity 跟 architecture，一開始接觸到的時候覺得很複雜，但在了解後發現其實沒有想像中的難，最後也完成了這次的實驗。