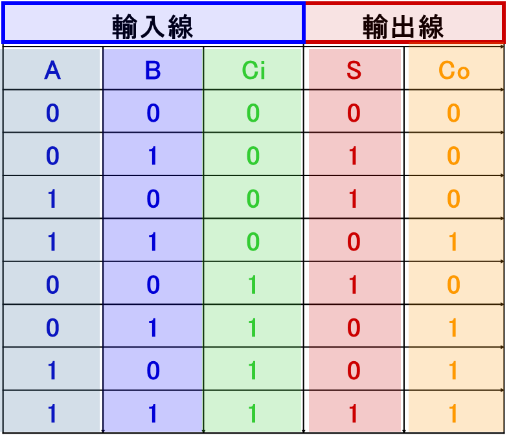
**111-2數位邏輯設計實習 HW 6**

班級: 電子三丙 學號: 109360781 姓名: 呂靖樑

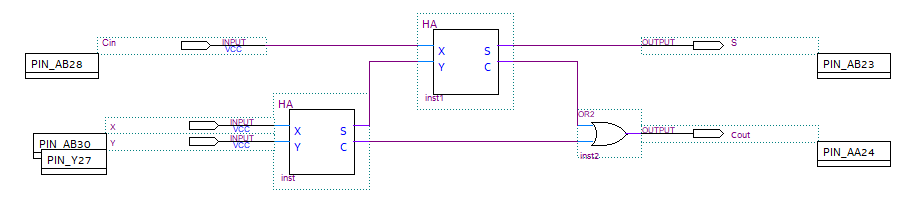
**實驗目的**

使用兩個1位元半加器及一個OR閘組成之1位元全加器。

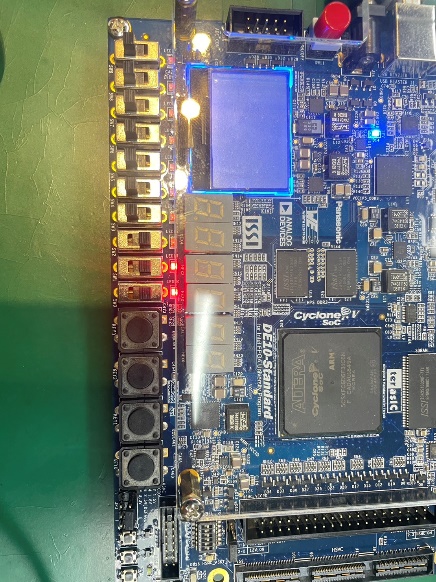
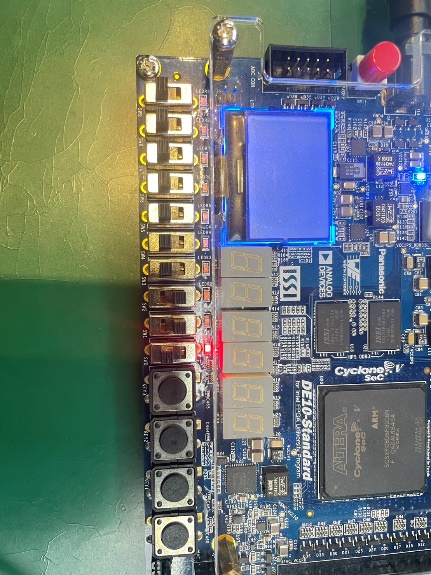
**實驗原理**



**設計程序**

****

**燒錄結果**



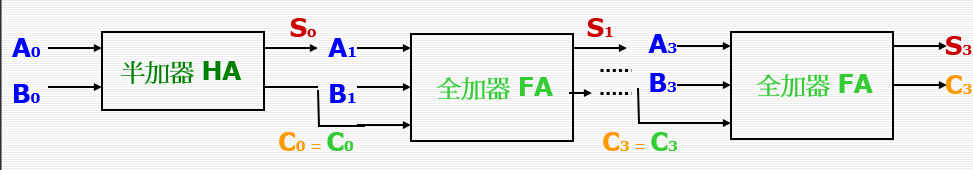
**成果詳細討論說明**

這次實驗只是按圖施工做出一個半加器後，在拚出一個全加器，全加器跟半加器差別在半加器只能進行單位位元之間的相加，而全加器則可以進行任意兩個位元之間的相加。全加器需要多一個來自上一位元的進位信號作為輸入，並且還需要產生一個進位信號和輸出值。

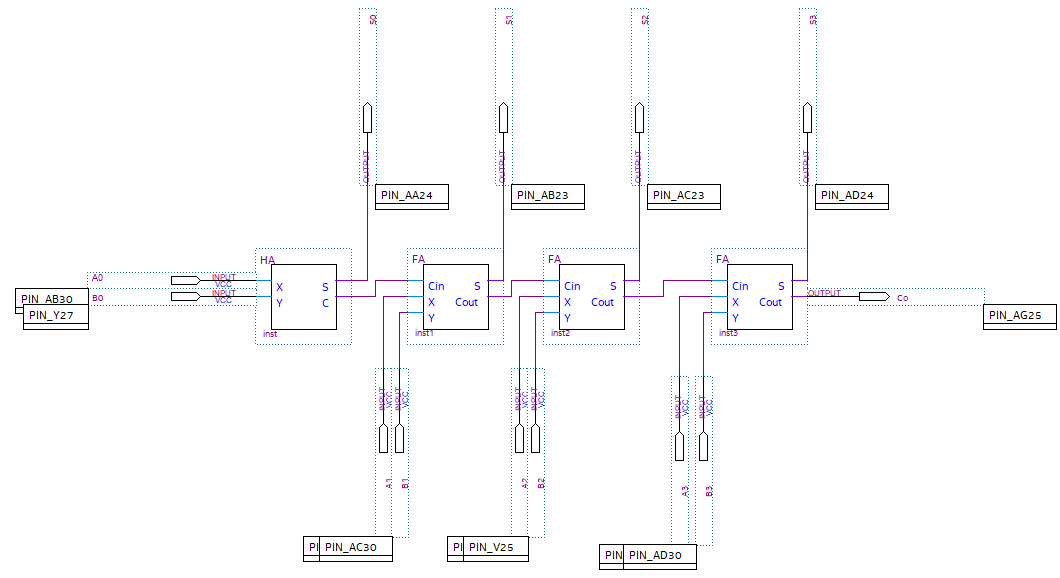
**實驗目的**

使用一個1位元半加器和3個1位元全加器設計一個完整的4位元加法器。

**實驗原理**

****

**設計程序**

****

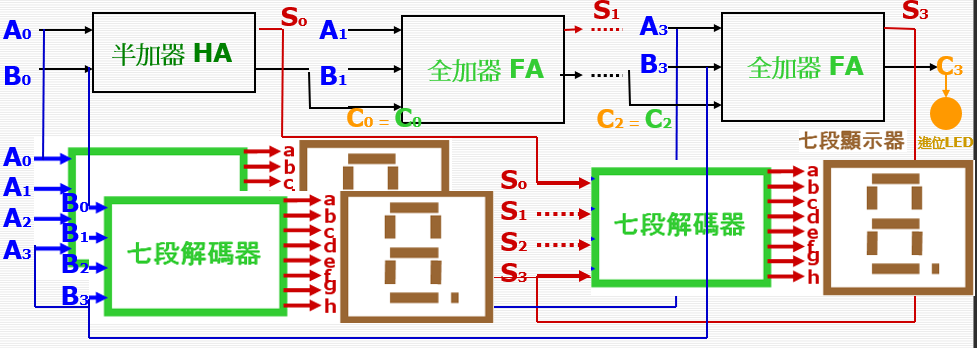
**成果詳細討論說明**

這個加分題求的是要把之前學到的半加器和全加器進行組合，做出一個更為複雜的四位元加法器。其中最低位元的加法需要用到半加器，而其他位元的加法都需要用到全加器。還需要注意到全加器之間的連接，將前面一個全加器的Cout接到後面一個全加器的Cin，使得整個四位元加法器能夠正確地進行四位元的加法運算。

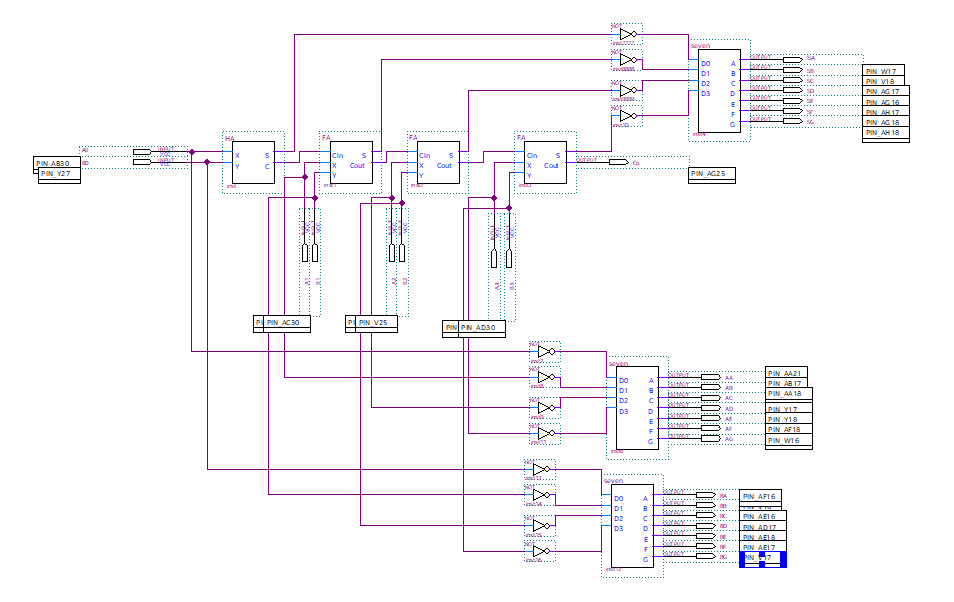
**實驗目的**

將加分題(一)的電路加上七段解碼器驅動七段顯示器。

**實驗原理**

****

**設計程序**



**燒錄結果**

一張含有 文字, 電子產品, 電路 的圖片

自動產生的描述

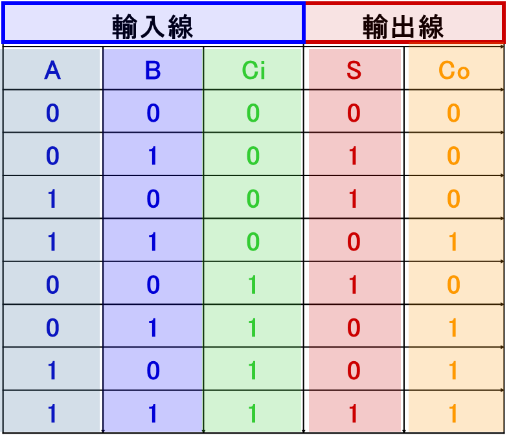
**成果詳細討論說明**

這題加分題只是將加分題(一)進行擴充，把上次學到的七段顯示器加進去，這次一樣做一樣忘記他是共陽級，導致我們多花了一些時間修改。這題加分題難度雖然不高，只是很花時間去接而已，下次會更注意這項小細節。

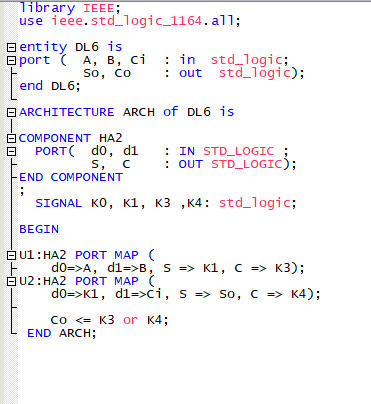
**實驗目的**

使用VHDL寫出基本題的1位元全加器。

**實驗原理**



**設計程序**

****

**燒錄結果**

一張含有 文字, 電子產品, 電路 的圖片

自動產生的描述一張含有 文字, 電子產品, 電路 的圖片

自動產生的描述

**成果詳細討論說明**

這次作業也有用VHDL、Verilog去完成，硬體描述語言真的很方便，只需簡單幾句話就能完成設計，不用像接線般的費時費力。相較於傳統的電路圖，硬體描述語言可以更快速地完成電路的設計，也更容易修改和維護。只是語法還要習慣，VHDL的部分用了很久。