**111-2數位邏輯設計實習 HW 12**

班級: 電子三丙 學號: 109360781 姓名: 呂靖樑

**基本題**

**實驗目的**

利用74162完成上數計數器。

**實驗原理**

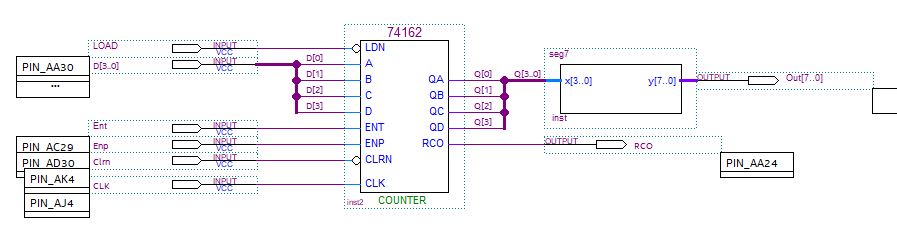
當ENT、ENP、CLR都是1時，才啟動電路。

當LOAD是1時，每經過1個CLK，Qout上數一次。

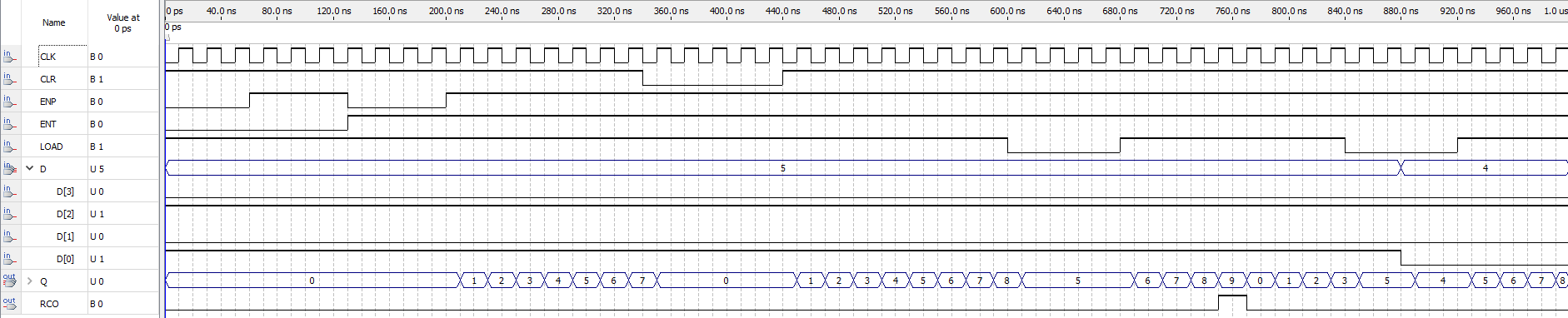
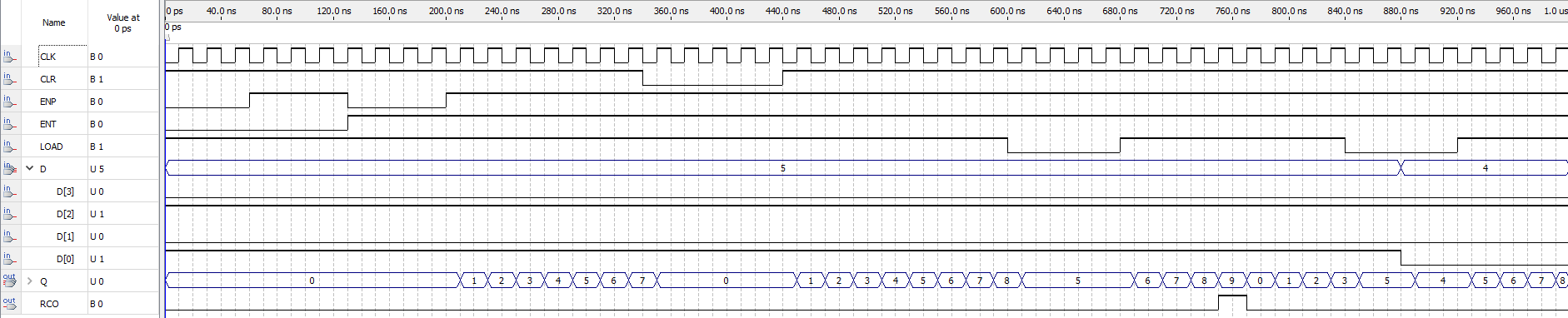
當LOAD是0時，讀取Din到Qout。

當Qout = 9時，RCO = 1。

**設計程序**



**成果詳細討論說明**



以前做過好幾次上數計數器，但今天第一次接觸到74162，沒想到一個計數器可以附加LOAD功能，讓計數器更加靈活多變，但目前還是無法理解為什麼Enable需要分成ENP和ENT。計數器的應用非常廣泛，常常能看見計數器配合解碼器的電路，之後的小專題也會應用到計數器。

**加分題**

**實驗目的**

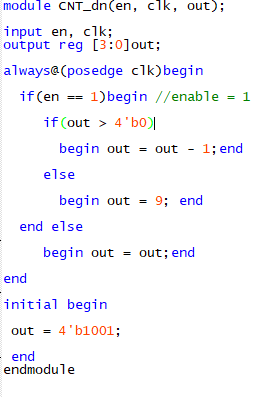
完成下數計數器。

**實驗原理**

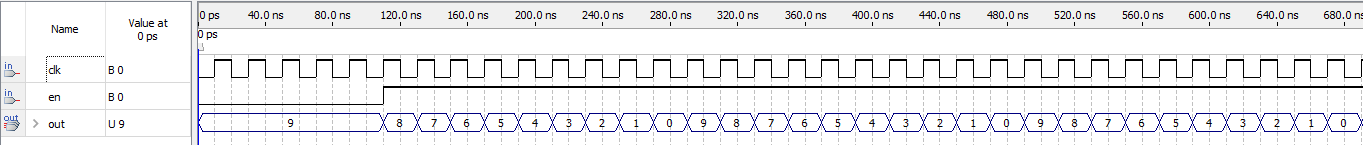
使用Verilog完成。

當en = 1時，每經過1個CLK，Qout下數一次。

**設計程序**



**成果詳細討論說明**



這次想要練習使用Verilog，相較於使用電路元件進行設計，使用Verilog可以讓設計更加直觀。雖然很可惜的是，目前還沒有像74162一樣具有LOAD功能。這次練習Verilog設計，可以讓我更深入了解Verilog的語法和設計思路，同時也可以提高我的設計能力和編程技巧。