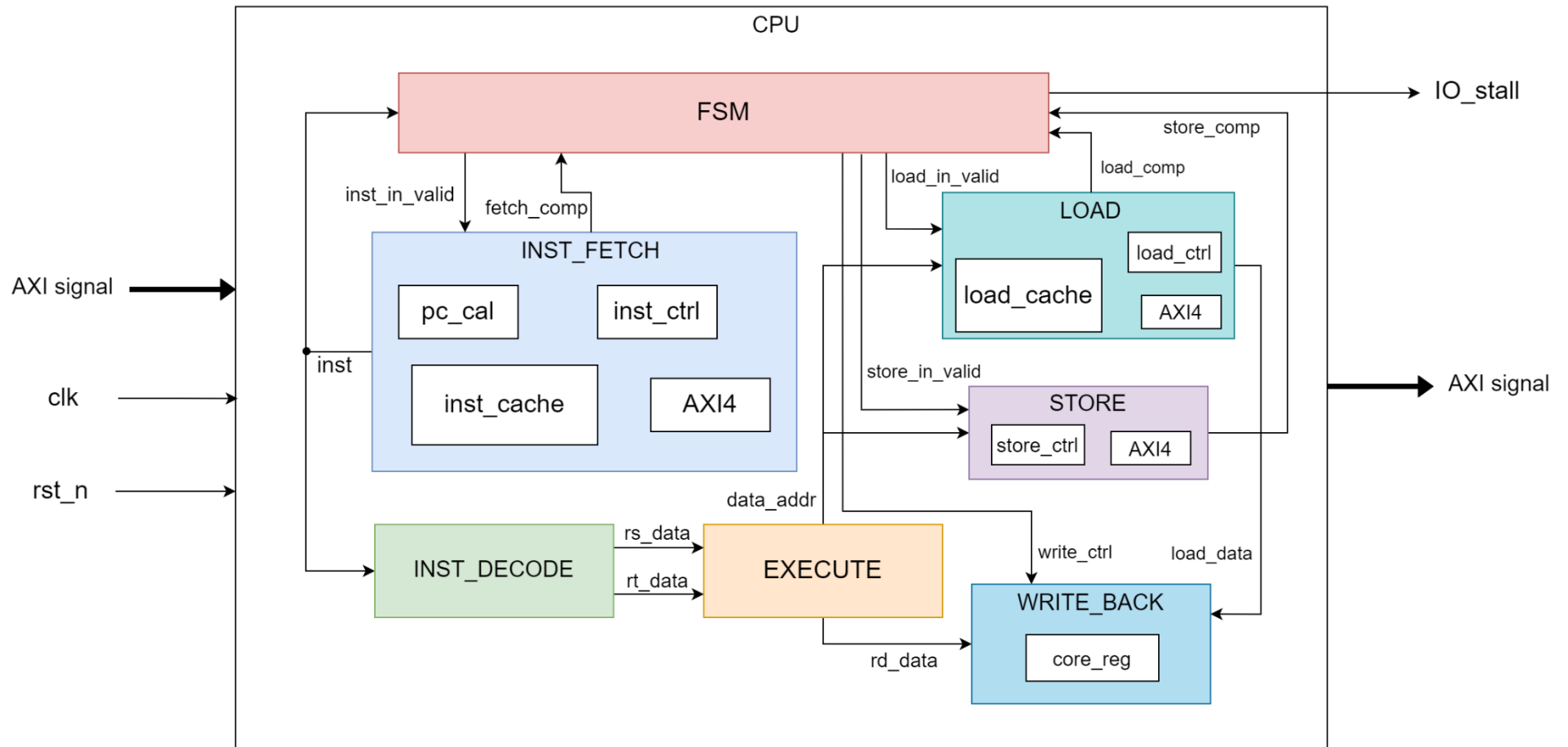


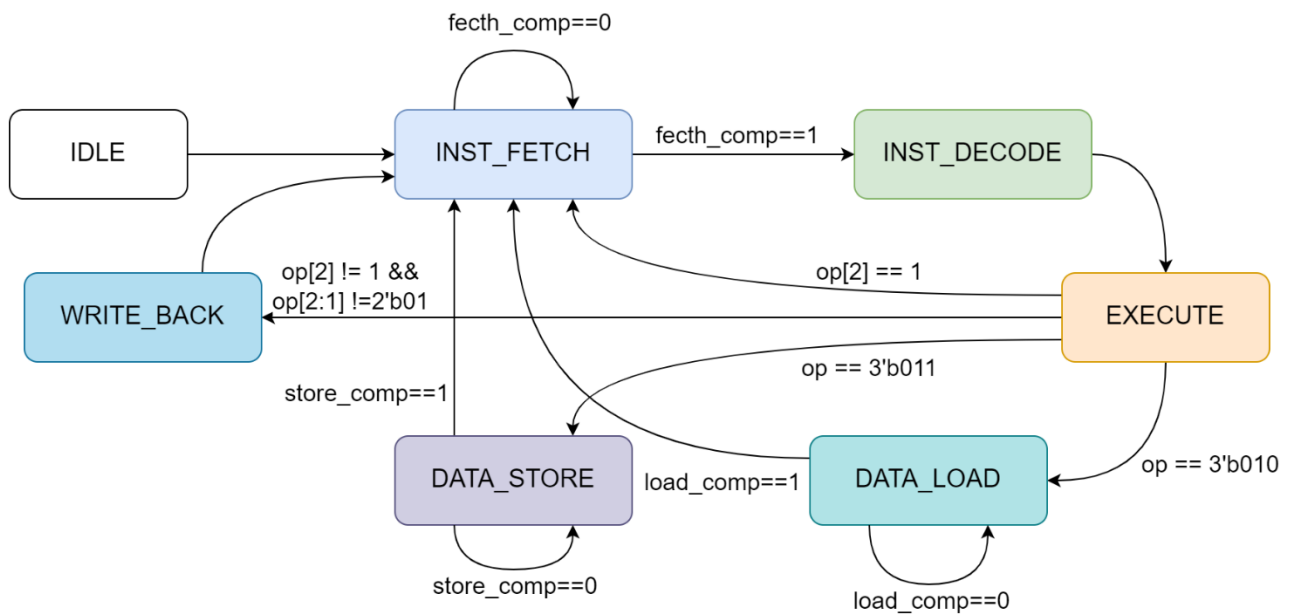
# Final Project Report

311510170 iclab064

## 一. 電路架構圖



## 二. FSM(流程圖)



## 三. 優化方法

1. 因為 DRAM 讀取需要很多 cycle，且讀的動作不影響 DRAM 內部的值，因此用 2 個 SRAM 分別當作 instruction, data 的 cache，且因為題目有提到無論是 instruction 或是 data 取值的時候都會在正負 64 的 address 範圍內，因此將 SRAM 的大小設為 128，這樣可以減少大量 DRAM 讀取時的 cycle 數。
2. 這次只有加減乘的運算，因此 cycle time 可以壓到很低，在設計 AXI4 的輸入輸出訊號時，若沒有加上 FF 很容易因為 input/output delay 造成 longest path 在此路徑上，考量到 performance 面積占比較小，並且為了降低 timing violation 的發生機率，將所有訊號都用 reg 穩定過後再進行運算。