

Estat del processador per l'entrega final

Instruccions Implementades

Operacions moviment d'immediats

Les dues estan implementades i funcionen correctament

Instruccions de memòria

Les quatre instruccions, tant load com store per word i per byte, estan implementades i funcionen correctament

Instruccions d'operacions aritmètiques i lògiques

Totes les instruccions estan implementades i funcionen correctament, inclosa la suma amb immediat (ADDI)

Instruccions d'extensió aritmètica

Les instruccions de multiplicació i divisió estan implementades i funcionen correctament.

Instruccions de comparació

Totes les instruccions de comparació estan implementades i funcionen correctament.

Instruccions de control del flux d'execució

La instrucció *HALT* funciona correctament.

Les instruccions de salt relatiu condicional (BZ i BNZ) estan implementades i funcionen correctament.

Les instruccions de salt amb registre (JZ, JNZ, JMP, JAL) estan implementades i funcionen correctament.

Instruccions d'Entrada i Sortida

Les instruccions d'entrada i sortida (IN, OUT) estan implementades i funcionen correctament.

Instruccions de control d'interrupcions

Les instruccions d'activació i desactivació (EI, DI) de les interrupcions estan implementades i funcionen correctament. La instrucció de tractament de interrupció (GETIID) està implementada i funciona correctament. La instrucció de retorn de la rutina general de servei (RETI) també està implementada i funciona correctament.

Instruccions de sistema

La instrucció de crida a sistema (CALLS) està implementada i funciona correctament.

Instruccions de gestió de la TLB

Les instruccions d'actualització de la TLB de dades i d'instruccions (WRVD, WRPD, WRVI, WRPI) estan implementades i funcionen correctament.

La instrucció d'invalidació de la TLB (FLUSH) està implementada i funciona parcialment: no comprova l'operand d'entrada i per tant invalida les dues TLB.

Estat de les funcionalitats i accions.

Controlador de memòria

El controlador de memòria té dos estats, i per tant requereix de dos cicles per fer. escriptures. Les lectures son asíncrones.

En el primer cicle posa les senyals com l'adreça i el valor, i el segon cicle posa la senyal WE de la SDRAM a LOW, activant el permís d'escriptura i per tant fent efectiva l'escriptura al xip de memòria.

Controlador VGA i PS2

Estan implementats i funcionen correctament.

Interrupcions

Les interrupcions estan implementades i funcionen correctament. Concretament hi ha els botons, els switchs, el Timer i el teclat.

Excepcions

Les excepcions estan implementades i funcionen correctament.

Mode sistema

Els dos modes d'execució, usuari i sistema, estan implementats i funcionen correctament.

La comprovació de privilegis (instruccions i adreces de memòria) funciona correctament per al mode d'usuari, així com totes les excepcions que se'n deriven.

Translation Lookaside Buffer

Les dues TLB d'instruccions i de dades, estan implementades igual que les instruccions per escriure-les. Les excepcions relacionades funcionen parcialment.