

Википедия

# Асинхронная логика

---

Материал из Википедии — свободной энциклопедии

**Асинхронная лóгика** — разновидность взаимодействия логических элементов цифровых устройств. Отличается от синхронной тем, что её элементы действуют асинхронно, не подчиняясь глобальному генератору тактовых импульсов.

## Содержание

---

### Описание

#### Общие замечания

#### Модели и классификация асинхронных схем

#### Сильная (И) и слабая (ИЛИ) обусловленность

#### Теорема о соединении полумодулярных схем

#### Двухпроводная линия связи

#### Асинхронные примитивы

- Буферный регистр

- Ячейка Давида

- Схема повторного вхождения

- Счётный триггер

#### Методологии проектирования

- Сети Петри

  - Сигнальные графы

- Диаграммы изменений

- Обусловленные логические сети

- NCL подход

#### Основные факты и результаты

#### Библиография

#### Дополнительная литература

- Отчёты и книги

- Статьи

- Патенты

## Описание

---

Асинхронные схемы управляются двумя сигналами: **запрос**, который выдается после установки входов и **ответ**. Относительно пары этих сигналов переходной процесс в

- устойчивая работа — отсутствие сбоев при любых возможных условиях эксплуатации;
- безопасная работа — остановка в момент появления неисправности любого элемента;
- отсутствие периодов вынужденного простоя в ожидании очередного синхрои импульса.

## Общие замечания

- 

получает команды от управляющего блока (control path). Во многих отношениях такое разделение достаточно условно [4]. Некоторые

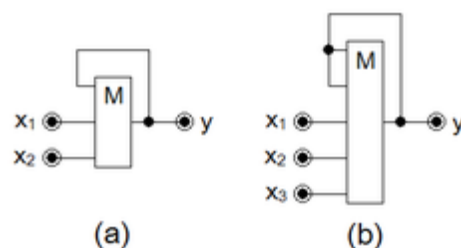
устройства, например, асинхронная шина, кольцевой интерфейс, арбитр с иерархической структурой и счетчик по модулю  $n$  практически не обрабатывают данные, но имеют сложный алгоритм управления. Другие устройства, такие как асинхронный банк регистров или параллельное  $n$ -разрядное АЛУ предназначены для интенсивной обработки данных, но управление ими достаточно простое.

- Асинхронные схемы, как и любые схемы с памятью, требуют задания начальных условий. На практике это осуществляется подачей короткого импульса сброса соответствующей полярности на запоминающие элементы. Подробнее см.<sup>[28]</sup>.
- Для правильной работы асинхронных схем необходимо задать поведение внешней среды. Схема, недистрибутивная для одной внешней среды, может оказаться дистрибутивной для другой, последовательной для третьей и неполумодулярной для четвёртой.

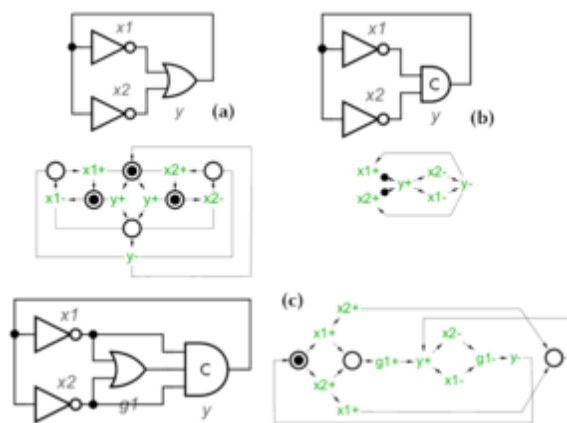
## Модели и классификация асинхронных схем

Асинхронная схема может рассматриваться как аппаратная реализация параллельной распределенной программы <sup>[4]</sup>. Для выполнения такой программы во времени обычно необходим какой-либо механизм, в то время как асинхронной схеме этот механизм не нужен. Аналогами операторов и команд в асинхронной схеме являются логические элементы, триггеры или сложные иерархические модули. Роль данных, которыми обмениваются элементы схемы, играют переключения сигналов. Таким образом, все события в схеме упорядочены во времени через причинно-следственные связи. Порядок, установленный разработчиком должен быть сохранен в схеме, то есть фактически сгенерирован, что в конечном счете обеспечивает правильное функционирование. В общем случае, классификация самосинхронных схем довольно сложна и неоднозначна <sup>[1][34]</sup>. Однако, существуют по крайней мере две достаточно общие модели таких схем с разными предположениями о задержке в элементах, проводах и их соединениях <sup>[35][36]</sup>:

1. Модель с ограниченной задержкой (модель Хаффмана, *Huffman model*<sup>[37]</sup>), в которой предполагается максимальная задержка распространения сигналов в схеме (наихудший случай). Для построения таких схем нужно вводить задержку в цепь обратной связи либо использовать локальную синхронизацию. Таким образом, схемы построенные в соответствии с моделью Хаффмана не



Г-триггеры на мажоритарных элементах <sup>[29][30]</sup> (a) двухвходовый Г-триггер (С-элемент), (b) трехвходовый Г-триггер.



Схемы, не зависящие от скорости <sup>[31]</sup> и их STG: (a) неполумодулярная <sup>[32]</sup>, (b) дистрибутивная, (c) недистрибутивная <sup>[33]</sup>.

являются строго самосинхронными. Пример использования модели Хаффмана — это различные варианты микроконвейеров (*micropipelines*) с согласованной задержкой<sup>[38][39][40][41]</sup>. В общем случае нехаффменовские модели — это модели, использующие динамические языки спецификации, для формального анализа или синтеза. Операционные устройства таким образом представить затруднительно.

2. Модель с неограниченной задержкой до точки разветвления (модель Маллера, *Muller model* <sup>[42][43][44]</sup>), в которой предполагается, что разница в задержке проводов после разветвления меньше, чем минимальная задержка элемента. Схемы построенные в соответствии с моделью Маллера делятся на несколько классов:

- схемы, не зависящие от скорости (*speed-independent, SI circuits*);
- полумодулярные или/и дистрибутивные (*semi-modular or/and distributive*) схемы;
- схемы квазинечувствительные к задержкам (*quasi-delay-insensitive, QDI circuits*).

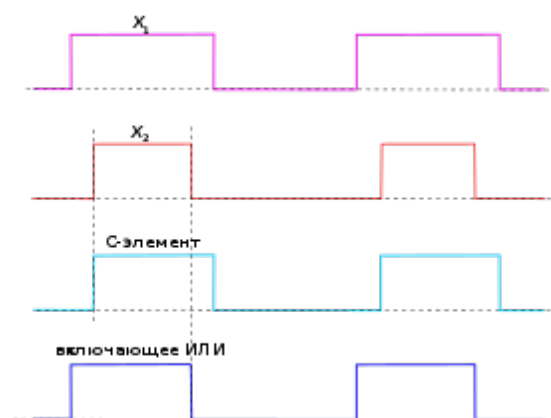
Дистрибутивные схемы являются подмножеством полумодулярных, которые в свою очередь, являются подмножеством SI-схем. На практике, класс SI-схем эквивалентен классу QDI. Теория и методы проектирования QDI-схем хорошо развиты и, поэтому, такие схемы наиболее популярны для реализации.

Сложные асинхронные системы нельзя однозначно представить ни моделью Хаффмана ни моделью Маллера. Такие системы могут быть построены как асинхронные конечные автоматы<sup>[45][46]</sup> или, в очень крупном масштабе, как асинхронные микропроцессорные комплекты<sup>[47][48]</sup>, использующие микропрограммное управление<sup>[49][50][51][52]</sup>. Подобные комплекты представлены сериями К587<sup>[53][54]</sup>, К588<sup>[55]</sup> и К1883 (U83х в ГДР)<sup>[56]</sup>. Обучение проектированию сложных последовательных самосинхронных схем целесообразно начинать с реализации простого одnorазрядного процессора MC14500B ([http://tinymicros.com/mediawiki/images/e/ec/MC14500B\\_Handbook.pdf](http://tinymicros.com/mediawiki/images/e/ec/MC14500B_Handbook.pdf)) и объединения таких процессоров в вычислительную структуру<sup>[57]</sup>.

## Сильная (И) и слабая (ИЛИ) обусловленность

На интуитивном уровне, обусловленность (причинная-следственная связь, causality) в асинхронных схемах — это зависимость порядка появления выходных сигналов от порядка появления входных. Эта зависимость может быть сильной (И) и слабой (ИЛИ), что соответствует схемам с полной индикацией (full indication) и досрочным получением результата (early evaluation)<sup>[58]</sup>.

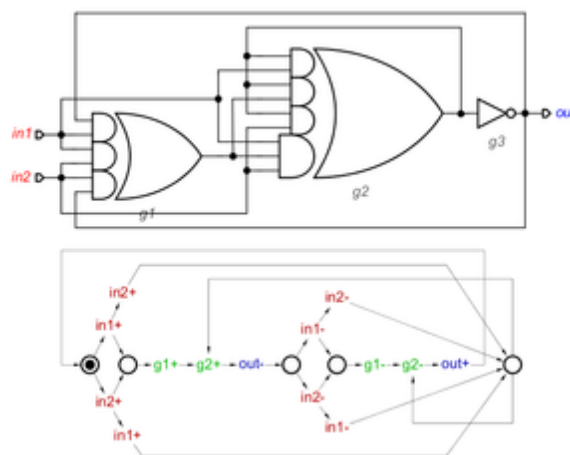
Предположим, что некоторое событие имеет две причины:  $x_1$  и  $x_2$ . И-обусловленность предполагает, что оба события  $x_1$  и  $x_2$  должны иметь место, прежде чем может произойти событие  $y$ . Таким образом, в случае



Временная диаграмма элемента «включающее ИЛИ».

И, каждая причина сильно предшествует результату. Аналогом такого поведения в социологии является коллективизм и товарищество. В случае ИЛИ-обусловленности событие  $z$  может произойти после того, как любое из событий  $x_1$  или  $x_2$  произошло (здоровый индивидуализм).

Таким образом, в случае ИЛИ, результат появляется если по крайней мере одно событие из набора слабых причин произошло. Чтобы определить как ведет себя событие  $z$  после того, как обе его слабые причины  $x_1$  и  $x_2$  произошли, вводятся понятия *совместной* и *несовместной* обусловленности [59][60] (соответственно управляемый и неуправляемый индивидуализм). Для двух входных сигналов И-обусловленность моделируется с помощью гистерезисного триггера (Г-триггер, Muller C-element (<https://en.wikipedia.org/wiki/C-element>)), заданного уравнением  $y_n = x_1 \cdot x_2 + (x_1 + x_2) \cdot y_{n-1}$ . Модель *совместной* ИЛИ-обусловленности — это элемент «включающее ИЛИ» (inclusive OR, EDLINCOR)<sup>[61]</sup>, который использует выход  $y_n$  гистерезисного триггера и задается уравнением  $z_n = x_1 \cdot x_2 + (x_1 + x_2) \cdot \overline{y_n}$ . Модель полностью *несовместной* ИЛИ-обусловленности — это схемы, основанные на арбитрах.



Синтезированная в [1] полумодулярная схема элемента «включающее ИЛИ» и его STG.

Рассмотрим асинхронную схему, в которой есть двухвходовый элемент ИЛИ (двухвходовый элемент И). В фазе гашения на входе элемента ИЛИ установлен код **00**, а на входе элемента И — код **11**. В рабочей фазе входы один за другим переключаются в **1** (**0**). Необходимо индцировать оба эти изменения, но в случае ИЛИ-обусловленности процесс будет развиваться по одному входу, а затем второй вход где-то индцируется. Иными словами, процесс начинает ветвиться по первому изменению входа, без ожидания второго, т.е. без синхронизации со вторым сигналом. Чем больше таких элементов, тем больше параллельность в схеме. Синхронизация входов возможна, но нежелательна, так как это будет другой процесс с меньшей параллельностью.

Есть два основных метода моделирования ИЛИ-обусловленности на сетях Петри (или STG). Один способ - это уход от явного представления параллельности на уровне переходов сети Петри к уровню так называемой interleaving semantics (т.е. с выбором на трейсах) - при этом сохраняется 1-безопасность сети Петри. Другой способ - это сохранение явного представления параллельности, но при этом сеть Петри становится не 1-безопасной [60]. Таким образом, ИЛИ-обусловленность описывается либо небезопасной, но устойчивой сетью Петри, либо безопасной, но неустойчивой.

Оба типа обусловленности приводят к полумодулярным схемам. Однако, в случае И-обусловленности эти схемы являются дистрибутивными, а в случае ИЛИ — недистрибутивными. Дистрибутивные схемы могут быть построены из элементов только одного типа (например, И-НЕ или ИЛИ-НЕ), а недистрибутивные требуют использования обоих типов элементов. В случае небезопасной, но устойчивой сети Петри необходимо также

бороться с накоплением точек в вершинах OR-causality. Методологии DIMS и NCL, как и любые другие методологии с полной индикацией, имеют все преимущества и недостатки И-обусловленности. Графы сигнальных переходов в своем наиболее простом варианте также реализуют полную индикацию. Диаграммы изменений позволяют моделировать как И-, так и совместную ИЛИ-обусловленность, но не могут напрямую представлять процессы с конфликтами или выбором.

## Теорема о соединении полумодулярных схем

Пусть схемы  $A$  и  $B$  полумодулярны относительно состояний  $a$  и  $b$  соответственно, при этом  $i$  является выходом инвертора схемы  $B$ . Разомкнём узел  $j$  схемы  $A$  так, что образуются вход  $j_1$  и выход  $j_0$ . Предположим, что среди состояний в которые могут перейти схемы  $A$  и  $B$  из  $a$  и  $b$  найдутся такие  $a'$  и  $b'$  в которых значение сигнала на входе и на выходе инвертора совпадает с  $j_1$  и с  $j_0$  соответственно. Удалим из схемы  $B$  инвертор так, что образуются вход  $i_1$  и выход  $i_0$ . Соединим  $i_0$  с  $j_1$  и  $j_0$  с  $i_1$ . Можно утверждать, что полученная схема полумодулярна относительно состояния  $[a', b']$ . Интуитивное доказательство теоремы приводится в [1]. Строгое математическое доказательство можно найти в [31]. Важно отметить, что соединение двух схем по теореме требует выполнения двух условий: 1) в одной из схем должен быть инвертор и 2) наличия состояний  $a'$  и  $b'$ . Эти условия выполняются не всегда и, следовательно не любые полумодулярные схемы можно соединять в одну. Обобщение теоремы для более мягких условий приводится в [2]. Частным случаем использования теоремы является повышение быстродействия счетчиков с последовательным переносом [62][63][64][65]. В общем случае, применение теоремы дает качественно новую схему из известных составляющих, например пайплайн на Г-триггерах + статический триггер = асинхронный регистр сдвига.

## Двухпроводная линия связи

Простые синхронные схемы можно соединять между собой практически без проблем. Если в полученной сложной схеме отсутствуют критические гонки сигналов, она будет работоспособной. Соединение асинхронных схем гораздо сложнее, в полученной сложной схеме свойство асинхронности может быть утеряно. Результатом этого будет остановка работы или наоборот, генерация пачки импульсов. Если не рассматривать общий провод, то тактовый сигнал на синхронную схему подается по одному проводу. Связать асинхронные схемы можно также по одному проводу [66] но для этого нужно использовать специальный последовательный самосинхронный код. По сравнению с параллельным кодом, это означает более низкое быстродействие и дополнительные расходы оборудования. Для повышения быстродействия можно представлять разделитель (spacer) третьим уровнем сигнала [67][68]. Это позволяет также уменьшить количество проводов (если слоев металлизации не больше двух), но не позволяет переключать линии от разных задатчиков разным исполнителям, то есть не приспособлено для шинных структур. Поскольку в современных технологиях используются 7-14 слоев металлизации, экономить таким образом на проводах не имеет смысла. Два провода позволяют использовать парафазный [69][70][71] протокол связи. Впервые такой подход был использован Д. Е. Маллером для построения строго самосинхронного микроконвейера [70]. Близким к этому способу является Delay Insensitive Minterm Synthesis (DIMS) [72]. Методология Null Convention Logic (NCL) [73] также предназначена для синтеза строго самосинхронных микроконвейеров. В отличие от DIMS, где используются С-элементы, NCL использует многовходовые Г-триггеры, которые называются пороговыми элементами и



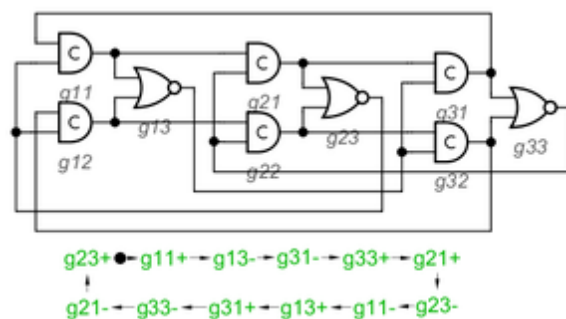
самосинхронный код М-из-N. В некоторых случаях это позволяет строить более простые схемы. Заметим, что в силу использования Г-триггеров, микроконвейеры DIMS и NCL реализуют только И-обусловленность <sup>[74]</sup>. Некоторые способы построения микроконвейеров с ИЛИ-обусловленностью рассмотрены в <sup>[75][76]</sup>. Строго самосинхронные микроконвейерные схемы также могут быть синтезированы при компиляции программ с языков высокого уровня. Следует однако, ожидать, что полученные таким образом схемы будут не оптимальными. Например, сумматор синтезированный в<sup>[77]</sup> сложнее, чем предложенный в <sup>[78]</sup>.

## Асинхронные примитивы

Идея использования примитивов для построения асинхронной схемы аналогична идее конструктора. Детали такого конструктора должны быть по возможности, универсальными <sup>[4]</sup>. Как правило, они описываются фрагментами устойчивых и безопасных сетей Петри <sup>[79][44]</sup>. Наиболее известные асинхронные примитивы это:

### Буферный регистр

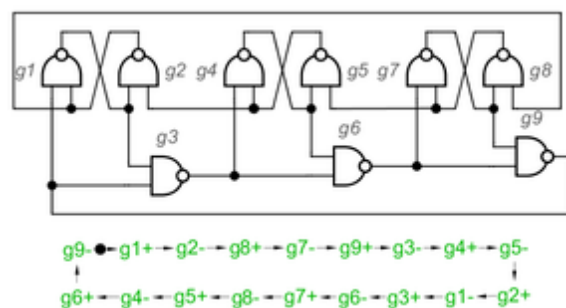
Впервые предложен в <sup>[70]</sup> под названием double-line delay (см. также <sup>[71][1]</sup>) и наиболее известен как **weak condition half buffer**, **WCHB** <sup>[80]</sup>.



Кольцевой распределитель импульсов на WCHB <sup>[1]</sup> и его STG.

### Ячейка Давида

Названа по фамилии французского инженера René David впервые её предложившего <sup>[81]</sup>. Транзисторная реализация ячейки называется **one place buffer**, её обобщения рассматриваются в <sup>[1][2][3][49][82][83][84]</sup>.



Распределитель на ячейках Давида <sup>[1][2]</sup> и его STG.

### Схема повторного вхождения

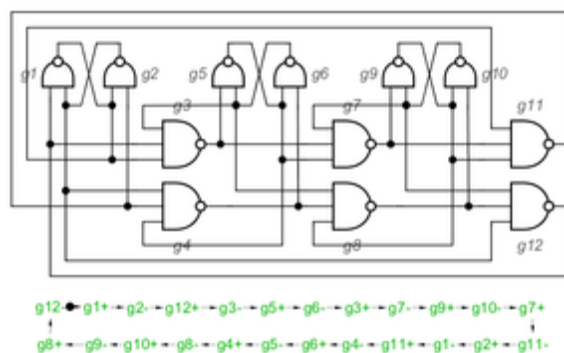
Была впервые предложена в <sup>[1]</sup> и усовершенствованна в <sup>[2]</sup>. В последнем варианте рассматривается в <sup>[3]</sup> и известна как **multiple use circuit**, **D-element**, **Q-element** <sup>[87][88]</sup> и **S-element** <sup>[30][89]</sup>.

### Счётный триггер

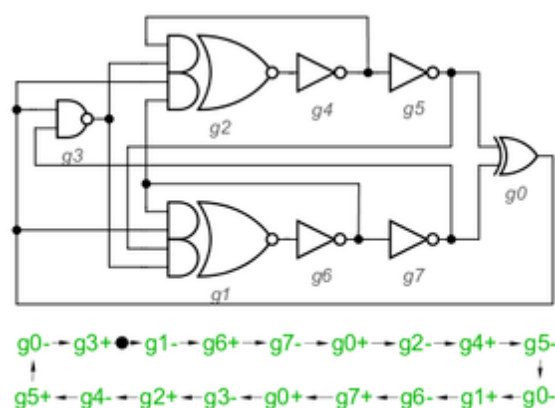
Также называемый **toggle** представляет собой делитель частоты на два, в котором обеспечивается завершение переходных процессов. Ранние версии toggle, построенные на элементах с инверсией на входах приведены в <sup>[31][95][96][97]</sup>. Диаграмма переходов схемы <sup>[95]</sup> показана на рис. 5.31 в <sup>[2]</sup>. Задержка входных инверторов во всех этих схемах предполагается нулевой, а индикатором служит либо элемент XOR либо элемент XNOR. Вариант toggle, использующий дуальные логические элементы 1И-2ИЛИ-НЕ и 1ИЛИ-2И-НЕ приводится в <sup>[98]</sup>. Заметим, что такая реализация известна по крайней мере с 1971 года <sup>[99]</sup>. Другой вариант

toggle, использующий те же элементы и два инвертора предложен в [100] и подробно обсуждается в [101]. Реализация toggle только на элементах И-НЕ (ИЛИ-НЕ) [1][2] иногда называется гарвардский триггер и известна по крайней мере с 1964 года [102]. Компактные статические схемы гарвардского триггера на КМОП транзисторах приведены в [103][104][105], а схема с нагрузочными резисторами - в [106]. Динамическая схема счётного триггера, где предыдущее состояние хранится на емкостях приведена в [107]. Заметим, что большинство счётных триггеров представляют собой последовательностные схемы и поэтому могут быть реализованы только на элементах 2И-НЕ. Существуют, однако, дистрибутивные схемы счётного триггера. Например, в [108] описывается дистрибутивная и очевидно громоздкая схема на четырёх логических и двух С-элементах. Более удачным примером является дистрибутивная схема JK-триггера на 2И-НЕ. Объединив входы J и K, получим счётный триггер.

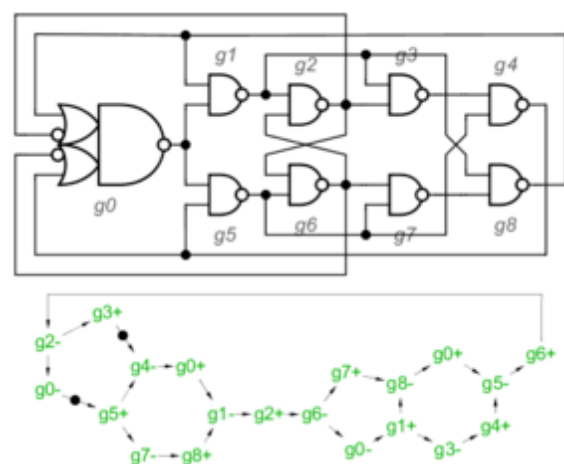
Последовательное соединение счётных триггеров даёт многоразрядный счетчик, в котором количество срабатываний разряда  $i$  вдвое меньше, чем количество срабатываний разряда  $i - 1$ . Чтобы обеспечить в таких счетчиках независимость от задержек обычно используется индикатор завершения переходных процессов во всех разрядах [1]. Схема конвейерного счетчика впервые предложена в [1], запатентована в [109] и перепечатана в [2]. Спецификации и схемы счётчиков с постоянным временем ответа приведены в [110][111][98]. Также, в [98] приводится последовательный счётчик с задержкой распространения переносов. В [112] предложен программируемый счётчик, в котором взаимодействие с внешней средой осуществляется через последний разряд. За счёт этого достигается постоянное время реакции между запросом к счётчику и ответом. Тот ответ, который получен после N запросов является сигналом с частотой поделённой на N.



Распределитель на варианте D-element [85] и его STG. Более широкие возможности имеет схема [86].



Вариант счётного триггера [90][91] [92][93] с индикатором и его STG.



Счётный триггер с индикатором построенный на JK-триггере [94] и его STG.



## Методологии проектирования

При проектировании асинхронной схемы необходимо сделать предположение о задержках. Методология самосинхронизации использует гипотезу Маллера относительно задержек в проводах — вся задержка провода приведена к выходу элемента, а разбросом задержек в проводах после разветвления можно пренебречь. В этом случае провода вообще исключаются из рассмотрения. Нарушение гипотезы Маллера приводит к нарушению причинной обусловленности поведения, являющейся логической основой самосинхронизации. Причинная обусловленность требует, чтобы каждое событие в системе являлось причиной, по крайней мере, одного другого события (свойство индицируемости самосинхронных систем<sup>[2]</sup>). В логических структурах, в отличие от систем передачи, изменение состояния отрезка провода после разветвления может не приводить к переключению логического элемента и, следовательно, не индицироваться. При этом отрезок провода начинает выступать как элемент памяти. Для борьбы с этим, то есть для построения схем, не зависящих от задержек в проводах, необходимо использование либо специальных дисциплин переключения (что сужает класс реализуемых схем<sup>[113]</sup>), либо использование специальных логических или топологических конструкции, как, например, изохронные разветвления <sup>[114][115][116]</sup> или разветвления полем (field forks <sup>[117][118]</sup>), требующих введения новых гипотез или/и приемов проектирования, зависящих от технологии. Эта проблема усугубляется с ростом влияния задержек в проводах и разброса этих задержек. Подавляющее большинство современных методологий проектирования приводят к схемам квази-нечувствительным к задержкам, то есть к схемам где все разветвления являются достаточно короткими и поэтому изохронными <sup>[119][120]</sup>. Основная задача синтеза асинхронных схем формулируется так<sup>[121][122]</sup>. Задается спецификация, моделирующая реальный процесс. Затем она анализируется чтобы выявить как полезные, так и аномальные свойства процесса. По результатам анализа исходная спецификация модифицируется с целью предотвращения или/и устранения аномалий. По новой, модифицированной спецификации синтезируется схема, поведение которой совпадает с исходной спецификацией. Краткий список методов анализа и синтеза асинхронных схем на основе моделей событийного типа приведен в<sup>[123]</sup>. Полный цикл использования этих моделей в современных средствах разработки обсуждается в <sup>[124]</sup>. Методы синтеза основанные на компиляции программ с языков высокого уровня, а также на теории трейсов рассмотрены в<sup>[125][126][127]</sup>.

## Сети Петри

Для моделирования поведения логических схем обычно используют устойчивые и безопасные сети Петри <sup>[44]</sup>. Однако, такие сети не могут моделировать досрочное получение результата, поскольку срабатывание переходов основано на И-обусловленности. Чтобы описать ИЛИ-обусловленность, сеть должна быть небезопасной (более одного маркера в позиции). Когда поведение схемы задано, необходимо преобразовать сеть Петри в диаграмму изменений (диаграмму Маллера), которая является графом с вершинами, обозначенными вектором из устойчивых и возбужденных выходов элементов. Далее следует убедиться, что полученная диаграмма является полумодулярной. Если нет, то это означает, что исходное описание схемы в виде сети Петри является неполным и следует вводить дополнительные события. Если диаграмма изменений полумодулярна, то можно по диаграмме переходов строить функции возбуждения элементов. Далее если эти функции находятся в списке элементов базиса реализации, то все в порядке. Если же нет, то нужно вводить дополнительные переменные, а

следовательно, и изменять исходное задание таким образом, чтобы все функции элементов соответствовали функциям базиса реализации. Эта проблема очень сложна и ее формальное решение далеко от оптимальной реализации.

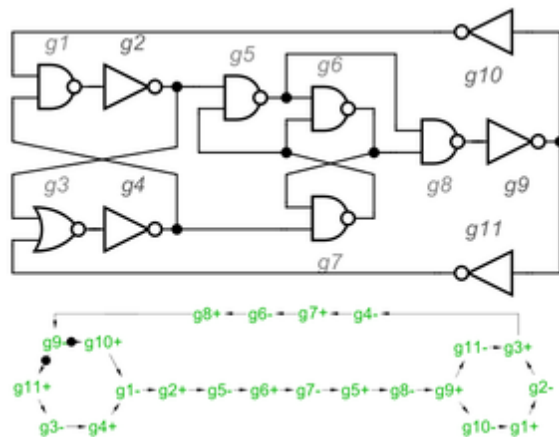
## Сигнальные графы

Основаны на сетях Петри, переходы в которых помечены именами сигналов. Впервые были предложены в [132] и описаны более подробно в двух различных подходах в [133] и [134]. Наиболее известны сейчас под названием *англ. Signal Transition Graphs, STG* [135].

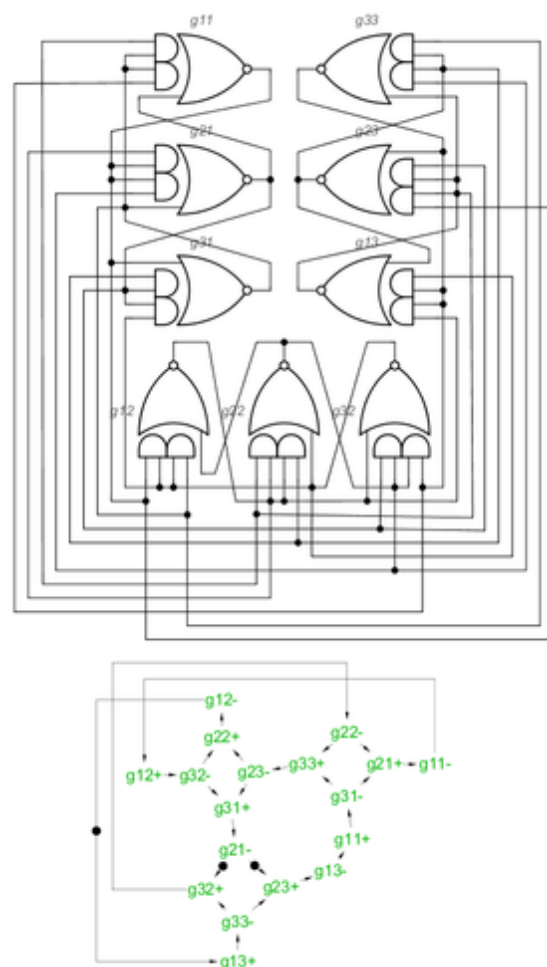
Самый простой класс STG — STG/MG соответствует классу маркированных графов сетей Петри. Это сети Петри, где каждая позиция имеет максимум один входной переход и один выходной переход. В таком графе позиция может иметь только маркеры, удалённые из него через одиночный переход, ведущий от него и переход, однажды разрешённый, может быть запрещен только при фактическом запуске, поэтому не может быть обработана ситуация, где могут происходить А или В, но не оба. Отметим, что графически STG заменяет помеченный переход его меткой, и позиции с одним входом и одним выходом опускаются. Маркеры в этих опущенных положениях просто помещаются на соответствующую дугу. В STG метки переходов содержат не только имя сигнала, но также и определенный тип перехода, нарастающий («+») или спадающий («-»).

Таким образом, когда запускается переход, помеченный ***a*+**, сигнал ***a*** переключается из 0 в 1; когда запускается переход, помеченный ***a*-**, сигнал ***a*** переключается из 1 в 0. Переходы на входных сигналах также различаются подчеркиванием. Чтобы создавать схемы по STG, часто требуются выполнения одного или нескольких ограничений: живучести, надежности, постоянства, непротиворечивого назначения состояния, уникального назначения состояния, одноцикловых переходов.

STG живой, если от каждой доступной



Г-триггер [128] и его STG. Другие варианты приведены в [129][130][131].



Конвейерный распределитель [1][2] и его STG.

маркировки каждый переход может быть, в конце концов, запущен.

STG надёжен, если никакая позиция или дуга никогда не могут содержать больше одного маркера.

STG постоянен, если для всех дуг  $a^* \rightarrow b^*$  (где  $t^*$  означает переход  $t+$  или  $t-$ ) имеются другие дуги, гарантирующие, что  $b^*$  запустится перед противоположным переходом  $a^*$ .

STG имеет непротиворечивое назначение состояния, если переходы сигнала строго чередуются между  $+$  и  $-$  (т.е. нельзя возвращаться к тому же состоянию).

STG имеет уникальное назначение состояния, если никакие две различных маркировки STG не имеют идентичных значений для всех сигналов.

STG имеет одноцикловые переходы, если каждое имя сигнала в STG появляется в точно одном нарастающем одном спадающем переходе.

## Диаграммы изменений

Диаграммы изменений (англ. *Change Diagrams*, *CD*)<sup>[136][137][138]</sup> подобно

STG имеют узлы, маркированные у переходов, и дуги между переходами, которые определяют разрешённые последовательности запуска переходов. CD имеют дуги трех типов:

сильного

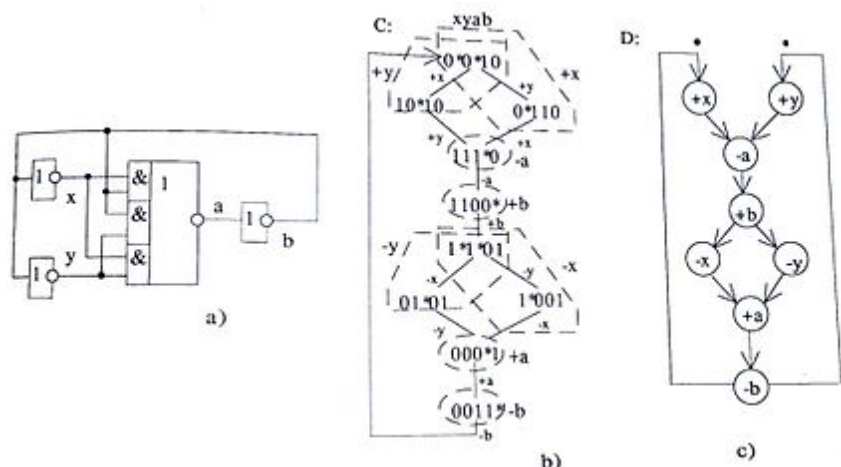
предшествования,

слабого

предшествования и

несвязанного сильного

предшествования, а также начальную маркировку, хотя маркеры помещаются в переходы CD вместо позиций. Дуги сильного предшествования подобны дугам в STG и их можно считать дугами AND, так как переход не может запускаться, пока все дуги, указывающие на него, не отмечены маркером. Дуги слабого предшествования являются дугами OR, где переход может запускаться всякий раз, когда какой-либо переход с дугой слабого предшествования к нему отмечен маркером. Заметим, что переход не может иметь сильные и слабые дуги одновременно. Когда дуги сильного или слабого предшествования заставляют переход запускаться, на всех дугах, указывающих на этот переход, маркер удаляется и помещается на все дуги, разрешающие запуск перехода. Поскольку переход с дугами слабого предшествования, ведущими к нему, может запускаться раньше всех дуг, имеющих маркеры, дуги без маркеров имеют открытые циклы, добавленные к ним для индикации «долга» одного маркера. Когда маркер достигает дуги с долгом, маркер и долг взаимно уничтожаются. Таким образом, если маркер приходит на каждую входную дугу слабого предшествования к узлу



Соответствие между диаграммами переходов (диаграммами Маллера) (b) и диаграммами изменений (c) для простой схемы Г-триггера (a)

(если ни одна из этих дуг изначально не отмечена маркерами или открытыми циклами), он будет запускаться только однажды, и может делать это, как только прибудет первый маркер. Наконец, освобождаемые дуги сильного предшествования идентичны дугам сильного предшествования, за исключением того, что после перехода, ведущего к запуску, дуга больше не сдерживает систему (считается удаляемой из CD). Таким образом, эти дуги могут использоваться для связи начального, неповторяющегося набора переходов с бесконечно повторяющимся циклом.

## Обусловленные логические сети

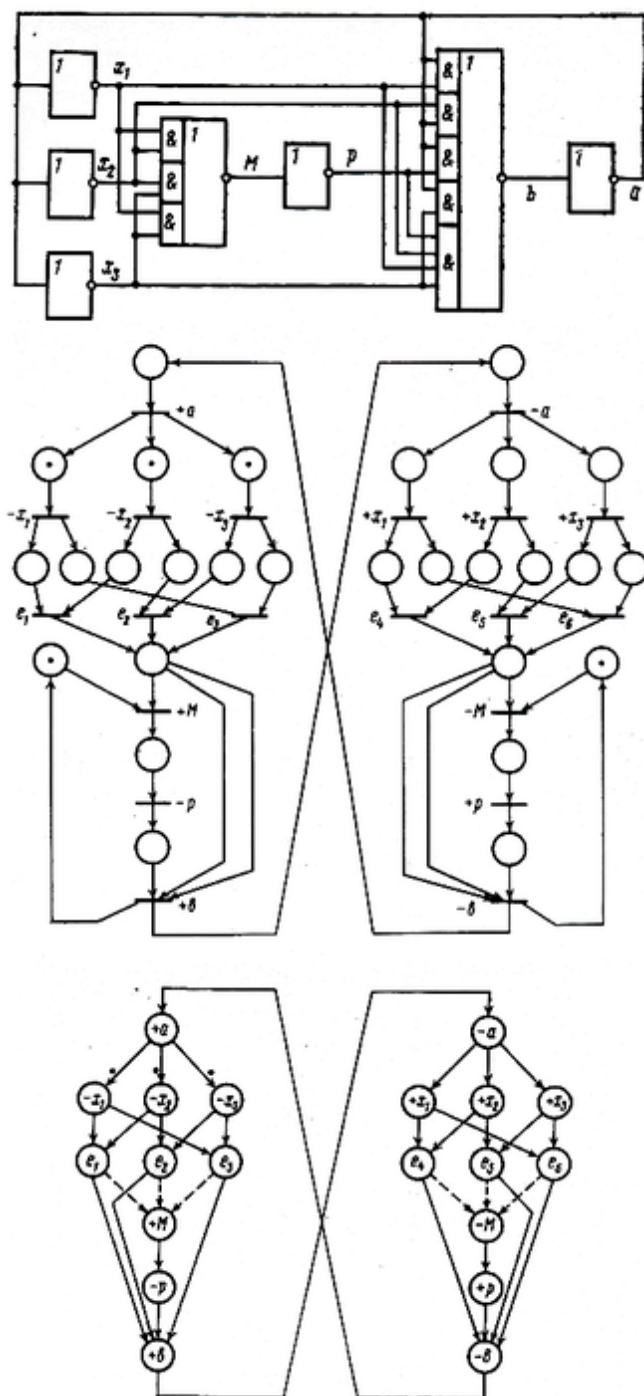
Впервые были предложены в [59] под названием англ. *Causal Logic Nets*, CLN с целью объединить преимущества сетей Петри и диаграмм изменений в представлении различных форм причинно-следственных связей [60].

## NCL подход

Сокращение NCL означает Null Convention Logic и указывает на использование разделителя **00**. Подход NCL был предложен в [139] для операционных блоков, состоящих преимущественно из самосинхронной комбинационной логики.

Элементы NCL являются частным случаем обобщенного С-элемента, который задан с помощью разложения Шеннона как  $x = \bar{x}S(x) \vee x\bar{R}(x)$ , где

$S(x)$  и  $\bar{R}(x)$  - это функции установки и сброса. Если эти функции ортогональны, т.е.  $S(x)R(x) = 0$ , то  $S(x) \leq \bar{R}(x)$  и  $x = f(x)$  изотонна (positive unate) по  $x$ . Таким образом,  $\bar{x}$  можно исключить, так что  $x = S(x) \vee x\bar{R}(x)$ . NCL использует пороговые функции установки и сброса, которые имеют не более 4 переменных. В NCL также используются 3



Элемент мажоритарного голосования реализованный как включающее ИЛИ для пар событий (1,2), (1,3), (2,3). Его интерпретированная сеть Петри и диаграмма изменений [136].

непороговые функции, которые могут быть реализованы несколькими NCL элементами. В дополняющем подходе NCL+ используется разделитель **11**. Функция сброса для NCL одна  $R(\mathbf{x}) = \overline{x_1 \vee x_2 \vee \dots \vee x_n}, n \leq 4$ , а функций установки несколько <sup>[140][141]</sup>. Для NCL+ наоборот, функция установки одна  $S(\mathbf{x}) = x_1 x_2 \dots x_n$ , а функций сброса несколько <sup>[142]</sup>. Результатом этого является определённая симметрия между КМОП реализациями элементов NCL и NCL+ <sup>[143]</sup>.

Отметим, что подход, использующий как и NCL, Г-триггеры специального типа, был предложен гораздо раньше в <sup>[1]</sup>. Он имеет два отличия, первое - парафазные схемы и второе - функционально полный базис. Сходством между двумя подходами является предположение о том, что схемы базовых элементов нечувствительны к задержкам во внутренних проводах (DI-предположение). Это позволяет приблизиться к реализации схем, не чувствительных к задержкам в соединительных проводах между элементами. Однако, КМОП реализации NCL очень громоздкие, например, элемент ТН24 состоит из 28 транзисторов <sup>[143]</sup>. Это может нарушать DI-предположение, не говоря уже о 8-ми входном элементе И-ИЛИ-НЕ в универсальном модуле более раннего подхода <sup>[144]</sup>. Таким образом, платой за нечувствительность к задержкам в проводах является крайняя избыточность, низкое быстродействие и недостаточная надёжность схем в КМОП реализации. Отметим также, что поскольку пороговые функции являются подмножеством монотонных, оба упомянутых подхода могут рассматриваться как развитие последовательностных схем на пороговых элементах <sup>[145][146][147][148]</sup>.

Построение операционных блоков на NCL называется Flow Computation (<http://www.karlfant.net/flow-computation>). Эти блоки представляют собой связанные осцилляторы, которые производят параллельные вычисления. Подобный принцип используется в двумерных распределителях <sup>[149][150][151]</sup>.

## Основные факты и результаты

- Асинхронные схемы могут рассматриваться как обобщение кольцевого осциллятора. То есть если выходы схемы соединить через модель внешней среды со входами, схема начнёт осциллировать.
- Разделитель (spacer) присутствует только в двухфазных самосинхронных (СС) кодах. Однофазный СС код — это код с прямыми переходами. Других однофазных СС кодов не существует.
- Реализация логических функций. До сих пор наилучшим универсальным подходом является перекрестная реализация<sup>[118][152]</sup>. Любая логическая функция от двух и более переменных обладает функциональными соотнесениями, с которыми в принципе невозможно бороться. Однако, на сравнимых наборах монотонная (unate) функция свободна от функциональных соотнесений. Поэтому удваиваем число входных переменных и заменяем инверсию переменной независимой переменной. Для того чтобы входные наборы стали сравнимыми нужна двухфазная дисциплина, в которой каждый рабочий набор перемежается спейсером (разделителем, состоящим либо из всех нулей, либо из всех единиц). Поскольку спейсер сравним с любым рабочим набором, получаем, что в двухфазной последовательности входов все соседние наборы являются сравнимыми, что необходимо для отсутствия функциональных соотнесений. Остаются логические

состязания (атрибут реализации). В этом случае помогает перекрестная реализация. Добавляется второй канал реализации, который реализует инверсную функцию (первый канал реализует саму функцию). Причем реализация этого канала должна быть двойственной реализации основного канала. При такой реализации все чистые инверторы в каждом канале заменяются перекрестными связями, так как каждому выходу элемента некоторого яруса соответствует выход элемента в том же ярусе инверсного канала. Эти два выхода образуют пару парафазного кода, что существенно облегчает построение индикатора для логики. В случае использования двухфазной дисциплины со спейсером парафазная реализация в КМОП-технологии не приводит к увеличению числа транзисторов по сравнению с тактируемой однофазной логикой. Это связано с тем, что КМОП-схемы в случае однофазной реализации содержат прямой и инверсный каналы. Анализ избыточности самосинхронизирующихся кодов позволяет предположить, что для синхронной комбинационной схемы с  $h$  входами и  $q$  выходами должна существовать асинхронная схема с  $h + \log_2(h)$  входами и  $q + \log_2(q)$  выходами. Эта оценка соответствует гипотетической реализации с минимальными дополнительным оборудованием, то есть на практике нижний предел недостижим.

- Реализация индикаторов. Каналы индикации моментов окончания переходных процессов строятся на основе Г-триггеров. Поскольку Г-триггер содержит компоненту И, число его входов ограничено. Таким образом, нужно использовать либо пирамиды из Г-триггеров, либо системы параллельного сжатия, что приводит к затратам оборудования и увеличению задержки в схеме индикации, что может резко снизить быстродействие за счет работы по реальным задержкам. Использование свойства двусторонней проводимости МОП-транзистора позволяет построить схему двухкаскадного индикатора с практически неограниченным числом входов и расходом оборудования 4 транзистора на индицируемый вход<sup>[153][154][152]</sup>.
- Некоторые самосинхронные устройства могут быть реализованы с пренебрежимо малым увеличением оборудования по сравнению с синхронной реализацией. Например счетчики (1974) и память (1986)<sup>[155][156][157]</sup>.
- Схемы не зависящие от задержки (DI<sup>[158]</sup>, foam-rubber wrapper<sup>[159]</sup>), которые состоят из элементов с одним выходом могут содержать только инверторы и С-элементы, что не позволяет строить практические схемы достаточно гибко<sup>[113][160]</sup>. Невозможно построить полностью независимые от задержек Г-триггер, RS-триггер, Т-триггер<sup>[118]</sup>.
- Любая дистрибутивная схема может быть корректно реализована на двухвходовых элементах И-НЕ (ИЛИ-НЕ) с нагрузочной способностью не больше двух. Любая полумодулярная схема может быть корректно реализована только при совместном использовании этих элементов или при использовании трехвходовых элементов И-ИЛИ-НЕ. Вопрос о корректной реализации полумодулярных схем только на элементах И-НЕ (ИЛИ-НЕ) остается открытым<sup>[2][161][162]</sup>. На практике однако, минимальный базис не имеет особого смысла ввиду высокой сложности получающихся схем. С ростом значений коэффициентов разветвления и с увеличением функциональных возможностей схемы становятся



компактней. В современной КМОП технологии целесообразно использовать элементы сложность которых не превышает 4И-4ИЛИ-НЕ. Не существует полумодулярной схемы из элементов И-НЕ, не чувствительной к задержкам хотя бы в двух ветвях провода, подключенного к выходу элемента, для которого состояния этой схемы живые <sup>[163]</sup>. Если провод разветвляется, то это функция ИЛИ, поэтому где-то нужно индцировать сигналы в ветвящихся проводах (ИЛИ-обусловленность). Всё вышесказанное справедливо только для парафазной реализации, частным случаем которой является реализация С-элемента только на элементах И-НЕ. Вопрос о реализации однофазных дистрибутивных схем на только элементах И-НЕ остается открытым. Однако, в случае однофазного С-элемента нужны элементы обоих типов. Действительно, чтобы реализовать сильную причинность по нарастающим фронтам, нужен элемент И-НЕ, а по спадающим - ИЛИ-НЕ.

- По одному и тому же проводу запрос можно передавать напряжением, а подтверждение — током. В этом случае для индикации моментов окончания переходных процессов необходимо использовать датчики потребляемого тока КМОП элементов. Однако такие датчики сложны в реализации, а их быстродействие недостаточно. Таким образом, идея комбинированной индикации на практике не ведет к упрощению оборудования. Примером удачного использования этой идеи является метод самосинхронной передачи данных, где каждый бит передается по одному проводу<sup>[164]</sup>. Для параллельной передачи  $n$  разрядного двоичного кода этому методу требуется лишь  $n + 2$  проводов, а его производительность не хуже, чем при передаче данных по двум проводам.
- Индикаторы завершения переходных процессов могут быть построены на основе пороговых схем с несколькими выходами<sup>[165]</sup>.

## Библиография

<sup>↑</sup> Показывать компактно

1. А. Г. Астановский, В. И. Варшавский, В. Б. Мараховский и др. Апериодические автоматы. М. Наука, 1976, 423 с. (<http://booksdescr.org/item/index.php?md5=C968D0A627727A47A624C01469E18432>) (недоступная ссылка)
2. В. И. Варшавский, М. А. Кишиневский, В. Б. Мараховский и др. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. М.: Наука, 1986. (<http://booksdescr.org/item/index.php?md5=979C276FB210BA158A642A82B4E87A5E>) (недоступная ссылка) (V. I. Varshavsky (ed.). Self-Timed Control of Concurrent Processes. (<http://booksdescr.org/item/index.php?md5=2579527A02CD964549ABE10F1FCD4F37>) (недоступная ссылка))
3. В. И. Варшавский, В. Б. Мараховский, Л. Я. Розенблюм, А. В. Яковлев, "Асинхронные параллельные процессы и самосинхронные схемы, " Электронная техника. Сер. Упр. кач-вом, стандартизация, метрология, испытания, Вып. 5. № 4, стр. 3-33, 1988. ([https://www.researchgate.net/profile/Vuacheslav\\_Marakhovsky/publication/278667320\\_Asynchronous\\_Concurrent\\_Processes\\_and\\_Self-timed\\_Circuits.\\_%28in\\_Russian%29/links/5581afe408ae12bde6e4aa7d.pdf](https://www.researchgate.net/profile/Vuacheslav_Marakhovsky/publication/278667320_Asynchronous_Concurrent_Processes_and_Self-timed_Circuits._%28in_Russian%29/links/5581afe408ae12bde6e4aa7d.pdf))

4. A. V. Yakovlev, A. M. Koelmans, "Petri nets and digital hardware design," Lectures on Petri Nets II: Applications, vol. 1492, pp 154-236, 1998. ([http://rd.springer.com/content/pdf/10.1007%2F3-540-65307-4\\_49.pdf](http://rd.springer.com/content/pdf/10.1007%2F3-540-65307-4_49.pdf))
5. C. H. van Berkel, M. B. Josephs, S. M. Nowick, "Applications of asynchronous circuits, " Proceedings of the IEEE, vol. 87, no. 2, pp. 223—233, 1999. (<http://www.cs.columbia.edu/~nowick/async-applications-PIEEE-99-berkel-josephs-nowick-published.pdf>)
6. P. S. K. Siegel, Automatic Technology Mapping for Asynchronous Designs. PhD dissertation, Stanford University, 1995, 159 p. (<http://i.stanford.edu/pub/cstr/reports/csl/tr/95/663/CSL-TR-95-663.pdf>)
7. P. Franklin, D. Winkel, and E. Brunvand, "A comparison of modular self-timed design styles, " Report UUCS-95-025, University of Utah, 1995. ([https://www.researchgate.net/publication/238159953\\_A\\_Comparison\\_of\\_Modular\\_Self-Timed\\_Design\\_Styles](https://www.researchgate.net/publication/238159953_A_Comparison_of_Modular_Self-Timed_Design_Styles))
8. C. G. Wong, A. J. Martin and P. Thomas, "An architecture for asynchronous FPGAs, " IEEE Int. Conference on Field-Programmable Technology (FPT) 2003, pp. 170—177. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1275745>)
9. D. Shang, F. Xia, A. Yakovlev, "Asynchronous FPGA architecture with distributed control, " IEEE Int. Symposium on Circuits and Systems (ISCAS) 2010, pp. 1436—1439. (<http://www.eecs.ucf.edu/~mingjie/ECM6308/papers/Asynchronous%20FPGA%20architecture%20with%20distributed%20control%20.pdf>)
10. Y. Komatsu, M. Hariyama and M. Kameyama, "Architecture of an Asynchronous FPGA for Handshake-Component-Based Design, " IEICE Transactions on Information and Systems, vol. E96-D, no. 8, 2013, pp. 1632—1644. ([https://www.jstage.jst.go.jp/article/transinf/E96.D/8/E96.D\\_1632/\\_article](https://www.jstage.jst.go.jp/article/transinf/E96.D/8/E96.D_1632/_article))
11. Renesas Electronics. ASIC Product Overview, 2011. (<https://www.renesas.com/eu/en/doc/DocumentServer/011/R05CS0002ED0201.pdf>)
12. M. Courvoisier, "An asynchronous logic array for the realisation of logic systems with concurrency, " Electronics Letters, vol. 14, no. 4, pp. 119—121, 1978. (<http://ieeexplore.ieee.org/xpl/abstractCitations.jsp?arnumber=4240878>)
13. R. W. Hartenstein, A. Hirschbiel and M. Weber, "Patil array — A Petri net hardware implementation, " CompEuro 1988, pp. 26-33. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=4931>)
14. W. Eisele, G. Eckstein, J. Beister, "VMEbus controller synthesis by communicating asynchronous sequential circuits, " Kaiserslautern University, 1994. (<https://kluedo.ub.uni-kl.de/frontdoor/index/index/docId/29>)
15. L. Lloyd, K. Heron, A. M. Koelmans, A. V. Yakovlev, "Asynchronous microprocessors: From high level model to FPGA implementation, " Journal of Systems Architecture, vol. 45, no. 12-13, pp. 975—1000, 1999. (<http://www.cs.ncl.ac.uk/publications/trs/papers/610.pdf>)
16. S. W. Moore and P. Robinson, "Rapid prototyping of self-timed circuits, " IEEE Int. Conference on Computer Design (ICCD) 1998, pp. 360—365. (<http://www.cl.cam.ac.uk/~swm11/research/papers/iccd1998.pdf>)
17. K. Meekins, D. Ferguson and M. Basta, "Delay insensitive NCL reconfigurable logic, " IEEE Aerospace Conference 2002, vol. 4, pp. 1961—1966. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1036908>)

18. J. V. Manoranjan and K. S. Stevens, "Burst-mode asynchronous controller implementation on FPGA using relative timing, " IEEE Southern Conference on Programmable Logic (SPL) 2014, pp. 1-6. (<http://www.ece.utah.edu/~kstevens/docs/spl14.pdf>)
19. R. Payne, "Asynchronous FPGA architectures, " IEE Proceedings, Computers and Digital Techniques, vol. 143, no. 5, pp. 282—286, 1996. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?reload=true&arnumber=537219>)
20. P. Y. K. Cheung. Are asynchronous ideas useful in FPGAs? (<http://homepage.s.cs.ncl.ac.uk/victor.khomenko/papers/Alex-Festschrift.pdf>) . *This Asynchronous World* 87—95 (2016).
21. Z. Hajduk, «Simple method of asynchronous circuits implementation in commercial FPGAs», Integration the VLSI Journal, vol. 59, 2017, pp. 31-41. (<http://www.sciencedirect.com/science/article/pii/S0167926017302894>)
22. V. B. Marakhovsky, A. V. Surkov, "GALA systems of interactive automata," Technical report, 2016 ([https://www.researchgate.net/publication/303917828\\_GALA\\_Systems\\_of\\_Interactive\\_Automata](https://www.researchgate.net/publication/303917828_GALA_Systems_of_Interactive_Automata))
23. M. B. Gokhale, P. S. Graham, Field-Programmable Gate Arrays, § 2.1 in Reconfigurable Computing: Accelerating Computation with Field-Programmable Gate Arrays. Springer, 2005, 238 p. (<https://b-ok.cc/md5/396B7D8D0E8FFDA3C9E029E669C433DC>)
24. H. Kaeslin, Field-programmable logic, Ch. 2 in Top-Down Digital VLSI Design: From Architectures to Gate-Level Circuits and FPGAs, pp. 41-61, Elsevier, 2014. (<https://b-ok.cc/md5/B4AEB861AAE7E9BA4CE48D70A0BD7548>)
25. J. C. Kalb, "J-K master-slave flip-flop," Patent US3591856, Jul. 6, 1971. (<http://www.freepatentsonline.com/3591856.pdf>)
26. D. Sokolov, I. Poliakov and A. Yakovlev, "Asynchronous data path models," IEEE Int. Conference on Application of Concurrency to System Design (ACSD) 2007, pp. 197-210. (<https://ieeexplore.ieee.org/document/4276279/>)
27. Y. Zhou, C. Shi, Z. Deng and A. Yakovlev, "Synthesis and optimization of asynchronous dual rail encoded circuits based on partial acknowledgement, " IEEE Int. Conference on ASIC 2017, pp. 496-503. (<https://ieeexplore.ieee.org/abstract/document/8252522>)
28. <https://workcraft.org/tutorial/synthesis/initialisation/start>
29. Транзисторная схема двух- и трехвходового Г-триггеров известна по крайней мере с 1969 J. J. Gibson, "Logic circuits employing field effect transistors," Patent US3439185, Apr. 15, 1969. (<http://www.freepatentsonline.com/3439185.pdf>)
30. C. H. van Berkel, "Beware the isochronic fork," Report UR 003/91, Philips Research Labs, 1991. (<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.72.3108&rep=rep1&type=pdf>)
31. Р. Миллер, Теория переключательных схем, не зависящих от скорости, Гл. 10 в кн. Теория переключательных схем. Том 2: Последовательностные схемы и машины. Наука, 1971, стр. 242-298. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Miller.pdf>) (R. E. Miller, "Theory of speed-independent circuits," Ch. 10 in Switching Theory. Vol. 2: Sequential circuits and machines. Wiley, 1965.)
32. S. J. Silver, J. A. Brzozowski, "True concurrency in models of asynchronous circuit behavior," Formal Methods in System Design, vol. 22, no. 3, pp. 183-203, 2003. ([https://plg.uwaterloo.ca/ftp/maveric/reports/All-reports/03\\_True\\_Concurrency.pdf](https://plg.uwaterloo.ca/ftp/maveric/reports/All-reports/03_True_Concurrency.pdf))

33. M. Kishinevsky, A. Kondratyev, A. Taubin, V. Varshavsky, "Analysis and identification of speed-independent circuits on an event model," *Formal Methods in System Design*, vol. 4, no. 1, pp. 33-75, 1994. (<https://link.springer.com/article/10.1007/BF01383956>) ("Анализ и идентификация схем, независимых от скорости, на модели события" (<http://www.selftiming.ru/files/articles/foreign/IDENTIF/identif-r.doc>) Архивная копия (<http://web.archive.org/web/20150722033311/http://www.selftiming.ru/files/articles/foreign/IDENTIF/identif-r.doc>) от 22 июля 2015 на Wayback Machine)
34. S. H. Unger, "Self-synchronizing circuits and nonfundamental mode operation," *IEEE Transactions on Computers*, vol. C-26, no. 3, pp. 278-281, 1977. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1674820&navigation=1>)
35. A. V. Yakovlev, A. M. Koelmans, L. Lavagno, "High level modelling and design of asynchronous interface logic," preprint, 1995. (<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.19.6557&rep=rep1&type=pdf>)
36. J. A. Brzozowski, "Topics in asynchronous circuit theory," *Recent Advances in Formal Languages and Applications*, vol. 25, pp. 11-42, 2006. ([http://ma-veric.uwaterloo.ca/reports/2006\\_RecentAdvances\\_Brzozowski.pdf](http://ma-veric.uwaterloo.ca/reports/2006_RecentAdvances_Brzozowski.pdf))
37. M. Shams, J. C. Ebergen, M. I. Elmasry, "Asynchronous Circuits," in *Wiley Encyclopedia of Electrical and Electronics Engineering*, pp. 1-23, 1999. ([http://www.doe.carleton.ca/~rmason/elec3500/async\\_ency.pdf](http://www.doe.carleton.ca/~rmason/elec3500/async_ency.pdf))
38. I. E. Sutherland, "Micropipelines," *Communications of the ACM*, vol. 32, no. 6, pp. 720—738, 1989. (<http://f-cpu.seul.org/new/micropipelines.pdf>)
39. G. Cornetta, J. Cortadella, "Asynchronous pipelined datapaths design techniques. A survey," pp. 1-31, 1997. ([https://www.researchgate.net/publication/2692690\\_Asynchronous\\_Pipelined\\_Datapaths\\_Design\\_Techniques\\_A\\_Survey](https://www.researchgate.net/publication/2692690_Asynchronous_Pipelined_Datapaths_Design_Techniques_A_Survey))
40. M. Singh, S. M. Nowick, "MOUSETRAP: ultra-high-speed transition-signaling asynchronous pipelines," *International Conference on Computer Design (ICCD) 2001*, pp. 9-17. ([http://nthucad.cs.nthu.edu.tw/TingTingHwang/paper\\_present/2004.09.17\\_gunking/20040917gunking.pdf](http://nthucad.cs.nthu.edu.tw/TingTingHwang/paper_present/2004.09.17_gunking/20040917gunking.pdf))
41. I. Sutherland and S. Fairbanks, "GasP: A minimal FIFO control," *International Symposium on Asynchronous Circuits and Systems (ASYNC) 2001*, pp. 46-53. (<http://wwwx.cs.unc.edu/~montek/teaching/spring-04/sutherland-gasp-async2001.pdf>)
42. V. Varshavsky, "System time and system timing," *Int. Conf. on Semigroups & Algebraic Engineering 1997*, pp. 1-25. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/System%20time%20and%20system%20timing.pdf>)
43. V. Varshavsky, "Time, timing and clock in massively parallel computing systems," *Int. Conf. on Massively Parallel Computing Systems 1998*, pp. 100-106. ([http://selftiming.ru/files/articles/foreign/TIME/Varshavsky\\_Paper.21.pdf](http://selftiming.ru/files/articles/foreign/TIME/Varshavsky_Paper.21.pdf)) (недоступная ссылка). Дата обращения 28 января 2016. Архивировано ([http://web.archive.org/web/20160203135817/http://selftiming.ru/files/articles/foreign/TIME/Varshavsky\\_Paper.21.pdf](http://web.archive.org/web/20160203135817/http://selftiming.ru/files/articles/foreign/TIME/Varshavsky_Paper.21.pdf)) 3 февраля 2016 года.
44. В. Б. Мараховский, Л. Я. Розенблюм, А. В. Яковлев. Моделирование параллельных процессов. Сети Петри. СПб., Профессиональная литература, 2014, 400с. ([https://www.researchgate.net/publication/316605718\\_Simulation\\_of\\_Concurrent\\_Processes\\_Petri\\_Nets](https://www.researchgate.net/publication/316605718_Simulation_of_Concurrent_Processes_Petri_Nets))

45. R. F. Tinder, Engineering Digital Design, 2nd Ed., Academic Press, 2000, 884 p. (<http://twanclik.free.fr/electricity/electronic/pdfdone6/Engineering%20Digital%20Design.pdf>)
46. R. F. Tinder, Asynchronous Sequential Machine Design and Analysis: A Comprehensive Development of the Design and Analysis of Clock-Independent State Machines and Systems, Morgan & Claypool, 2009, 235 p. (<https://books.google.co.il/books?id=wtvKY5U2Ud4C&printsec=frontcover#v=onepage&q&f=false>)
47. H. W. Lawson, B. Malm, "A flexible asynchronous microprocessor, " BIT Numerical Mathematics, vol. 13, no. 2, pp. 165—176, 1973. (<https://link.springer.com/article/10.1007%2FBF01933489>)
48. А. А. Васенков и др., "Микропроцессорная вычислительная система, " Авторское свидетельство SU674025, 15/07/1979. ([http://worldwide.espace.net.com/publicationDetails/originalDocument?CC=SU&NR=674025A1&KC=A1&FT=D&ND=3&date=19790715&DB=EPODOC&locale=en\\_EP](http://worldwide.espace.net.com/publicationDetails/originalDocument?CC=SU&NR=674025A1&KC=A1&FT=D&ND=3&date=19790715&DB=EPODOC&locale=en_EP))
49. B. J. Nordmann, B. H. McCormick, "Modular asynchronous control design, " IEEE Transactions on Computers, vol. C-26, no. 3, pp. 196—207, 1977. (<http://www.computer.org/csdl/trans/tc/1977/03/01674808.pdf>)
50. H. Lawson, An Asynchronous Approach to Microprogramming. Chapter 3 in Microprogramming and Firmware Engineering Methods. (ed. S. Habib), Wiley, 1988.
51. R. Tinder, R. I. Klaus, "Microprogrammable asynchronous controllers for digital electronic systems, " Patent US5063536, Nov. 5, 1991. ([http://worldwide.espacenet.com/publicationDetails/originalDocument?CC=US&NR=5063536A&KC=A&FT=D&ND=3&date=19911105&DB=EPODOC&locale=en\\_EP](http://worldwide.espacenet.com/publicationDetails/originalDocument?CC=US&NR=5063536A&KC=A&FT=D&ND=3&date=19911105&DB=EPODOC&locale=en_EP))
52. R. F. Tinder, R. I. Klaus, J. A. Snodderley, "High-speed microprogrammable asynchronous controller modules," IEEE Transactions on Computers, vol. 43, no. 10, pp. 1226—1232, 1994. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=324548>)
53. Глава 4.5.3 в биографии Д. И. Юдицкого (<http://www.computer-museum.ru/articles/?article=116>)
54. Серия 587 (<http://www.cpu80.ru/home/seria-587>) Архивировано (<https://web.archive.org/web/20150717061828/http://www.cpu80.ru/home/seria-587>) 17 июля 2015 года.
55. С. Т. Хвощ, Н. Н. Варлинский и Е. А. Попов, Микропроцессоры и микроЭВМ в системах автоматического управления. Справочник. Л. Машиностроение, 1987, 638 с.
56. Серия 1883/U830 (<http://www.cpu80.ru/home/seria-u83-k1883>) Архивировано (<https://web.archive.org/web/20150722062052/http://www.cpu80.ru/home/seria-u83-k1883>) 22 июля 2015 года.
57. W. M. Loucks, M. Snelgrove and S. G. Zaky, "A vector processor based on one-bit microprocessors," IEEE Micro, vol. 2, no. 1, pp. 53-62, 1982. ([http://www.researchgate.net/profile/Martin\\_Snelgrove/publication/3215661\\_A\\_Vector\\_Processor\\_Based\\_On\\_One-Bit\\_Microprocessors/links/5510aa5b0cf2ba84483f9c05/A-Vector-Processor-Based-On-One-Bit-Microprocessors.pdf](http://www.researchgate.net/profile/Martin_Snelgrove/publication/3215661_A_Vector_Processor_Based_On_One-Bit_Microprocessors/links/5510aa5b0cf2ba84483f9c05/A-Vector-Processor-Based-On-One-Bit-Microprocessors.pdf))
58. A. Yakovlev, Asynchronous Design: Quo Vadis? DDECS, Vienna 2010 (<http://www.staff.ncl.ac.uk/alex.yakovlev/home.formal/talks/DDECS2010-AY-key-note-short-final.pdf>)

59. A. Yakovlev, M. Kishinevsky, A. Kondratyev and L. Lavagno, "OR causality: modelling and hardware implementation," *Int. Conference on Application and Theory of Petri Nets*, 1994, pp. 568-587. ([https://link.springer.com/chapter/10.1007/3-540-58152-9\\_31](https://link.springer.com/chapter/10.1007/3-540-58152-9_31))
60. A. Yakovlev, M. Kishinevsky, A. Kondratyev, L. Lavagno, M. Pietkiewicz-Koutny, "On the models for asynchronous circuit behaviour with OR causality," *Formal Methods in System Design*, vol. 9, no. 3, pp. 189-233, 1996. (<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.19.4630&rep=rep1&type=pdf>) ("О моделях для асинхронного режима схемы с причинной связью OR") (<http://www.selftiming.ru/files/articles/foreign/MODELS/models-r.doc>) Архивная копия (<http://web.archive.org/web/20150724205300/http://www.selftiming.ru/files/articles/foreign/MODELS/models-r.doc>) от 24 июля 2015 на [Wayback Machine](#)
61. D. A. Pucknell, "Event-driven logic (EDL) approach to digital systems representation and related design processes," *IEE Proceedings E, Computers and Digital Techniques*, vol. 140, no. 2, pp. 119—126, 1993. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=210334>)
62. В. И. Варшавский, В. Б. Мараховский, В. А. Песчанский и др., "Последовательный счетчик," Авторское свидетельство SU618853, 05.08.1978. (<https://sites.google.com/site/vivinventions/home/SU618853.pdf>)
63. В. И. Варшавский, В. Б. Мараховский, В. А. Песчанский и др., "Последовательный счетчик," Авторское свидетельство SU706934, 30.12.1979. (<https://sites.google.com/site/vivinventions/home/SU706934.pdf>)
64. Б. С. Цирлин, "Последовательный счетчик," Авторское свидетельство SU1160558, 07.06.1985. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Patents/:8R0LK00>)
65. Б. С. Цирлин, "Счетчик," Авторское свидетельство SU1205303, 15.01.1986. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Patents/:FR0LK00>)
66. K. van Berkel and A. Bink, "Single-track handshake signaling with application to micropipelines and handshake circuits," *IEEE Int. Symposium on Advanced Research in Asynchronous Circuits and Systems*, 1996, pp. 122—133. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=494444>)
67. A. S. Wojcik, K. Y. Fang, "On the design of three-valued asynchronous modules," *IEEE Transactions on Computers*, vol. C-29, no.10, pp. 889—898, 1980. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1675472>)
68. J. Tse, B. Hill, R. Manohar, "A bit of analysis on self-timed single-bit on-chip links," *IEEE Int. Symposium on Asynchronous Circuits and Systems (ASYNC)* 2013, pp. 124—133. ([http://www.jontse.com/papers/files/2013\\_e1of2\\_links.pdf](http://www.jontse.com/papers/files/2013_e1of2_links.pdf))
69. J. C. Sims and H. J. Gray, "Design criteria for autosynchronous circuits," *IEE Eastern Joint Computer Conference (AFIPS)* 1958, vol. 14, pp. 94-99. (<http://www.computer.org/csdl/proceedings/afips/1958/5053/00/50530094.pdf>)
70. D. E. Muller, "Asynchronous logics and application to information processing," *Symposium on the Application of Switching Theory in Space Technology*, pp. 289-297, 1963. ([http://www.ee.bgu.ac.il/~kushnero/asynchronous/Muller\\_1963.pdf](http://www.ee.bgu.ac.il/~kushnero/asynchronous/Muller_1963.pdf))



71. Г. Цеманек, "Последовательная асинхронная логика," Международный симпозиум ИФАК Теория конечных и вероятностных автоматов 1962, стр. 232—245. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Zemanek.pdf>) также (H. Zemanek, "Sequentielle asynchrone Logik," Elektronische Rechenanlagen, vol. 4, no. 6, pp. 248—253, 1962. (<http://www.degruyter.com/view/j/itit.1962.4.issue-1-6/itit.1962.4.16.248/itit.1962.4.16.248.xml>))
72. J. Sparsø, J. Staunstrup, M. Dantzer-Sørensen, "Design of delay insensitive circuits using multi-ring structures," European Design Automation Conference, 1992, pp. 15-20. ([http://orbit.dtu.dk/fedora/objects/orbit:57901/datastreams/file\\_4504333/content](http://orbit.dtu.dk/fedora/objects/orbit:57901/datastreams/file_4504333/content))
73. A. Kondratyev, K. Lwin, "Design of asynchronous circuits using synchronous CAD tools," IEEE Design & Test of Computers, vol. 19, no. 4, pp. 107—117, 2002. ([http://www.cadence.com/cn/cadence/cadence\\_labs/Documents/kalex\\_DAC\\_2002\\_design.pdf](http://www.cadence.com/cn/cadence/cadence_labs/Documents/kalex_DAC_2002_design.pdf)) Архивировано ([https://web.archive.org/web/20150929101552/http://www.cadence.com/cn/cadence/cadence\\_labs/Documents/kalex\\_DAC\\_2002\\_design.pdf](https://web.archive.org/web/20150929101552/http://www.cadence.com/cn/cadence/cadence_labs/Documents/kalex_DAC_2002_design.pdf)) 29 сентября 2015 года.
74. A. Smirnov, A. Taubin, "Synthesizing asynchronous micropipelines with design compiler," Synopsys Users Group Conference, pp. 1-33, 2006. (<http://www.asynceda.com/publications/snug06.pdf>) (недоступная ссылка). Дата обращения 21 сентября 2015. Архивировано (<https://web.archive.org/web/20150929204425/http://www.asynceda.com/publications/snug06.pdf>) 29 сентября 2015 года.
75. A. Bystrov, D. Sokolov, A. Yakovlev, "Low-latency control structures with slack," IEEE Int. Symposium on Asynchronous Circuits and Systems (ASYNC) 2003, pp. 164—173. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1199176>)
76. D. Sokolov, I. Poliakov, A. Yakovlev, "Analysis of static data flow structures," Fundamenta Informaticae, vol. 88, no. 4, pp. 581—610, 2008 ([https://www.researchgate.net/publication/220443510\\_Analysis\\_of\\_Static\\_Data\\_Flow\\_Structures](https://www.researchgate.net/publication/220443510_Analysis_of_Static_Data_Flow_Structures))
77. A. M. Lines, "Pipelined asynchronous circuits," Report CS-TR-95-21, California Institute of Technology, 1998. (<https://authors.library.caltech.edu/26834/5/CSTR1998.pdf>)
78. В. И. Варшавский, А. Ю. Кондратьев и В. А. Романовский и Б. С. Цирлин, "Комбинационный сумматор," Авторское свидетельство SU1596321, 30.09.1990. (<https://sites.google.com/site/vivinventions/home/SU1596321.pdf>)
79. В. А. Дружинин и С. А. Юдицкий, "Конструирование хорошо сформированных сетей Петри из типовых блоков," Автоматика и телемеханика, 1992, № 12, 115-121. (<http://www.mathnet.ru/links/43245d61ed507dc2e095815623a7362b/at3454.pdf>) (V. A. Druzhinin and S. A. Yuditskii, "Construction of well-formed Petri nets from standard subnets," Automation and Remote Control, vol. 53, no. 12, 1992, pp.1922-1927)
80. M. T. Moreira, J. J. H. Pontes, N. L. V. Calazans, "Tradeoffs between RTO and RTZ in WCHB QDI asynchronous design," IEEE Int. Symposium on Quality Electronic Design (ISQED) 2014, pp. 692—699. ([https://www.inf.pucrs.br/~calazans/publications/2014\\_ISQED\\_RTO-RTZ\\_QDI-Design.pdf](https://www.inf.pucrs.br/~calazans/publications/2014_ISQED_RTO-RTZ_QDI-Design.pdf))
81. M. Courvoisier and P. Azema, "Asynchronous sequential machines with request/acknowledge operating mode," Electronics Letters, vol. 10, no. 1, pp. 8-10, 1974. (<http://ieeexplore.ieee.org/xpl/abstractReferences.jsp?arnumber=4244956>)

82. V. Varshavsky and V. Marakhovsky, "Hardware support of discrete event coordination," IEE Int. Workshop on Discrete Event Systems (WoDES) 1996, p. 332—339. ([https://www.researchgate.net/publication/271965430\\_HARDWARE\\_SUPPORT\\_OF\\_DISCRETE\\_EVENT\\_COORDINATION](https://www.researchgate.net/publication/271965430_HARDWARE_SUPPORT_OF_DISCRETE_EVENT_COORDINATION))
83. A. Yakovlev, F. Burns, A. Bystrov, D. Shang, D. Sokolov, "Is the die cast for the token game?" Int. Conference on Application and Theory of Petri Nets (ICATPN) 2002 (<http://www.docfoc.com/is-the-die-cast-for-the-token-game-alex-yakovlev-frank-burns-alex-bystrov>) Архивировано (<https://web.archive.org/web/20160302130510/http://www.docfoc.com/is-the-die-cast-for-the-token-game-alex-yakovlev-frank-burns-alex-bystrov>) 2 марта 2016 года.
84. D. Shang, Asynchronous Communication Circuits: Design, Test, and Synthesis, PhD thesis, Newcastle University, 2003, 248 p. (<http://async.org.uk/tech-reports/NCL-EECE-MSD-TR-2003-100.pdf>)
85. В. И. Варшавский, В. Б. Мараховский, Б. С. Цирлин и И. В. Яценко, "Кольцевой асинхронный распределитель," Авторское свидетельство SU1322452, 07.07.1987. (<https://sites.google.com/site/vivinventions/home/SU1322452.pdf>)
86. С. Г. Арутюнян и В. Ш. Арутюнян, "Кольцевой асинхронный распределитель," Авторское свидетельство SU1629978, 23.02.1991. ([http://yandex.ru/patents/doc/SU1629978A2\\_19910223](http://yandex.ru/patents/doc/SU1629978A2_19910223))
87. A. J. Martin, Programming in VLSI: From communicating processes to delay-insensitive circuits. Report CS-TR-89-1, California Institute of Technology, 1989, 66 p. (<http://www.dtic.mil/dtic/tr/fulltext/u2/a444267.pdf>)
88. N. Starodoubtsev, S. Bystrov and A. Yakovlev, "Monotonic circuits with complete acknowledgement," IEEE Int. Symposium on Asynchronous Circuits and Systems (ASYNC) 2003, pp. 98-108. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Starodoubtsev/01199170.pdf>)
89. M. B. Josephs, A. M. Bailey, "The use of SI-algebra in the design of sequencer circuits," Formal Aspects of Computing, vol. 9, no. 4, pp 395—408, 1997. (<https://link.springer.com/article/10.1007%2FBBF01211298>)
90. J. W. Foltz, "Binary flip-flop employing insulated gate field effect transistors and suitable for cascaded frequency divider operation," Patent US3679913, Jul. 25, 1972. (<http://www.freepatentsonline.com/3679913.pdf>)
91. S. Clapper, "Resettable binary flip-flop of the semiconductor type," Patent US3753009, Aug. 14, 1973. (<http://www.freepatentsonline.com/3753009.pdf>)
92. Ю. Г. Бондаренко, "Триггер со счетным входом," Авторское свидетельство SU425356, 25.04.1974. ([https://yandex.ru/patents/doc/SU425356A1\\_19740425](https://yandex.ru/patents/doc/SU425356A1_19740425))
93. E. A. Vittoz, "Frequency dividing logic structure," Patent US3829714, Aug. 13, 1974. (<http://www.freepatentsonline.com/3829714.pdf>)
94. Г. С. Брайловский, "Триггер," Авторское свидетельство SU785961, 07.12.1980. ([https://yandex.ru/patents/doc/SU785961A1\\_19801207](https://yandex.ru/patents/doc/SU785961A1_19801207))
95. В. И. Горячев, В. М. Климашин, М. А. Комаров и др., "Счетный триггер," Авторское свидетельство SU362351, 13.12.1972. ([https://yandex.ru/patents/doc/SU362351A1\\_19721213](https://yandex.ru/patents/doc/SU362351A1_19721213))
96. В. И. Горячев, Б. М. Мансуров и др., "Однотактный счетный триггер," Авторское свидетельство SU371853, 05.03.1979. ([https://yandex.ru/patents/doc/SU371853A1\\_19790305](https://yandex.ru/patents/doc/SU371853A1_19790305))

97. Н. Г. Коробков и др., "Разряд двоичного последовательного счетчика," Авторское свидетельство SU1014151, 23.04.1983. ([https://yandex.ru/patents/doc/SU1014151A1\\_19830423](https://yandex.ru/patents/doc/SU1014151A1_19830423))
98. V. Varshavsky and V. Marakhovsky, "Global synchronization of asynchronous arrays," IEEE Int. Symposium on Parallel Algorithms/Architecture Synthesis, 1997, pp. 207-215. ([https://www.researchgate.net/profile/Vuacheslav\\_Marakhovsky/publication/234804015\\_Global\\_Synchronization\\_of\\_Asynchronous\\_Arrays\\_in\\_Logical\\_Time/links/54ca474c0cf2c70ce521a7a9.pdf](https://www.researchgate.net/profile/Vuacheslav_Marakhovsky/publication/234804015_Global_Synchronization_of_Asynchronous_Arrays_in_Logical_Time/links/54ca474c0cf2c70ce521a7a9.pdf))
99. R. C. Todd, "Logic system," Patent US3609569, Sep. 28, 1971. (<http://www.freepatentsonline.com/3609569.pdf>)
100. N. Starodoubtsev, A. Bystrov and A. Yakovlev, "Semi-modular latch chains for asynchronous circuit design," Int. Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS) 2000, pp. 168—177. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Starodoubtsev/Semi-modular%20Latch%20Chains.pdf>)
101. A. Madalinski, V. Khomenko and A. Yakovlev, "Interactive resolution of encoding conflicts in asynchronous circuits based on STG unfoldings," Technical Report No. CS-TR-944, Computing Science, University of Newcastle upon Tyne, 2006. (<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.62.5558&rep=rep1&type=pdf>)
102. G. T. Osborne, "Asynchronous binary counter register stage with flip-flop and gate utilizing plurality of interconnected NOR circuits," Patent US3139540, Jun. 30, 1964 (<http://www.freepatentsonline.com/3139540.pdf>)
103. В. И. Горячев, Б. М. Мансуров, Я. Д. Мартыненко и Р. Г. Талибов, "Четырехфазовый распределитель импульсов," Авторское свидетельство SU342299, 14.06.1972. ([http://patents.su/3-342299-chetyrek hfaznyjj-raspredelitel-impulsov.html](http://patents.su/3-342299-chetyrehfaznyjj-raspredelitel-impulsov.html))
104. В. И. Варшавский, Н. М. Кравченко, В. Б. Мараховский и Б. С. Цирлин, "Счетный триггер на КМОП-транзисторах," Авторское свидетельство SU1398069, 23.05.1988. (<https://sites.google.com/site/vivinventions/home/SU1398069.pdf>)
105. Б. Цирлин и А. Кушнеров, "Распознавание цифровых схем. Асинхронный счётный триггер," Препринт, 30.10.2019. (<https://m.habr.com/en/post/474268/>)
106. Б. С. Цирлин, В. А. Романовский, А. Ю. Кондратьев и Н. А. Голдин, "Счетный триггер," Авторское свидетельство SU1748230, 15.07.1992. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Cirlin/Patents/:P659K00>)
107. З. Б. Шейдин, А. Г. Габсалимов, И. В. Берг, "Триггер со счетным входом на взаимодополняющих МДП транзисторах," Авторское свидетельство SU1622925, 23.01.1991. ([http://patents.su/3-1622925-trigger-so-schetnym-v khodom-na-vzaimodopolnyayushhikh-mdp-tranzistorakh.html](http://patents.su/3-1622925-trigger-so-schetnym-vkhodom-na-vzaimodopolnyayushhikh-mdp-tranzistorakh.html))
108. J. C. Nelson, Speed-independent counting circuits. Report no. 71, Digital Computer Laboratory, University of Illinois at Urbana-Champaign, 1956. (<http://archive.org/stream/speedindependent71nels#page/n5/mode/2up>)

- .09. В. И. Варшавский, В. Б. Мараховский, В. А. Песчанский и др., "Последовательный счетчик," Авторское свидетельство SU561298, 05.06.1977. (<https://sites.google.com/site/vivinventions/home/SU561298.pdf>)
- .10. V. I. Varshavsky, V. B. Marakhovsky and V. V. Smolensky, "Designing self-timed devices using the finite automaton model," IEEE Design & Test of Computers, vol. 12, no. 1, pp. 14-23, 1995 (<https://pdfs.semanticscholar.org/8521/107099f275fc570b060a4ba0e489136c2e41.pdf>)
- .11. A. V. Yakovlev, A. M. Koelmans, A. Semenov, D. J. Kinniment, "Modelling, analysis and synthesis of asynchronous control circuits using Petri nets," Integration, the VLSI Journal, vol. 21, no. 3, pp. 143—170, 1996. (<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.19.7496&rep=rep1&type=pdf>)
- .12. O. Benafa, D. Sokolov and A. Yakovlev, "Loadable Kessels Counter," IEEE Int. Symposium on Asynchronous Circuits and Systems (ASYNC) 2018, pp. 102-109. ([https://eprints.ncl.ac.uk/file\\_store/production/255227/C7BD829D-122E-4AA7-B254-174F32440310.pdf](https://eprints.ncl.ac.uk/file_store/production/255227/C7BD829D-122E-4AA7-B254-174F32440310.pdf))
- .13. A. J. Martin, "The limitations to delay-insensitivity in asynchronous circuits," Advanced Research in VLSI, 1990, pp. 263—278.
- .14. K. van Berkel, F. Huberts, A. Peeters, "Stretching quasi delay insensitivity by means of extended isochronic forks," Asynchronous Design Methodologies, 1995, pp. 99-106.
- .15. N. Sretasereekul, T. Nanya, "Eliminating isochronic-fork constraints in quasi-delay-insensitive circuits," Asia and South Pacific Design Automation Conference (ASP-DAC) 2001, pp. 437-442. (<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.442.7441&rep=rep1&type=pdf>)
- .16. Y. Li, Redressing Timing Issues for Speed-Independent Circuits in Deep Sub-micron Age. PhD thesis, Newcastle University, 2012, 153 p. (<http://async.org.uk/tech-reports/NCL-EEE-MSD-TR-2012-180.pdf>)
- .17. V. I. Varshavsky, Circuits insensitive to delays in transistors and wires. Technical report no. 7, Helsinki University of Technology, 1989, 42 p. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Circuits%20insensitive%20to%20delays%20in%20transistors%20and%20wires.pdf>)
- .18. M. Kishinevsky, A. Kondratyev, A. Taubin and V. Varshavsky, Review of the State-of-the-Art in Self-timing, Ch. 8 in *Concurrent Hardware: The Theory and Practice of Self-Timed Design*, Wiley, 1993, 388 p. ([http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Concurrent\\_hardware\\_1993.pdf](http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Concurrent_hardware_1993.pdf))
- .19. S. Hauck, "Asynchronous design methodologies: An overview," Proceedings of the IEEE, vol. 83, no. 1, pp. 69-93, 1995. (<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.77.6139&rep=rep1&type=pdf>) ("Методологии асинхронных проектов: краткий обзор" (<http://www.selftiming.ru/files/articles/foreign/METHODOLOGIES/methodol-r.doc>) Архивная копия (<http://web.archive.org/web/20150722033306/http://www.selftiming.ru/files/articles/foreign/METHODOLOGIES/methodol-r.doc>) от 22 июля 2015 на Wayback Machine)
- .20. A. Davis and S. M. Nowick, "An introduction to asynchronous circuit design," Report UUCS-97-013, University of Utah, 1997. (<http://www1.cs.columbia.edu/async/publications/davis-nowick-intro-tr.pdf>)

21. В. И. Варшавский, В. Б. Мараховский, Л. Я. Розенблюм, А. В. Яковлев, § 4.3 Аperiodическая схмотехника, в кн. Искусственный интеллект, Том 3: Программные и аппаратные средства. Под ред. В. Н. Захарова и В. Ф. Хорошевского. М.: Радио и связь, 1990. ([https://www.researchgate.net/profile/Vuacheslav\\_Marakhovsky/publication/273761178\\_Self-timed\\_Circuits\\_Engineering\\_%28Aperiodicheskaya\\_Skhemotekhnika%29/links/550add10cf290bdc1109cae.pdf](https://www.researchgate.net/profile/Vuacheslav_Marakhovsky/publication/273761178_Self-timed_Circuits_Engineering_%28Aperiodicheskaya_Skhemotekhnika%29/links/550add10cf290bdc1109cae.pdf))
22. M. B. Josephs, S. M. Nowick, C. H. van Berkel, "Modeling and design of asynchronous circuits, " Proceedings of the IEEE , vol. 87, no. 2, pp. 234—242, 1999. (<http://www.ece.ncsu.edu/asic/ece733/papers/Logic/Asynchronous99B.pdf>) (недоступная ссылка). Дата обращения 16 сентября 2015. Архивировано (<https://web.archive.org/web/20161006115013/http://www.ece.ncsu.edu/asic/ece733/papers/Logic/Asynchronous99B.pdf>) 6 октября 2016 года.
23. A. Yakovlev, "Use of partial orders for analysis and synthesis of asynchronous circuits," Workshop on unfolding and partial order techniques (UFO) 2007, pp. 12-16. ([http://homepages.cs.ncl.ac.uk/victor.khomenko/UFO07/ufo\\_proceedings.pdf](http://homepages.cs.ncl.ac.uk/victor.khomenko/UFO07/ufo_proceedings.pdf))
24. D. Sokolov, A. Yakovlev, "Clockless circuits and system synthesis," IEE Proceedings, Computers and Digital Techniques, vol. 152, no. 3, pp. 298—316, 2005. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1468679>)
25. J. A. Brzozowski, C.-J. H. Seger, "Design of Asynchronous Circuits," Chapter 15 in Asynchronous Circuits. Springer, 1995, 404 p. ([https://link.springer.com/chapter/10.1007/978-1-4612-4210-9\\_15](https://link.springer.com/chapter/10.1007/978-1-4612-4210-9_15))
26. R. Puri, Asynchronous Logic Design. Chapter in Wiley Encyclopedia of Electrical and Electronics Engineering, pp. 726—741, 2001. (<http://onlinelibrary.wiley.com/doi/10.1002/047134608X.W7604/full>)
27. ACiD-WG report on «Design, Automation and Test for Asynchronous Circuits and Systems», edited by D. Edwards and W. Toms, 2004. (<http://www.bcim.lsbu.ac.uk/ccsv/ACiD-WG/AsyncToolSurvey.pdf>) Архивировано (<https://web.archive.org/web/20061009011424/http://www.bcim.lsbu.ac.uk/ccsv/ACiD-WG/AsyncToolSurvey.pdf>) 9 октября 2006 года.
28. Б. С. Цирлин, "Г-триггер," Авторское свидетельство SU1324106, 15.07.1987. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Patents/LR0LK00>)
29. Б. С. Цирлин, "Г-триггер," Авторское свидетельство SU1162019, 15.06.1985. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Patents/9R0LK00>)
30. Б. С. Цирлин, "Г-триггер," Авторское свидетельство SU1324107, 15.07.1987. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Patents/MR0LK00>)
31. Б. С. Цирлин, "Г-триггер," Авторское свидетельство SU1324108, 15.07.1987. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Patents/NR0LK00>)
32. Л. Я. Розенблюм, "Язык сигнальных графов и его использование для моделирования протоколов информационного обмена и аperiodических схем," Всесоюзный семинар Моделирование дискретных управляющих и вычислительных систем, стр. 22-24, 1981. ([http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Rosenblum/Rosenblum\\_1981.pdf](http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Rosenblum/Rosenblum_1981.pdf))

- .33. L. Ya. Rosenblum and A. V. Yakovlev, "Signal graphs: from self-timed to timed ones," IEEE Int. Workshop on Timed Petri Nets, 1985, pp. 199-207. (<https://www.staff.ncl.ac.uk/alex.yakovlev/home.formal/LR-AY-TPN85.pdf>)
- .34. T.-A. Chu, C. K. C. Leung, and T. S. Wanuga, "A design methodology for concurrent VLSI systems," IEEE Int. Conference on Computer Design (ICCD) 1985, pp. 407—410.
- .35. A. V. Yakovlev, "On limitations and extensions of STG model for designing asynchronous control circuits," IEEE Int. Conference on Computer Design (ICCD) 1992, pp. 396—400. (<http://www.cs.ncl.ac.uk/publications/trs/papers/374.pdf>)
- .36. В. И. Варшавский, М. А. Кишиневский, А. Ю. Кондратьев, "Модели для спецификации и анализа процессов в асинхронных схемах, " Изв. АН СССР. Техническая кибернетика, 1988, № 2, стр. 171-190. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Models%20for%20specification%20and%20analysis%20of%20the%20processes.pdf>) (V. I. Varshavsky, M. A. Kishinevsky, A. Yu. Kondratyev, L. Ya. Rosenblum and A. R. Taubin, "Models for specification and analysis of processes in asynchronous circuits, " Soviet Journal of Computer and Systems Sciences, vol. 26, 1989, pp. 61-76.)
- .37. M. A. Kishinevsky, A. Yu. Kondratyev, A. R. Taubin, "Specification and analysis of self-timed circuits, " Journal of VLSI Signal Processing, vol. 7, no. 1, pp. 117—135, 1994. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Specification%20and%20Analysis%20of%20Self-Timed%20Circuits.pdf>)
- .38. U. Schwiegelshohn, L. Thiele, "Properties of Change Diagrams, " Chap. 4 in Hardware Design and Petri Nets, pp. 77-92, 2000. (<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.72.281&rep=rep1&type=pdf>)
- .39. K. M. Fant and S. A. Brandt, "NULL Convention Logic™: a complete and consistent logic for asynchronous digital circuit synthesis," IEEE Int. Conference on Application Specific Systems, Architectures and Processors (ASAP) 1996, pp. 261-273. (<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=542821>)
- .40. M. Ligthart, K. Fant, R. Smith, A. Taubin, and A. Kondratyev, "Asynchronous design using commercial HDL synthesis tools," in IEEE Int. Symp. on Async. Circuits and Systems (ASYNC), 2000, pp. 114-125. ([https://www.researchgate.net/profile/Alex\\_Kondratyev/publication/221004164\\_Asynchronous\\_Design\\_Using\\_Commercial\\_HDL\\_Synthesis\\_Tools/links/550c587c0cf2ac2905a3d7f4/Asynchronous-Design-Using-Commercial-HDL-Synthesis-Tools.pdf](https://www.researchgate.net/profile/Alex_Kondratyev/publication/221004164_Asynchronous_Design_Using_Commercial_HDL_Synthesis_Tools/links/550c587c0cf2ac2905a3d7f4/Asynchronous-Design-Using-Commercial-HDL-Synthesis-Tools.pdf))
- .41. C. Jeong and S. M. Nowick, "Technology mapping for robust asynchronous threshold networks," ACM/IEEE Int. Workshop on Timing Issues (TAU) 2006, pp. 22-27. (<http://www.cs.columbia.edu/~cjeong/papers/tau06.pdf>)
- .42. M. T. Moreira, C. H. M. Oliveira, R. C. Porto and N. L. V. Calazans, "NCL+: Return-to-one Null Convention Logic," IEEE Int. Midwest Symposium on Circuits and Systems (MWSCAS) 2013, pp. 836-839. ([http://www.inf.pucri.br/~calazans/publications/2013\\_MWSCAS\\_NCL.pdf](http://www.inf.pucri.br/~calazans/publications/2013_MWSCAS_NCL.pdf))
- .43. A. Kondratyev, "Multi-rail asynchronous flow with completion detection and system and method for designing the same," Patent US6526542, Feb. 25, 2003. (<http://www.freepatentsonline.com/6526542.pdf>)



- .44. А. И. Бухштаб, В. И. Варшавский, В. Б. Мараховский и др., "Универсальный логический модуль," Авторское свидетельство SU561182, 05.06.1977. (<https://sites.google.com/site/vivinventions/home/SU561182.pdf>)
- .45. R. O. Winder, "Flip-flop employing three interconnected majority-minority logic gates," Patent US3403267, Sep. 24, 1968. (<http://www.freepatentsonline.com/3403267.pdf>)
- .46. R. O. Winder, "Threshold gate counters," Patent US3519941, Jul. 7, 1970. (<http://www.freepatentsonline.com/3519941.pdf>)
- .47. В. Н. Тазиян, "Счетный триггер," Авторское свидетельство SU372697, 01.03.1973. (<http://patents.su/2-372697-schetnyjj-triggeri-asesok-z-mtntr-7-l1lt-gt-amp-e-bhbji-j-c-2l.html>)
- .48. С. О. Мкртчян, "I-K-триггер," Авторское свидетельство SU421111 25.03.1974. ([https://yandex.ru/patents/doc/SU421111A1\\_19740325](https://yandex.ru/patents/doc/SU421111A1_19740325))
- .49. А. Н. Фойда, "Сдвиговой регистр," Авторское свидетельство SU643974, 25.01.1979. (<http://patents.su/4-643974-sdvigovyjj-registr.html>)
- .50. Б. С. Цирлин, "Асинхронный последовательный регистр," Авторское свидетельство SU1805501, 30.03.1993. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Patents/:R659K00>)
- .51. G. Gopalakrishnan, "Some unusual micropipeline circuits," Report UUCS-93-015, University of Utah, pp. 1-16, 1993. (<https://collections.lib.utah.edu/ark:/87278/s61j9v5b>)
- .52. В. Б. Мараховский, Логическое проектирование асинхронных схем. Слайды по курсу, Кафедра АиВТ СПбГПУ. (<http://elibrary.spbstu.ru/dl/1945.pdf/download/1945.pdf>)
- .53. В. И. Варшавский, А. Ю. Кондратьев, Н. М. Кравченко, Б. С. Цирлин, "Г-триггер," Авторское свидетельство SU1411934, 23/07/1988. (<https://sites.google.com/site/vivinventions/home/SU1411934.pdf>)
- .54. В. И. Варшавский, Н. М. Кравченко, В. Б. Мараховский, Б. С. Цирлин, "Г-триггер," Авторское свидетельство SU1443137, 07/12/1988. (<https://sites.google.com/site/vivinventions/home/SU1443137.pdf>)
- .55. В. И. Варшавский, Н. М. Кравченко, В. Б. Мараховский и Б. С. Цирлин, "Запоминающее устройство на КМОП-транзисторах," Авторское свидетельство SU1365129, 07.01.1988. (<https://sites.google.com/site/vivinventions/home/SU1365129.pdf>)
- .56. Б. С. Цирлин, А. Ю. Кондратьев, Н. А. Голдин и В. А. Романовский, "Оперативное запоминающее устройство," Авторское свидетельство SU1589324, 30.08.1990. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Patents/:M659K00>)
- .57. A. Baz, D. Shang and A. Yakovlev, "Self-timed SRAM for energy harvesting systems," Journal of Low Power Electronics, vol. 7, no. 2, 2011, pp.274-284. ([https://www.researchgate.net/publication/220799591\\_Self-Timed\\_SRAM\\_for\\_Energy\\_Harvesting\\_Systems](https://www.researchgate.net/publication/220799591_Self-Timed_SRAM_for_Energy_Harvesting_Systems))
- .58. J. T. Udding, Classification and Composition of Delay-Insensitive Circuits, PhD thesis, Eindhoven University of Technology, 1984.
- .59. C.E. Molnar, T.P. Fang, and F.U. Rosenberger, "Synthesis of delay-insensitive modules," Chapel Hill Conference on VLSI, 1985.

- .60. H. Saito, A. Kondratyev, J. Cortadella, L. Lavagno, A. Yakovlev, «What is the cost of delay insensitivity?» IEEE/ACM Int. Conference on Computer-Aided Design 1999, pp. 316—323. ([https://www.researchgate.net/publication/221627978\\_What\\_is\\_the\\_cost\\_of\\_delay\\_insensitivity](https://www.researchgate.net/publication/221627978_What_is_the_cost_of_delay_insensitivity))
- .61. Б. С. Цирлин, "Минимальный базис реализации последовательных схем, " Изв. АН СССР, Техническая кибернетика, № 2, 1985, стр. 91-97. ([http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Tsirlin\\_Minimal%20basis%20for%20sequential%20circuits.pdf](http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Tsirlin_Minimal%20basis%20for%20sequential%20circuits.pdf)) (B. S. Tsirlin, "Minimal Basis for Realization of Sequential Circuits, " Soviet Journal of Computer and Systems Sciences, vol. 23, 1985, pp. 26-31.)
- .62. В. И. Варшавский, М. А. Кишиневский, В. Б. Мараховский, Л. Я. Розенблюм, "Функциональная полнота в классе полумодулярных схем, " Известия АН СССР, Техническая кибернетика, № 3, 1985, стр. 103—114. (V. I. Varshavskiy, M. A. Kishinevskiy, V. B. Marakhovskiy and L. Ya. Rozenblyum, "Functional Completeness in the Class of Semimodular Circuits, " Soviet Journal of Computer and Systems Sciences, vol. 23, № 6, 1985, pp. 70-80. ([https://www.researchgate.net/publication/265767101\\_Functional\\_completeness\\_in\\_the\\_class\\_of\\_semimodular\\_circuits](https://www.researchgate.net/publication/265767101_Functional_completeness_in_the_class_of_semimodular_circuits)))
- .63. Б. С. Цирлин, "Обзор эквивалентных проблем реализации схем в базисе И-НЕ, не зависящих от скорости," Изв. АН СССР, Техническая кибернетика, №2, 1986, стр. 159-171. ([http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Tsirlin\\_Review%20of%20realization%20problems%20in%20NAND%20basis.pdf](http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Tsirlin_Review%20of%20realization%20problems%20in%20NAND%20basis.pdf)) (B. S. Tsirlin, "A survey of equivalent problems of realizing circuits in the AND-NOT basis that are speed-independent," Soviet Journal of Computer and Systems Sciences, vol. 24, 1986, pp. 58-69.)
- .64. V. I. Varshavsky, V. B. Marakhovsky, R. A. Lashevsky, "Self-timed data transmission in massively parallel computing systems, " Integrated Computer-Aided Engineering, vol. 4, no. 1, pp. 47-65, 1997. ([https://www.researchgate.net/publication/262173687\\_Self-timed\\_data\\_transmission\\_in\\_massively\\_parallel\\_computing\\_systems](https://www.researchgate.net/publication/262173687_Self-timed_data_transmission_in_massively_parallel_computing_systems))
- .65. S. J. Piestrak, «Membership test logic for delay-insensitive codes», IEEE Int. Symposium on Advanced Research in Asynchronous Circuits and Systems (ASYNC) 1998, pp. 194—204. (<http://ieeexplore.ieee.org/document/666505/>)

## Дополнительная литература

---

### Отчёты и книги

1. D. E. Muller, Theory of asynchronous circuits. Report no. 66, Digital Computer Laboratory, University of Illinois at Urbana-Champaign, 1955. (<https://archive.org/stream/theoryofasynchro66mull#page/n3/mode/2up>)
2. J. C. Nelson, Speed-independent counting circuits. Report no. 71, Digital Computer Laboratory, University of Illinois at Urbana-Champaign, 1956. (<https://archive.org/stream/speedindependent71nels#page/n5/mode/2up>)
3. D. E. Muller, W. S. Bartky, A theory of asynchronous circuits I. Report no. 75, Digital Computer Laboratory, University of Illinois at Urbana-Champaign, 1956. (<https://archive.org/stream/theoryofasynchro75mull#page/n5/mode/2up>)
4. D. E. Muller, W. S. Bartky, A theory of asynchronous circuits II. Report no. 78,

- Digital Computer Laboratory, University of Illinois at Urbana-Champaign, 1957. (<https://archive.org/stream/theoryofasynchro78mull#page/n5/mode/2up>)
5. J. H. Shelly, The decision and synthesis problems in semimodular switching theory, PhD thesis, University of Illinois at Urbana-Champaign, 1959, 93 p. (<https://archive.org/stream/decisionsynthesi88shel#page/n3/mode/2up>)
  6. W. S. Bartky, A theory of asynchronous circuits III. Report no. 96, Digital Computer Laboratory, University of Illinois at Urbana-Champaign, 1960. (<https://archive.org/stream/theoryofasynchro96bart#page/n5/mode/2up>)
  7. A. M. Bush, A method for sensing the completion of operations in speed-independent asynchronous computer circuits. MSc thesis, Georgia Institute of Technology, 1961, 67 p. ([https://smartech.gatech.edu/bitstream/handle/1853/15416/bush\\_aubrey\\_m\\_196108\\_ms\\_69823.pdf](https://smartech.gatech.edu/bitstream/handle/1853/15416/bush_aubrey_m_196108_ms_69823.pdf))
  8. W. D. Frazer, A switching theory for bilateral nets of threshold elements. PhD thesis, University of Illinois at Urbana-Champaign, 1963, 69 p. (<https://archive.org/details/switchingtheoryf153fraz>)
  9. R. E. Swartwout, Further studies in speed-independent logic for a control. PhD thesis, University of Illinois at Urbana-Champaign, 1962, 104 p. (<https://ia601703.us.archive.org/7/items/furtherstudiesin130swar/furtherstudiesin130swar.pdf>)
  10. Р. Миллер, Теория переключательных схем, не зависящих от скорости, Гл. 10 в кн. Теория переключательных схем. Том 2: Последовательностные схемы и машины. Наука, 1971, стр. 242—298. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Miller.pdf>)
  11. А. Г. Астановский, В. И. Варшавский, В. Б. Мараховский и др. Аперiodические автоматы. М. Наука, 1976, 423 с. ([https://www.researchgate.net/publication/267672940\\_Aperiodic\\_automata.\\_%28Aperiodicheskie\\_avtomaty%29](https://www.researchgate.net/publication/267672940_Aperiodic_automata._%28Aperiodicheskie_avtomaty%29))
  12. С. Ангер, Схемы вырабатывающие сигналы завершения, § 6.1 в кн. Асинхронные последовательностные схемы, Наука, 1977, 400с. ([http://www.ee.bgu.ac.il/~kushnero/asynchronous/Unger\\_1969.pdf](http://www.ee.bgu.ac.il/~kushnero/asynchronous/Unger_1969.pdf))
  13. А. Фридман и П. Менон, Логические элементы с неограниченными задержками, § 4.9 в кн. Теория и проектирование переключательных схем, М. Мир, 1978, стр. 275—282. ([http://www.ee.bgu.ac.il/~kushnero/asynchronous/Fridman\\_Menon\\_1978.pdf](http://www.ee.bgu.ac.il/~kushnero/asynchronous/Fridman_Menon_1978.pdf))
  14. C. L. Seitz, "System timing, " Ch. 7 in Introduction to VLSI Systems, C. A Mead and L. A Conway, pp. 218—262, Addison-Wesley, 1980. (<http://ai.eecs.umich.edu/people/conway/VLSI/VLSIText/PP-V3/2s/V3.Ch7-2s.PDF>)
  15. Б. С. Цирлин, Алгебра и анализ асинхронных логических схем. Препринт, Ин-т соц.-экон. пробл. АН СССР, 1981, 39 с. ([http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Tsirlin\\_Algebra\\_and\\_analysis\\_preprint.pdf](http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Tsirlin_Algebra_and_analysis_preprint.pdf)) (недоступная ссылка)
  16. Ю. В. Мамруков, Анализ аперiodических схем и асинхронных процессов. Диссертация к.т.н. ЛЭТИ, 1984, 219 с. (<http://booksdescr.org/item/index.php?md5=7b1290c1bb7d69ad9f76bb7714fff0b4>) (недоступная ссылка)
  17. Н. А. Стародубцев, Синтез схем управления параллельных вычислительных систем. Л. Наука, 1984, 191 с. (<http://www.biblus.ru/Default.aspx?book=2e3g2e27o4>)
  18. В. И. Варшавский, М. А. Кишиневский, В. Б. Мараховский и др.

Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. М.: Наука, 1986. Translated to English as Self-Timed Control of Concurrent Processes: The Design of Aperiodic Logical Circuits in Computers and Discrete Systems.

19. V. I. Varshavsky (ed.), Hardware Support of Parallel Asynchronous Processes. Research report, Helsinki University of Technology, 1987, 235 p. (<https://b-ok.cc/book/4978171/a2839f>)
20. T.-A. Chu, Synthesis of Self-Timed VLSI Circuits from Graph-Theoretic Specifications. Ph.D. thesis, Massachusetts Institute of Technology, 1987, 189 p. (<https://dspace.mit.edu/bitstream/handle/1721.1/14794/17338066-MIT.pdf?sequence=2>)
21. V. I. Varshavsky, Circuits insensitive to delays in transistors and wires. Technical report no. 7, Helsinki University of Technology, 1989, 42 p. (<https://b-ok.cc/book/2947521/6a13a6>)
22. L. Lavagno, Synthesis and Testing of Bounded Wire Delay Asynchronous Circuits from Signal Transition Graphs. PhD thesis, University of California at Berkeley, 1992, 306 p. (<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.37.1129&rep=rep1&type=pdf>)
23. О. А. Изосимов. Методы синтеза и динамического анализа самосинхронных КМДП СБИС. Диссертация к.т.н., МИФИ, 1993, 165 с. (<http://booksdescr.org/item/index.php?md5=139a452ec6ae02b7e25014d3b078157f>) (недоступная ссылка)
24. M. Kishinevsky, A. Kondratyev, A. Taubin and V. Varshavsky, Concurrent Hardware: The Theory and Practice of Self-Timed Design, Wiley, 1993, 388 p. ([https://books.google.co.il/books/about/Concurrent\\_Hardware.html?id=DjhQAAAMAAJ&redir\\_esc=y](https://books.google.co.il/books/about/Concurrent_Hardware.html?id=DjhQAAAMAAJ&redir_esc=y))
25. K. van Berkel, Handshake Circuits: An Asynchronous Architecture for VLSI Programming. Cambridge, 225 p.
26. J. A. Brzozowski, C.-J. H. Seger, Asynchronous Circuits. Springer, 1995, 404 p. (<https://books.google.co.il/books?id=usrgBwAAQBAJ&printsec=frontcover#v=onepage&q&f=false>)
27. S. S. Appleton, Performance-directed design of asynchronous VLSI systems. PhD thesis, University of Adelaide, 1997, 285p. (<https://digital.library.adelaide.edu.au/dspace/handle/2440/19100>)
28. S. P. Wilcox, Synthesis of asynchronous circuits. PhD dissertation, University of Cambridge, 1999, 250 p. (<http://www-ipv4.cl.cam.ac.uk/techreports/UCAM-CL-TR-468.pdf>)
29. C. J. Myers, Asynchronous Circuit Design. Wiley, 2001, 392 p. (<https://b-ok.cc/book/688138/d05f11>)
30. J. Sparsø, "Asynchronous circuit design — a tutorial, " Chapters 1-8 in Principles of asynchronous circuit design: A systems perspective. Kluwer, 2001, 152p. ([http://www2.imm.dtu.dk/pubdb/views/publication\\_details.php?id=855](http://www2.imm.dtu.dk/pubdb/views/publication_details.php?id=855)) Translated to Russian as «Проектирование асинхронных схем — вводное руководство» (<https://web.archive.org/web/20150724033721/http://www.vce-znau.ru/informatika/3921/index.html>)
31. J. Cortadella, M. Kishinevsky, A. Kondratyev, L. Lavagno and A. Yakovlev, Logic Synthesis for Asynchronous Controllers and Interfaces. Springer, 2002, 272 p.
32. A. Yakovlev, Theory and Practice of Using Models of Concurrency in Hardware Design. DSc. thesis based on publications, University of

- Newcastle upon Tyne, 2005, 27 p. (<https://www.staff.ncl.ac.uk/alex.yakovlev/home.formal/DSc-thesis.pdf>)
33. K. M. Fant, Logically Determined Design: Clockless System Design with NULL Convention Logic. Wiley, 2005, 292 p.
  34. W. B. Toms, Synthesis of Quasi-Delay-Insensitive Datapath Circuits. PhD thesis, University of Manchester, 2006, 237 p. ([http://apt.cs.manchester.ac.uk/ftp/pub/apt/theses/Toms06\\_phd.pdf](http://apt.cs.manchester.ac.uk/ftp/pub/apt/theses/Toms06_phd.pdf))
  35. P. A. Beerel, R. O. Ozdag, M. Ferretti, A Designer's Guide to Asynchronous VLSI. Cambridge, 2010, 339 p.
  36. Л. П. Плеханов, Основы самосинхронных электронных схем. Бином, 2013, 208 с. (<https://www.docme.ru/doc/997042/osnovy-samosinhronnyh-elektronnyh-shem.-%E2%80%94e-l.-izd.>)
  37. В. Б. Мараховский, Л. Я. Розенблюм, А. В. Яковлев. Моделирование параллельных процессов. Сети Петри. СПб., Профессиональная литература, 2014, 400с. ([https://www.researchgate.net/publication/316605718\\_Simulation\\_of\\_Concurrent\\_Processes\\_Petri\\_Nets](https://www.researchgate.net/publication/316605718_Simulation_of_Concurrent_Processes_Petri_Nets))
  38. D. Furey, Delay Insensitive Circuits. Plumstead, 2019, 652 p. ([https://www.delayinsensitive.com/delay\\_insensitive.pdf](https://www.delayinsensitive.com/delay_insensitive.pdf))

## Статьи

- D. E. Muller and W. S. Bartky, "A theory of asynchronous circuits, " Int. Symposium on the Switching Theory in Harvard University, pp. 204—243, 1959. ([http://www.ee.bgu.ac.il/~kushnero/asynchronous/Muller\\_Bartky\\_1959.pdf](http://www.ee.bgu.ac.il/~kushnero/asynchronous/Muller_Bartky_1959.pdf))
- R. S. Ledley, J. B. Wilson, "Boolean matrices applied to sequential circuit theory and threshold logics, " IEEE Transactions on Communication and Electronics, vol. 83, no. 75, pp. 768—773, 1964. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=6592604>)
- H. Eriksson, P. E. Danielsson, "Two problems on Boolean memories, " IEEE Transactions on Electronic Computers, vol. EC-16, no. 3, pp. 364—365, 1967. (<http://ieeexplore.ieee.org/xpl/abstractCitations.jsp?arnumber=4039079>)
- G. G. Langdon, "Analysis of asynchronous circuits under different delay assumptions, " IEEE Transactions on Computers, vol. C-17, no. 12, pp. 1131—1143, 1968. (<https://dx.doi.org/10.1109/TC.1968.226879>)
- I. Kimura, "Extensions of asynchronous circuits and the delay problem I. Good extensions and the delay problem of the first kind, " Journal of Computer and System Sciences, vol. 2, no. 3, pp. 251—287, 1968. (<http://www.sciencedirect.com/science/article/pii/S0022000068800108>)
- I. Kimura, "Extensions of asynchronous circuits and the delay problem. Part II: Spike-free extensions and the delay problem of the second kind, " Journal of Computer and System Sciences, vol. 5, no. 2, pp. 129—162, 1971. (<http://www.sciencedirect.com/science/article/pii/S0022000071800314>)
- I. Kimura, "Space-continuous time-semicontinuous theory of speed-independent asynchronous circuits, " Information and Control, vol. 22, no. 4, pp. 373—393, 1973. (<http://www.sciencedirect.com/science/article/pii/S001995873905408>)
- D. Bjørner, "A flow-mode, self-steering, cellular multiplier-summation processor, " BIT Numerical Mathematics, vol. 10, no. 2, pp. 125—144, 1970. (<https://link.springer.com/article/10.1007%2FBF01936862>)

- R. M. Keller, "Towards a theory of universal speed-independent modules, " *IEEE Transactions on Computers*, vol. C-23, no. 1, pp. 21-33, 1974. ([http://scholarship.claremont.edu/cgi/viewcontent.cgi?article=1288&context=hmc\\_fac\\_pub](http://scholarship.claremont.edu/cgi/viewcontent.cgi?article=1288&context=hmc_fac_pub))
- P. Corsini, G. Frosini, "Interconnecting asynchronous control networks, " *Information and Control*, vol. 38, no. 3, pp. 343—366, 1978. (<http://www.sciencedirect.com/science/article/pii/S0019995878901286>)
- В. И. Варшавский, М. А. Кишиневский, А. Р. Таубин и Б. С. Цирлин, "Анализ асинхронных логических схем. II. Достижимость рабочих состояний и влияние задержек в проводах," *Изв. АН СССР. Техническая кибернетика*, 1982, №4, стр.84-97. ([http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Delay\\_in\\_wires\\_journal.pdf](http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Delay_in_wires_journal.pdf))
- P. F. Lister, A. M. Alhelwani, "Design methodology for self-timed VLSI systems," *IEE Proceedings in Computers and Digital Techniques*, vol. E132, no. 1, pp. 25-32, 1985. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=4646400>)
- L. Nowak, "SAMP: A general purpose processor based on a self-timed VLIW structure," *ACM Computer Architecture News*, vol. 15, no. 4, 1987, pp. 32-39. (<http://dl.acm.org/citation.cfm?doid=36974.36979>)
- R. Melhem, "Verification of a class of self-timed computational networks," *BIT Computer Science*, vol. 27, no. 4, pp. 480—500, 1987. (<https://link.springer.com/article/10.1007%2FBF01937273>)
- Л. Я. Розенблюм, "Сети Петри," *Изв. АН СССР. Техническая кибернетика*, 1988, №5, стр. 12-40. (<http://is.ifmo.ru/works/2013/rosenblum-petri-nets.pdf>)
- S. I. Benjamin, *Dataflow: Overview and simulation*. MSc thesis, Rochester Institute of Technology, 1988, 106 p. (<http://scholarworks.rit.edu/cgi/viewcontent.cgi?article=1437&context=theses>)
- L. Rosenblum, A. Yakovlev, and V. Yakovlev, A look at concurrency semantics through «lattice glasses», *Bulletin of the European Association for Theoretical Computer Science (EATCS)*, vol. 37, pp. 175—180, 1989. (<https://www.staff.ncl.ac.uk/alex.yakovlev/home.formal/lattices-Bul-EATCS-37-Feb-1989.pdf>)
- A. J. McAuley, "Four state asynchronous architectures," *IEEE Transactions on Computers*, vol. 41, no. 2, pp. 129—142, 1992. ([http://nthucad.cs.nthu.edu.tw/TingTingHwang/paper\\_present/2004.11.19\\_gunking/20041119gunking.pdf](http://nthucad.cs.nthu.edu.tw/TingTingHwang/paper_present/2004.11.19_gunking/20041119gunking.pdf))
- M. Kishinevsky, J. Staunstrup, "Characterizing speed-independence of high-level designs," *IEEE Int. Symposium on Advanced Research in Asynchronous Circuits and Systems*, pp. 44-53, 1994. (<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.47.1684&rep=rep1&type=pdf>)
- V. I. Varshavsky, "Logic design and quantum challenge," *IEEE Int. Workshop on Physics and Computer Modeling of Devices Based on Low-Dimensional Structures*, 1995, pp. 134—146. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?tp=&arnumber=494973>) Translated to Russian as "Логическое проектирование и квантовый вызов, " *Информационно-управляющие системы*, № 4, 2005, стр. 22-32. (<http://cyberleninka.ru/article/n/logicheskoe-proektirovanie-i-kvantovyy-vyzov>)
- S. Moore, P. Robinson, and S. Wilcox, "Rotary pipeline processors," *IEE*



- Proceedings, Computers and Digital Techniques, vol. 143, no. 5, pp. 259—265, 1996. (<https://www.cl.cam.ac.uk/~swm11/research/papers/RotaryPipelinesIEE96.pdf>)
- W. H. F. J. Korver, I. M. Nedelchev, "Asynchronous implementation of the SCLP-A counterflow pipeline processor," IEE Proceedings on Computers and Digital Techniques, vol. 143, no. 5, pp. 287—294, 1996. (<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.50.4384&rep=rep1&type=pdf>)
  - F. Burns, D. Shang, A. Koelmans, A. Yakovlev, "An asynchronous synthesis toolset using Verilog," IEEE Design, Automation and Test in Europe Conference (DATE) 2004, vol. 1, pp. 724—725. ([https://www.date-conference.com/proceedings-archive/PAPERS/2004/DATE04/PDFFILES/IP3\\_03.PDF](https://www.date-conference.com/proceedings-archive/PAPERS/2004/DATE04/PDFFILES/IP3_03.PDF))
  - D. H. Linder and J. C. Harden, "Phased logic: supporting the synchronous design paradigm with delay-insensitive circuitry," IEEE Transactions on Computers, vol. 45, no. 9, pp. 1031—1044, 1996. (<https://web.archive.org/web/20160305235532/http://my.ece.msstate.edu/faculty/reese/linder/Publications/ieeePaper96.pdf>)
  - J. O'Leary, G. Brown, "Synchronous emulation of asynchronous circuits," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 16, no. 2, pp. 205—209, 1997. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=573835>)
  - M. H. Sawasaki, C. Ykman-Couvreur and B. Lin, "Externally hazard-free implementations of asynchronous control circuits," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 16, no. 8, pp. 835—848, 1997. ([http://cwcserv.ucsd.edu/~billin/pub/tcad97\\_async.pdf](http://cwcserv.ucsd.edu/~billin/pub/tcad97_async.pdf))
  - J. Cortadella, M. Kishinevsky, Tutorial: Synthesis of control circuits from STG specifications. Summer school. Lyngby 1997 ([http://www.inf.pucrs.br/~calazans/graduate/SSD/Tutorial\\_Cortadella\\_Lyngby\\_Summer\\_School\\_1997.pdf](http://www.inf.pucrs.br/~calazans/graduate/SSD/Tutorial_Cortadella_Lyngby_Summer_School_1997.pdf))
  - C. Piguet, J. Zahnd, "STG-based synthesis of speed-independent CMOS cells," Workshop on Exploitation of STG-based Design Technology, 1998, pp. 1-23. (<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.46.9901&rep=rep1&type=pdf>)
  - L. A. Plana and S. H. Unger, "Pulse-mode macromodular systems," IEEE Int. Conference on Computer Design (ICCD) 1998, pp. 348—353. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=727073>)
  - A. Kondratyev, J. Cortadella, M. Kishinevsky, L. Lavagno and A. Yakovlev, "Logic decomposition of speed-independent circuits," Proceedings of the IEEE, vol. 87, no. 2, pp. 347—362, 1999. ([http://www.cs.upc.edu/~jordicf/gavina/BIB/files/pieee99\\_decomp.pdf](http://www.cs.upc.edu/~jordicf/gavina/BIB/files/pieee99_decomp.pdf))
  - M. J. Liebelt and C.-C. Lim, "A method for determining whether asynchronous circuits are self-checking," IEEE Int. Asian Test Symposium (ATS) 2000, pp. 472—477. ([https://www.researchgate.net/profile/Cheng\\_Chew\\_Lim/publication/220863295\\_A\\_method\\_for\\_determining\\_whether\\_async\\_hronous\\_circuits\\_are\\_self-checking/links/552cb9430cf21acb0920e5fd.pdf](https://www.researchgate.net/profile/Cheng_Chew_Lim/publication/220863295_A_method_for_determining_whether_async_hronous_circuits_are_self-checking/links/552cb9430cf21acb0920e5fd.pdf))
  - I. Blunno, and L. Lavagno, "Deriving signal transition graphs from behavioral Verilog HDL," Hardware Design and Petri Nets, Springer, 2000, pp. 151—170. ([https://link.springer.com/chapter/10.1007/978-1-4757-3143-9\\_8](https://link.springer.com/chapter/10.1007/978-1-4757-3143-9_8))
  - J. Carmona, J. Cortadella, E. Pastor, "A structural encoding technique for the synthesis of asynchronous circuits," IEEE Int. Conference on Application of Concurrency to System Design, 2001, pp. 157—166. (<http://ieeexplore.ieee.o>

[rg/xpl/articleDetails.jsp?arnumber=981773](http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=981773))

- M. Neidengard, B. A. Minch, "Hysteretic threshold logic and quasi-delay insensitive asynchronous design," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 49, no. 10, pp. 1423—1428, 2002. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Hystere%20Threshold%20Logic%20and%20QDI.pdf>)
- A. Yakovlev, *Advanced Course: Hardware and Petri nets*. Eichstätt, 2003. (<https://www.staff.ncl.ac.uk/alex.yakovlev/home.formal/adv-course-pn2003-handouts.6up.pdf>)
- A. V. Yakovlev, *Clockless computing or learning how to play «soft time» in «hard space»* Известия СПбГЭТУ «ЛЭТИ». Сер. «Информатика, управление и компьютерные технологии», Вып. 1, стр. 55-64, 2003. (<https://www.staff.ncl.ac.uk/alex.yakovlev/home.formal/yakovlev-IZV-LETI-03.pdf>)
- A. Yakovlev , A. Bystrov , D. Sokolov , V. Varshavsky and V. Marakhovsky, "Phase-difference based logic: Principle and applications," *ACiD-WG 2004* ([https://web.archive.org/web/20160304120724/http://www.bcim.lsbu.ac.uk/ccsv/ACiD-WG/Workshop4FP5/Yakovlev\\_slides.pdf](https://web.archive.org/web/20160304120724/http://www.bcim.lsbu.ac.uk/ccsv/ACiD-WG/Workshop4FP5/Yakovlev_slides.pdf))
- D. Shang, F. Burns, A. Koelmans, A. Yakovlev and F. Xia, "Asynchronous system synthesis based on direct mapping using VHDL and Petri nets," *IEE Proceedings on Computers and Digital Techniques*, vol. 151, no. 3, pp. 209—220, May 2004. ([https://www.researchgate.net/publication/3351652\\_Asynchronous\\_system\\_synthesis\\_based\\_on\\_direct\\_mapping\\_using\\_VHDL\\_and\\_Petri\\_nets](https://www.researchgate.net/publication/3351652_Asynchronous_system_synthesis_based_on_direct_mapping_using_VHDL_and_Petri_nets))
- D. A. Edwards, W. B. Toms, "The status of asynchronous design in industry," Report IST-1999-29119 on Information Society Technologies (IST) Programme, 2004 (<https://web.archive.org/web/20111009112125/http://www.scism.lsbu.ac.uk/ccsv/ACiD-WG/AsynIndustryStatus.pdf>)
- R. R. Redziejewski, "Asynchronous circuits, communicating processes, and Muller automaton, " *Fundamenta Informaticae*, vol. 61, no. 1, pp. 47-59, 2004. (<http://www.romanredz.se/papers/FI2004.Mu.pdf>)
- L. Necchi, L. Lavagno, D. Pandini and L. Vanzago, "An ultra-low energy asynchronous processor for wireless sensor networks," *IEEE Int. Symposium on Asynchronous Circuits and Systems 2006*, pp. 1-8. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1595690>)
- H. Lampinen, P. Perala, O. Vainio, "Design of a scalable asynchronous dataflow processor, " *IEEE Design and Diagnostics of Electronic Circuits and systems (DATE) 2006*, pp. 85-86. (<http://ieeexplore.ieee.org/abstract/document/1649581/>)
- C. Jeong and S. M. Nowick, "Technology mapping and cell merger for asynchronous threshold networks, " *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 27, no. 4, pp. 659—672, 2008. (<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=4378212>)
- A. J. Martin, P. Prakash, "Asynchronous nano-electronics: Preliminary investigation, " *IEEE Int. Symposium on Asynchronous Circuits and Systems (ASYNC) 2008*, pp. 58-68. ([https://web.archive.org/web/20160304122447/http://www.async.caltech.edu/Pubs/PDF/2008\\_nano.pdf](https://web.archive.org/web/20160304122447/http://www.async.caltech.edu/Pubs/PDF/2008_nano.pdf))
- J. Carmona, J. Cortadella, M. Kishinevsky, A. Taubin, "Elastic circuits, " *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 28, no. 10, pp. 1437—1455, 2009. ([http://www.cs.upc.edu/~jordicf/gavina/BIB/files/ElasticCircuits\\_tcad2009.pdf](http://www.cs.upc.edu/~jordicf/gavina/BIB/files/ElasticCircuits_tcad2009.pdf))

- A. Peeters, F. te Beest, M. de Wit, W. Mallon, "Click elements: An implementation style for data-driven compilation, " IEEE Int. Symposium on Asynchronous Circuits and Systems (ASYNC) 2010, pp. 3-14. ([http://ieeexplore.ieee.org/xpls/abs\\_all.jsp?arnumber=5476997](http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=5476997))
- S. Chaudhuri, W. Zhao, J.-O. Klein, C. Chappert, P. Mazoyer, "High density asynchronous LUT based on non-volatile MRAM technology, " IEEE Int. Conference on Field Programmable Logic and Applications (FPL) 2010, pp. 374—379. ([https://web.archive.org/web/20151004145957/http://www.ief.u-psud.fr/~zhao/papers/2010\\_9\\_9/FPL.pdf](https://web.archive.org/web/20151004145957/http://www.ief.u-psud.fr/~zhao/papers/2010_9_9/FPL.pdf))
- R. Ginosar, "Metastability and synchronizers: A tutorial," IEEE Design & Test of Computers, vol. 28, no. 5, pp. 23-35, 2011. ([http://www.cs.unc.edu/~montek/teaching/Comp790-Fall11/Home/Home\\_files/ginosar-tutorial-dt-2011.pdf](http://www.cs.unc.edu/~montek/teaching/Comp790-Fall11/Home/Home_files/ginosar-tutorial-dt-2011.pdf))
- M. Y. Agyekum, S. M. Nowick, "Error-correcting unordered codes and hardware support for robust asynchronous global communication, " IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 31, no. 1, pp. 75-88, 2012. (<http://ieeexplore.ieee.org/xpl/abstractCitations.jsp?arnumber=6106737>)
- F.-C. Cheng, C. Chen, "Can QDI combinational circuits be implemented without C-elements?" IEEE Int. Symposium on Asynchronous Circuits and Systems (ASYNC) 2013, pp. 134—141. (<http://ieeexplore.ieee.org/xpl/abstractCitations.jsp?arnumber=6546187>)
- А. В. Сурков, "Использование Synopsys Design Compiler для синтеза самосинхронных схем, " Программные продукты и системы, vol. 4, no. 108, pp. 24-30, 2014. (<http://cyberleninka.ru/article/n/ispolzovanie-synopsys-design-compiler-dlya-sinteza-samosinhronnyh-shem>)
- D. Lloyd and R. Illman, "Scan insertion and ATPG for C-gate based asynchronous designs," Synopsys User Group (SNUG), 2014.
- J. Cortadella, M. Galceran-Oms, M. Kishinevsky and S. S. Sapatnekar, "RTL synthesis: From logic synthesis to automatic pipelining," Proceedings of the IEEE, vol. 103, no. 11, pp. 2061—2075, 2015. (<http://upcommons.upc.edu/bitstream/handle/2117/82027/RTLsynthesis.pdf>)
- J. Beaumont, "A survey of theory and practice in compositional design of asynchronous circuits," Memo-2015-011, Newcastle University, 2015. (<http://async.org.uk/tech-memos/NCL-EEE-MICRO-MEMO-2015-011.pdf>)
- Z. Tabassam, S. R. Naqvi, T. Akram, M. Alhussein, K. Aurangzeb and S. A. Haider, "Towards designing asynchronous microprocessors: From specification to tape-out," IEEE Access, no. 5, vol. 7, pp. 33978-4003, 2019. (<https://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=8660629>)

## Патенты

- D. E. Muller, "Asynchronous encoder," Patent US3017626, Jan. 16, 1962. (<http://www.freepatentsonline.com/3017626.pdf>)
- S. R. Webb, "N pulse counter using at most 3n NOR elements for odd n and 3n/2 elements for even n," Patent US3110821, Nov. 12, 1963. (<http://www.freepatentsonline.com/3110821.pdf>)
- Б. Г. Сергеев, "Параллельный двоичный счетчик," Авторское свидетельство SU217702, 07.05.1968. ([https://yandex.ru/patents/doc/SU217702A1\\_19680507](https://yandex.ru/patents/doc/SU217702A1_19680507))

- M. J. de Blauw, "Non-synchronous design for digital device control," Patent US3460098, Aug. 5, 1969. (<http://www.freepatentsonline.com/3460098.pdf>)
- С. С. Забара, Э. И. Комухаев, Г. И. Корниенко, "Кольцевой счетчик импульсов," Авторское свидетельство SU249101, 18.08.1969. ([https://yandex.ru/patents/doc/SU249101A2\\_19690818](https://yandex.ru/patents/doc/SU249101A2_19690818))
- A. K. Rapp, "Bistable circuits," Patent US3493785, Feb. 3, 1970. (<http://www.freepatentsonline.com/3493785.pdf>)
- В. П. Морин и Е. Е. Попов, "Асинхронный регистр сдвига," Авторское свидетельство SU374663, 20.03.1973. ([https://yandex.ru/patents/doc/SU374663A1\\_19730320](https://yandex.ru/patents/doc/SU374663A1_19730320))
- В. А. Грехнев и Б. Л. Останков, "Распределитель импульсов," Авторское свидетельство SU416868, 25.02.1974. (<http://patents.su/2-416868-416868.html>)
- J. W. Foltz, "Binary universal flip-flop employing complementary insulated gate field effect transistors," Patent US3835337, Sep. 10, 1974. (<http://www.freepatentsonline.com/3835337.pdf>)
- А. Н. Фойда и Г. К. Шуляка, "Однотактный распределитель импульсов на кольцевом сдвигающем счетчике," Авторское свидетельство SU451201, 25.11.1974. (<http://patents.su/3-451201-odnotaktnyyj-raspreditel-impulsov-na-kolcevom-sdvigayushhem-schetchike.html>)
- В. И. Варшавский, В. Б. Мараховский, И. А. Насибуллин и др., "Резервированный триггер," Авторское свидетельство SU470914, 15.05.1975. (<https://sites.google.com/site/vivinventions/home/SU470914.pdf>)
- T. Nanya, "Asynchronous spatial shift register circuit," Patent US3893086, July 1, 1975. (<http://www.freepatentsonline.com/3893086.pdf>)
- В. И. Горячев и Б. М. Мансуров, "Многостабильная пересчетная схема," Авторское свидетельство SU507945, 25.03.1976. (<http://patents.su/3-507945-mnogostabilnaya-pereschetnaya-skhem.html>)
- B. J. Clark and C. L Seitz, "Asynchronous self timed queue," Patent US4058773, Nov. 15, 1977. (<http://www.freepatentsonline.com/4058773.pdf>)
- Е. С. Павлов, "Трехстабильный счетный триггер," Авторское свидетельство SU585591, 25.12.1977. (<http://patents.su/3-585591-trekhstabilnyj-schetnyj-trigger.html>)
- S. S. Patil, "Asynchronous logic array," Patent US4068214, Jan. 10, 1978. (<http://www.freepatentsonline.com/4068214.pdf>)
- В. И. Варшавский, В. Б. Мараховский, В. А. Песчанский и др., "Устройство для контроля переходных процессов в логических блоках," Авторское свидетельство SU658561, 25.04.1979. (<https://sites.google.com/site/vivinventions/home/SU658561.pdf>)
- C. Faustini, "Asynchronous circuit and system," Patent US4167789, Sep. 11, 1979. (<http://www.freepatentsonline.com/4167789.pdf>)
- В. И. Варшавский, В. Б. Мараховский, В. А. Песчанский и др., "Однотактный регистр сдвига," Авторское свидетельство SU723683, 25.03.1980. (<https://sites.google.com/site/vivinventions/home/SU723683.pdf>)
- В. А. Баранов, В. С. Баркан, Н. И. Бекасова и В. М. Степанцев, "Делитель частоты следования импульсов на три," Авторское свидетельство

- SU849495, 23.07.1981. ([https://yandex.ru/patents/doc/SU849495A1\\_19810723](https://yandex.ru/patents/doc/SU849495A1_19810723))
- В. И. Горячев, "Многостабильный триггер," Авторское свидетельство SU851786, 30.07.1981. (<http://patents.su/4-851786-mnogostabilnyjj-trigger.html>)
  - В. И. Варшавский и Б. С. Цирлин, "Двухфазный шестистабильный триггер," Авторское свидетельство SU1072099, 07.02.1984. (<http://patents.su/2-1072099-dvukhfaznyjj-shestistabilnyjj-trigger.html>)
  - В. И. Варшавский, М. А. Кишиневский, Ю. В. Мамруков, В. Б. Мараховский и др., "Асинхронный регистр сдвига," Авторское свидетельство SU1076951, 28.02.1984. (<https://sites.google.com/site/vivinventions/home/SU1076951.pdf>)
  - Б. С. Цирлин, "Асинхронный регистр сдвига," Авторское свидетельство SU1117712, 07.10.1984. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Patents/:4R0LK00>)
  - Б. С. Цирлин, "Асинхронный регистр сдвига," Авторское свидетельство SU1119082, 15.10.1984. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Patents/:5R0LK00>)
  - В. И. Варшавский, М. А. Кишиневский, Ю. В. Мамруков, В. Б. Мараховский и др., "Асинхронный регистр сдвига," Авторское свидетельство SU1136216, 23.01.1985. (<https://sites.google.com/site/vivinventions/home/SU1136216.pdf>)
  - С. С. Булгаков, В. И. Варшавский, В. И. Лазуткин, В. Б. Мараховский и др., "Асинхронный регистр сдвига," Авторское свидетельство SU1138834, 07.02.1985. (<https://sites.google.com/site/vivinventions/home/SU1138834.pdf>)
  - В. Ф. Мочалов, В. Н. Николаев и Е. К. Семенов, "Счетчик с последовательным переносом," Авторское свидетельство SU1210220, 07.02.1986. ([https://yandex.ru/patents/doc/SU1210220A2\\_19860207](https://yandex.ru/patents/doc/SU1210220A2_19860207))
  - Г. С. Брайловский, "Апериодический индикатор," Авторское свидетельство SU1221719, 30.03.1986. (<http://patents.su/4-1221719-aperiodicheskijj-indikator.html>)
  - В. И. Варшавский, О. В. Маевский, В. Б. Мараховский и др., "Триггерное устройство," Авторское свидетельство SU1228221, 30.04.1986. (<https://sites.google.com/site/vivinventions/home/SU1228221.pdf>)
  - В. А. Тетерин, Л. Ф. Викентьев, И. О. Синегубов и А. И. Дерябин, "ИК-триггер," Авторское свидетельство SU1256154, 07.09.1986. ([https://yandex.ru/patents/doc/SU1256154A1\\_19860907](https://yandex.ru/patents/doc/SU1256154A1_19860907))
  - И. М. Лазер и Г. С. Брайловский, "Счетчик с последовательным переносом," Авторское свидетельство SU1269257, 07.11.1986. (<http://patents.su/4-1269257-schetchik-s-posledovatelnyim-perenosom.html>)
  - Б. С. Цирлин и Г. С. Брайловский, "Апериодическое импульсное устройство (его варианты)," Авторское свидетельство SU1269239, 07.11.1986. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Patents/:KR0LK00>)
  - В. И. Варшавский, В. Б. Мараховский, Л. Я. Розенблюм и Б. С. Цирлин, "Устройство для умножения," Авторское свидетельство SU1335983, 07.09.1987. (<https://sites.google.com/site/vivinventions/home/SU1335983.pdf>)

- F. C. Furtek, "Programmable, asynchronous logic cell and array," Patent US4700187, Oct. 13, 1987. (<http://www.freepatentsonline.com/4700187.pdf>)
- В. И. Варшавский, Н. М. Кравченко, В. Б. Мараховский и др., "Комбинированный счетчик," Авторское свидетельство SU1383490, 23.03.1988. (<https://sites.google.com/site/vivinventions/home/SU1383490.pdf>)
- Л. Я. Розенблюм, О. А. Федорова, А. В. Яковлев и И. В. Яценко, "Устройство для синхронизации модулей вычислительной системы," Авторское свидетельство SU1442985, 07.12.1988. ([http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/The%20TRIMOSB\\_US%20interface/SU1442985%20Device%20for%20synchronization%20the%20modules%20of%20computing%20system.pdf](http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/The%20TRIMOSB_US%20interface/SU1442985%20Device%20for%20synchronization%20the%20modules%20of%20computing%20system.pdf))
- В. И. Варшавский, А. Ю. Кондратьев, Н. М. Кравченко и Б. С. Цирлин, "Асинхронный последовательный регистр," Авторское свидетельство SU1410103, 15.07.1988. (<https://sites.google.com/site/vivinventions/home/SU1410103.pdf>)
- В. И. Варшавский, А. Ю. Кондратьев, Н. М. Кравченко и Б. С. Цирлин, "Асинхронный регистр сдвига на МДП-транзисторах," Авторское свидетельство SU1411829, 23.07.1988. (<https://sites.google.com/site/vivinventions/home/SU1411829.pdf>)
- В. И. Варшавский, А. Ю. Кондратьев, Н. М. Кравченко и Б. С. Цирлин, "Асинхронный распределитель," Авторское свидетельство SU1458968, 15.02.1989. (<https://sites.google.com/site/vivinventions/home/SU1458968.pdf>)
- В. И. Варшавский, А. Ю. Кондратьев, Н. М. Кравченко и Б. С. Цирлин, "Асинхронный распределитель," Авторское свидетельство SU1465997, 15.03.1989. (<https://sites.google.com/site/vivinventions/home/SU1465997.pdf>)
- Л. Ф. Викентьев, И. О. Синегубов, О. Л. Лепихина и Т. Д. Коган, "Апериодический RS-триггер," Авторское свидетельство SU1480098, 15.05.1989. (<http://patents.su/4-1480098-aperiodicheskijj-rs-trigger.html>)
- В. И. Варшавский, В. Б. Мараховский, Л. Я. Розенблюм и В. И. Тимохин, "Триггерное устройство," Авторское свидетельство SU1483614, 30.05.1989. (<https://sites.google.com/site/vivinventions/home/SU1483614.pdf>)
- В. И. Варшавский, В. Б. Мараховский, Н. М. Кравченко и Ю. С. Татаринцов, "Счетчик в коде Грея," Авторское свидетельство SU1492474, 07.07.1989. (<https://sites.google.com/site/vivinventions/home/SU1492474.pdf>)
- В. И. Варшавский, А. Ю. Кондратьев, Н. М. Кравченко и Б. С. Цирлин, "Асинхронный последовательный регистр на КМДП-транзисторах," Авторское свидетельство SU1494041, 15.07.1989. (<https://sites.google.com/site/vivinventions/home/SU1494041.pdf>)
- В. И. Варшавский, Н. М. Кравченко, В. Б. Мараховский и Б. С. Цирлин, "I-K-триггер," Авторское свидетельство SU1504793, 30.08.1989. (<https://sites.google.com/site/vivinventions/home/SU1504793.pdf>)
- В. И. Варшавский, А. Ю. Кондратьев, Н. М. Кравченко и Б. С. Цирлин, "Пересчетная схема," Авторское свидетельство SU1525909, 30.11.1989. (<https://sites.google.com/site/vivinventions/home/SU1525909>)



pdf)

- В. И. Варшавский, Н. М. Кравченко, В. Б. Мараховский и В. М. Яккер, "Счетчик," Авторское свидетельство SU1529448, 15.12.1989. (<https://sites.google.com/site/vivinventions/home/SU1529448.pdf>)
- В. И. Варшавский, Н. М. Кравченко, В. Б. Мараховский и Б. С. Цирлин, "Параллельный асинхронный регистр," Авторское свидетельство SU1531172, 23.12.1989. (<https://sites.google.com/site/vivinventions/home/SU1531172.pdf>)
- A. Beltrami, "Differentiating logical circuit for asynchronous systems," Patent US4943744, Jul. 24, 1990. ([http://worldwide.espacenet.com/publicationDetails/originalDocument?CC=US&NR=4943744A&KC=A&FT=D&ND=6&date=19900724&DB=EPODOC&locale=en\\_EP](http://worldwide.espacenet.com/publicationDetails/originalDocument?CC=US&NR=4943744A&KC=A&FT=D&ND=6&date=19900724&DB=EPODOC&locale=en_EP))
- В. И. Варшавский, А. Ю. Кондратьев, Н. М. Кравченко и Б. С. Цирлин, "Асинхронный распределитель," Авторское свидетельство SU1598142, 07.10.1990. (<https://sites.google.com/site/vivinventions/home/SU1598142.pdf>)
- В. И. Варшавский, В. И. Красюк, Н. М. Кравченко и В. Б. Мараховский, "Последовательный одноразрядный сумматор," Авторское свидетельство SU1615703, 23.12.1990. (<https://sites.google.com/site/vivinventions/home/SU1615703.pdf>)
- В. И. Горячев, "Триггер ИК-типа," Авторское свидетельство SU1621143, 15.01.1991. ([https://yandex.ru/patents/doc/SU1621143A1\\_19910115](https://yandex.ru/patents/doc/SU1621143A1_19910115))
- В. И. Варшавский, А. Ю. Кондратьев, Н. М. Кравченко и В. Б. Мараховский, "Устройство для сравнения двух n-разрядных двоичных чисел," Авторское свидетельство SU1640684, 07.04.1991. (<https://sites.google.com/site/vivinventions/home/SU1640684.pdf>)
- Н. А. Голдин, А. Ю. Кондратьев, В. А. Романовский и Б. С. Цирлин, "Парафазный одноразрядный комбинационный сумматор," Авторское свидетельство SU1665372, 23.07.1991. (<http://www.ee.bgu.ac.il/~kushnero/asynchronous/Varshavsky%20and%20Co/Tsirlin/Patents/:O659K00>)
- Б. С. Цирлин, В. И. Варшавский, А. Ю. Кондратьев и В. А. Романовский, "Параллельный асинхронный регистр на КМДП-транзисторах," Авторское свидетельство SU1665405, 23.07.1991. (<https://sites.google.com/site/vivinventions/home/SU1665405.pdf>)
- L. Hluchý, B. Cirlin, B. Gaži, T. Pažurová and K. Košuk, "Zapojenie na prevod paralelného formátu znaku na sériovú postupnosť bitov," Patent CS275655, 18.03.1992. (<http://skpatents.com/1-275655-zapojenie-na-prevod-paralelného-formatu-znaku-na-seriovu-postupnost-bitov.html>)
- L. Hluchý, B. Cirlin, B. Gaži, T. Pažurová and K. Košuk, "Zapojenie na prevod sériovej postupnosti na paralelný formát znaku," Patent CS275656, 18.03.1992. (<http://skpatents.com/1-275656-zapojenie-na-prevod-seriovej-postupnosti-na-paralelny-format-znaku.html>)
- I. E. Sutherland, "Symmetric selector circuit for event logic," Patent US5742182, Apr. 21, 1998. (<http://www.freepatentsonline.com/5742182.pdf>)
- Ю. А. Степченков, Ю. Г. Дьяченко, Ю. В. Рождественский и А. В. Рождественскене, "Разряд самосинхронного регистра сдвига," Патент RU2319232, 10.03.2008. ([https://yandex.ru/patents/doc/RU2319232C1\\_20080310](https://yandex.ru/patents/doc/RU2319232C1_20080310))
- C. P. Sotiriou, A. Kondratyev, J. Cortadella and L. Lavagno, "Asynchronous,

multi-rail, asymmetric-phase, static digital logic with completion detection and method for designing the same," Patent US7870516, Jan. 11, 2011. (<http://www.freepatentsonline.com/7870516.pdf>)

- В. Б. Мараховский, А. В. Сурков и С. Г. Бобков, "Модуль синхростратума для волновой обработки данных," Патент RU2592462, 20.07.2016. ([https://patents.s3.yandex.net/RU2592462C1\\_20160720.pdf](https://patents.s3.yandex.net/RU2592462C1_20160720.pdf))
- В. Б. Мараховский, А. В. Сурков и С. Г. Бобков, "Модуль синхростратума, координирующий параллельную работу управляемого блока в глобально асинхронной системе," Патент RU2592466, 20.07.2016. ([https://patents.s3.yandex.net/RU2592466C1\\_20160720.pdf](https://patents.s3.yandex.net/RU2592466C1_20160720.pdf))

---

Источник — [https://ru.wikipedia.org/w/index.php?title=Асинхронная\\_логика&oldid=104544004](https://ru.wikipedia.org/w/index.php?title=Асинхронная_логика&oldid=104544004)

---

**Эта страница в последний раз была отредактирована 14 января 2020 в 07:34.**

Текст доступен по лицензии [Creative Commons Attribution-ShareAlike](#); в отдельных случаях могут действовать дополнительные условия.

Wikipedia® — зарегистрированный товарный знак некоммерческой организации [Wikimedia Foundation, Inc.](#)