

Curso: Engenharia de Computação

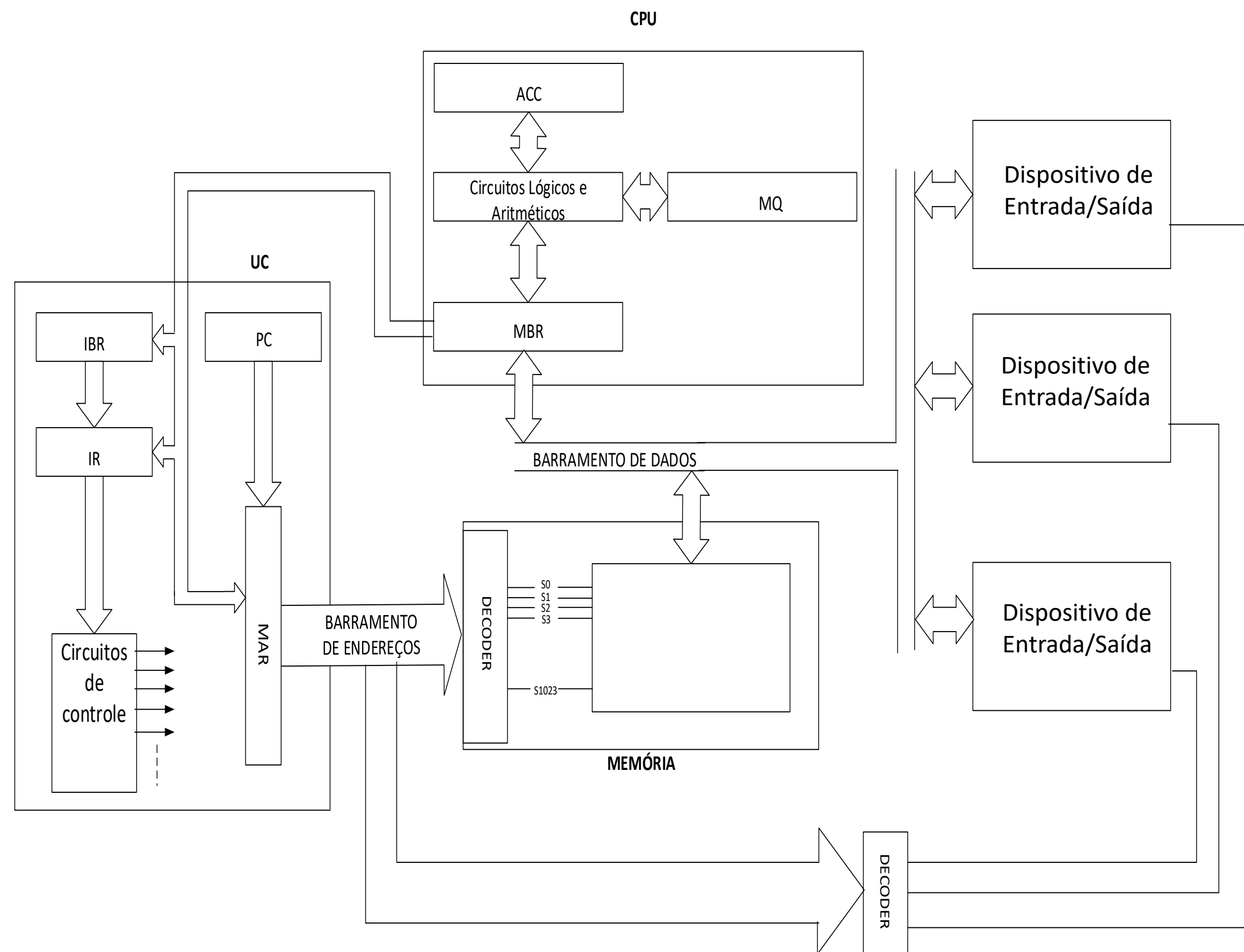
Arquitetura de Computadores

Prof. Clayton J A Silva, MSc
clayton.silva@professores.ibmec.edu.br



IAS - a máquina de von Neumman

Referência para as arquiteturas modernas



Gargalos: limitações de performance

Quais são os
elementos
das
arquiteturas
modernas?



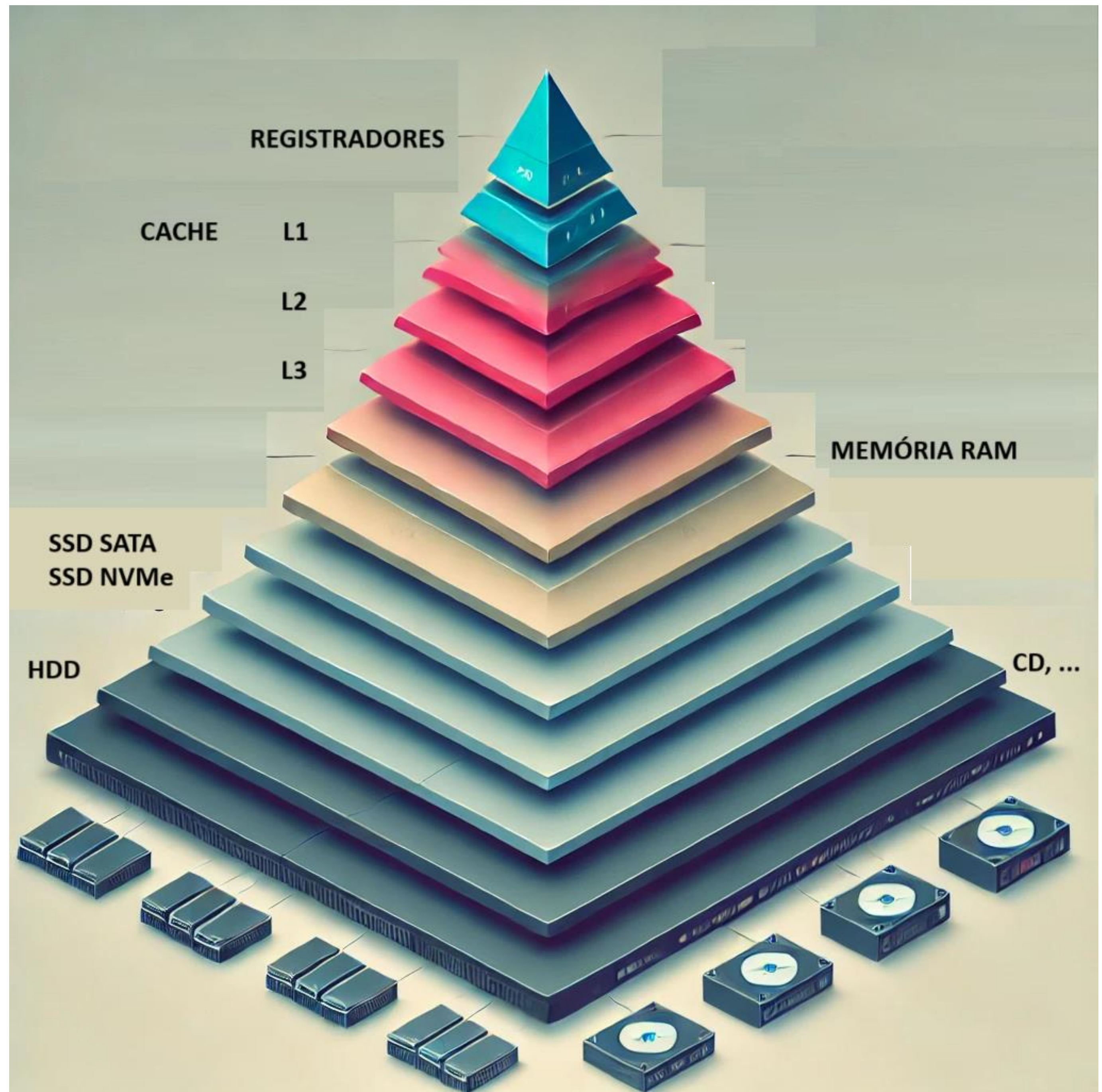
Elementos do sistema de computação

- Memória
- Barramento
- Processadores
- Dispositivos de Entrada/Saída

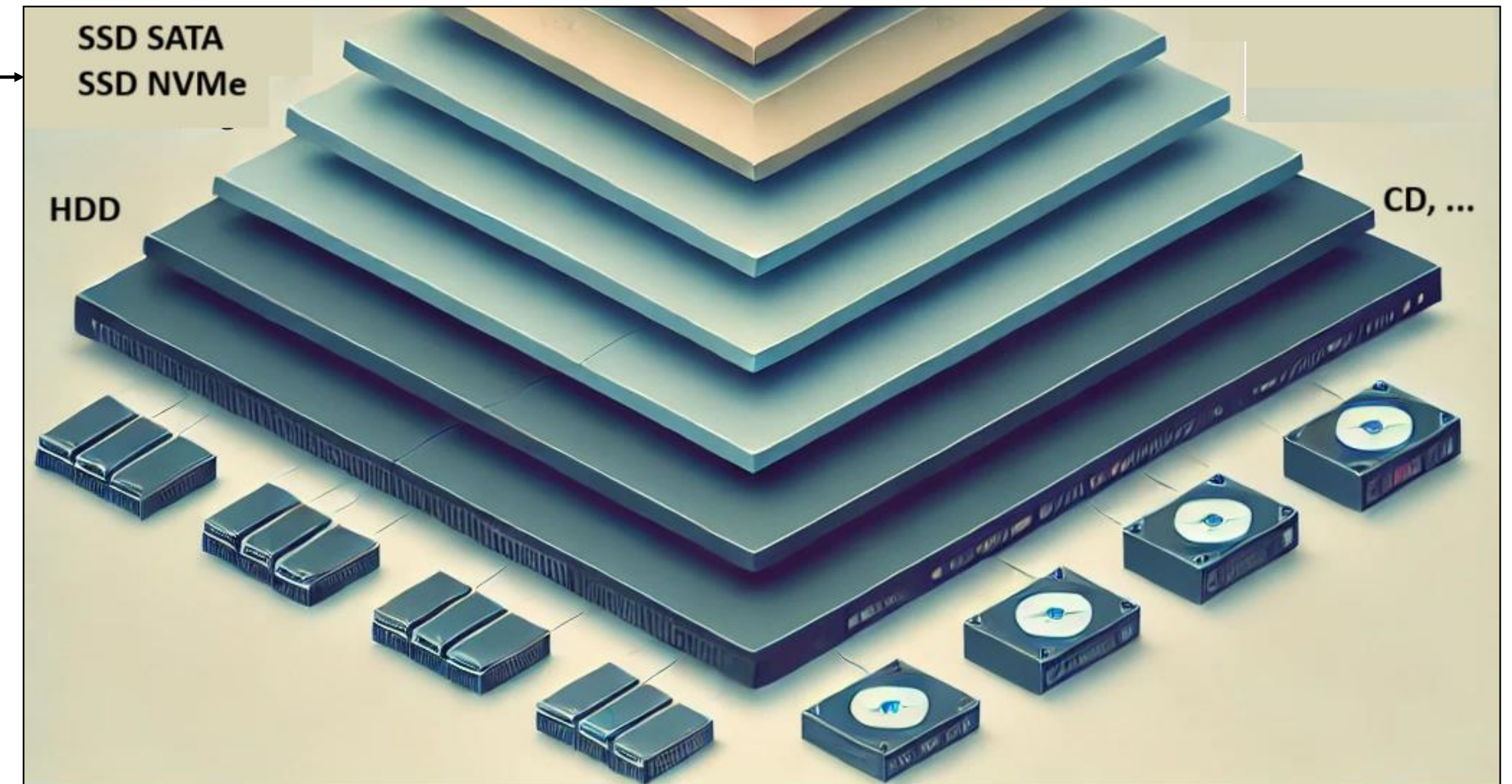
Elementos do sistema de computação

- **Memória**
- Barramento
- Processadores
- Dispositivos de Entrada/Saída

Pirâmide de Hierarquia do sistema de memória



Hierarquia do sistema de memória



- **Memória secundária**

- SSD (*Solid State Drive*) NVMe, SSD SATA
- HDD (discos rígidos)
- CD-ROM, DVDs, fitas magnéticas

Hierarquia do sistema de memória

- **Memória principal:** RAM, usada para armazenar dados temporários para aplicativos em execução. Memória de trabalho.



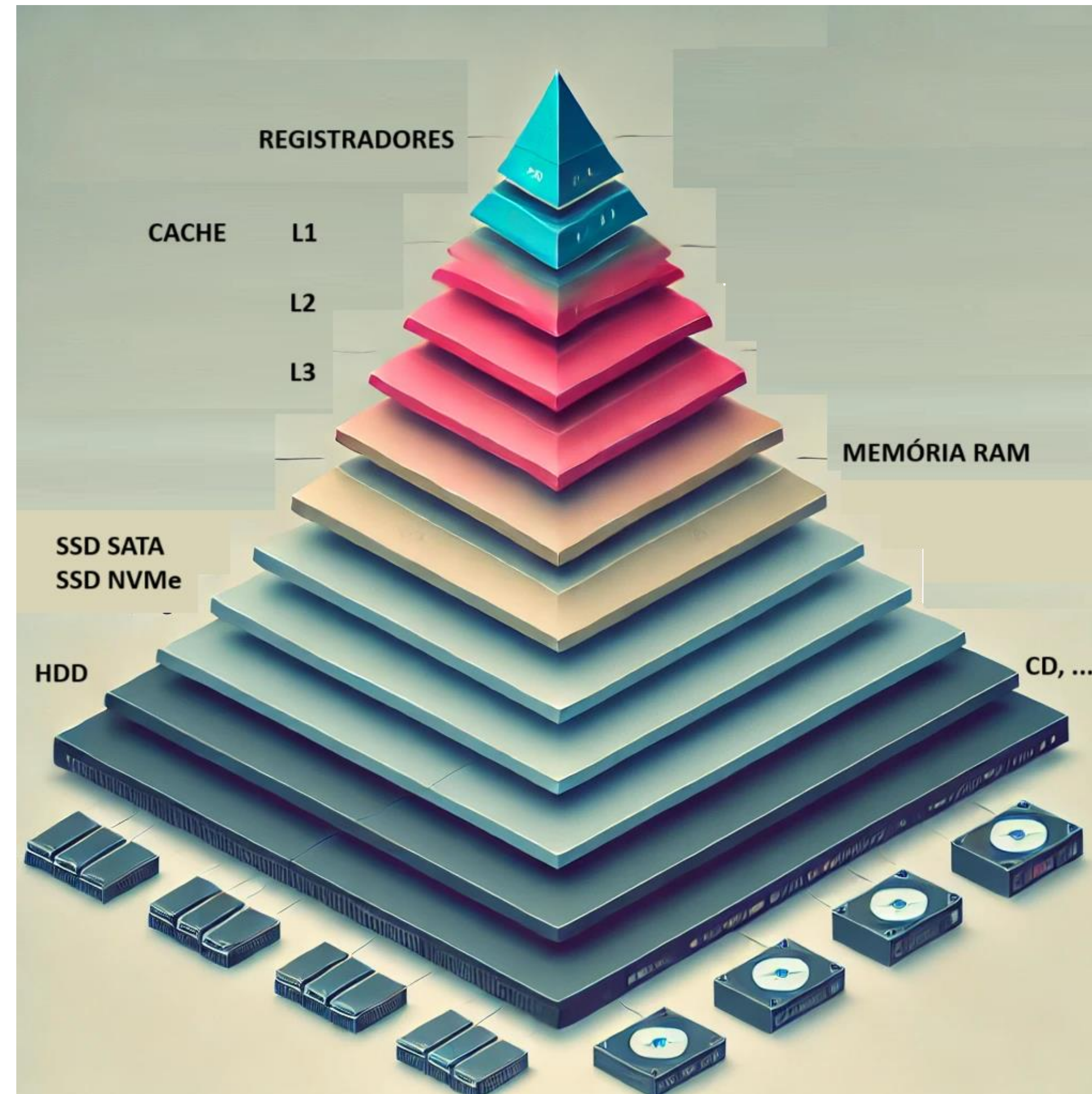
- **Cache (dividida em L1, L2, L3):** memória intermediária, cada vez maior e um pouco mais lenta conforme se desce do L1 para o L3.

Hierarquia do sistema de memória

- **Registradores:** usada para armazenar instruções imediatas e dados no processador.



Pirâmide de Hierarquia do sistema de memória



Sistema de memória

- Parâmetros de desempenho
 - Capacidade de armazenamento de bits
 - Velocidade
 - Custo

Sistema de memória

- **Capacidade de armazenamento:** quantidade total de bits ou bytes (B) armazenados em cada elemento, medidos normalmente em múltiplos binários: K, M, G ou T, por exemplo.

$$1 \text{ KB} = 2^{10} \text{ B} = 1024 \times 8 \text{ bits}$$

$$1 \text{ MB} = 2^{20} \text{ B} = 1024 \times 1024 \times 8 \text{ bits}$$

...

Sistema de memória

- Velocidade

- **Ciclo de memória (latência)** – representa o tempo decorrido entre duas operações sucessivas de acesso à memória, seja para leitura ou escrita.

- O ciclo de memória compreende o tempo de acesso mais o tempo necessário para a realização de outras operações do sistema, logo

$$t_C = t_A + t_S$$

- **Tempo de acesso (ou tempo de resposta)** – representa o tempo que a memória gasta para disponibilizar um dado após o endereço ser disponibilizado e ser requisitado pelo processador.

- Vazão – representa a taxa de bits em uma operação entre o processador e a memória. Depende da largura do barramento.

Sistema de memória

- Características tecnológicas
 - Tipo de acesso ao dado
 - Volatilidade do dado
 - *Refresh* do dado
 - Sincronismo do controle
 - Material construtivo
 - Leitura/Escrita

Características tecnológicas de memória

1. Acesso **aleatório** aos dados x **sequencial** aos dados armazenados

Acesso Randômico (aleatório): Tempo de acesso igual para todas as células. Não há necessidade de ler outras posições antes de acessar uma célula.

Acesso sequencial: Existem tecnologias em que o acesso a uma célula requer uma **sucessão preliminar de posições** antes de acessar a posição de interesse.

Características tecnológicas de memória

2. Volatilidade x não volatilidade do armazenamento sem alimentação

Memórias **voláteis** mantêm os dados armazenados somente se houver alimentação elétrica.

Memórias **não voláteis** mantêm os dados armazenados mesmo na ausência de alimentação elétrica.

Características tecnológicas de memória

3. Necessidade de recarga (*refresh*) dos dados armazenados

Memórias **estáticas** – o dado permanece armazenado uma vez carregado.

Memórias **dinâmicas** – para o dado se manter armazenado é necessário periodicamente uma recarga (*refresh*).

Características tecnológicas de memória

4. Controle sincronizado ou não

Memórias **assíncronas** – o dado é disponibilizado para leitura mediante um **signal de controle** do processador

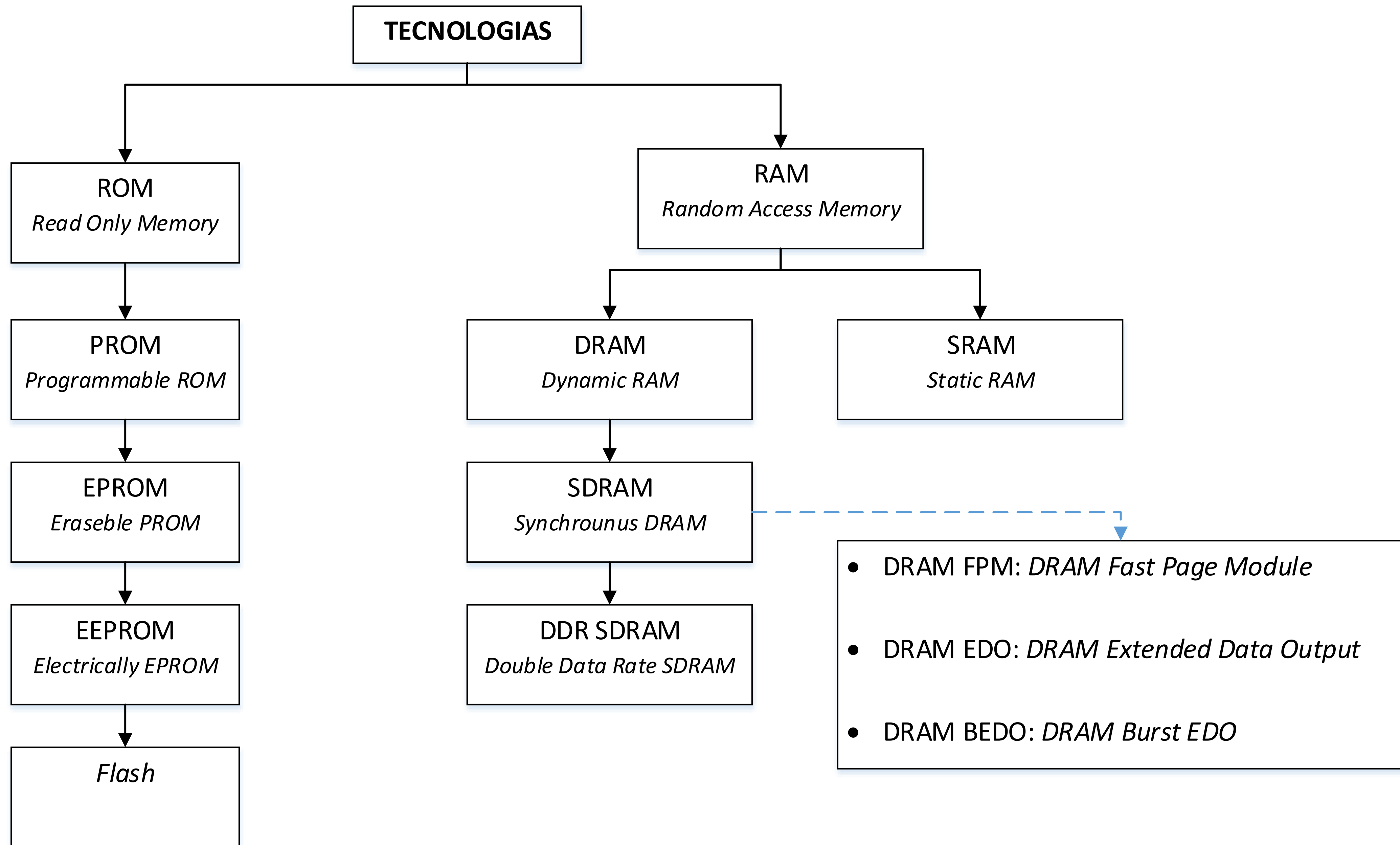
Memórias **síncronas** – a operação acompanha a velocidade do *clock* do sistema, sem a necessidade de **signal de controle**.

Características tecnológicas de memória

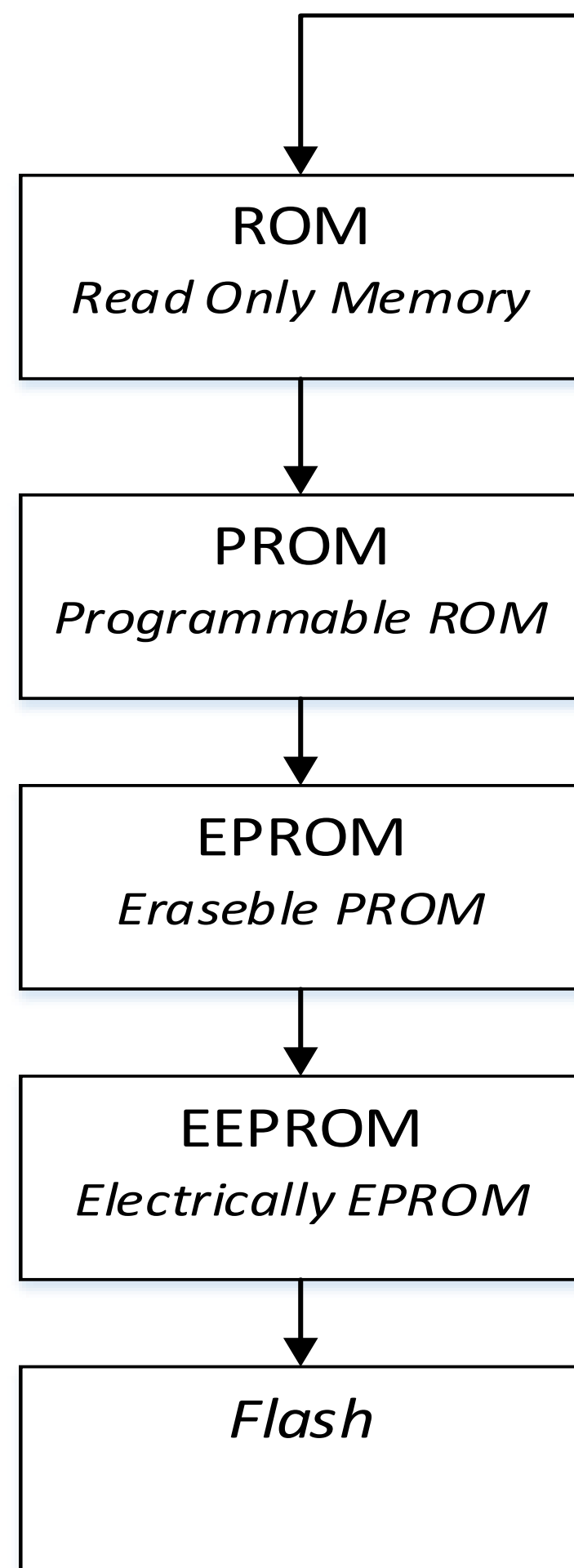
5. Material de construção

- A construção dos dispositivos de memória pode ser feita com **semicondutores**.
- São duas tecnologias muito utilizadas: **MOS**, semicondutor de óxido metálico e **CMOS**, semicondutor de óxido complementar.
- Além disso, podem ser construídas com meios **magnéticos** e meios **ópticos**.

Evolução das características tecnológicas de memória



Aplicações típicas das memórias ROM (*Read Only Memory*)



- *Firmware*: inicialização de máquinas, hardware+software
- *Bootloader*: inicialização do sistema operacional
- Tabelas de dados
- Conversores de códigos
- Geradores de funções
- Armazenamento auxiliar

Características tecnológicas de memória por camada do sistema de memória

Camada de Memória	Tipo de Acesso ao Dado	Volatilidade do Dado	Refresh do Dado	Sincronismo do Controle	Material Construtivo	Leitura/Escrita
Registradores	Acesso direto (CPU)	Volátil	Não necessário	Assíncrono	Circuitos lógicos	Leitura/Escrita
Cache (L1, L2, L3)	Acesso direto (CPU)	Volátil	Não necessário	Sincronizado	SRAM	Leitura/Escrita
Memória Primária (RAM)	Acesso aleatório	Volátil	Necessário (DRAM)	Sincronizado	DRAM (capacitores e transistores)	Leitura/Escrita
Memória Secundária (HD)	Acesso sequencial	Não volátil	Não necessário	Assíncrono	Eletromecânico (Disco magnético)	Leitura/Escrita
Memória Secundária (SSD)	Acesso aleatório	Não volátil	Não necessário	Assíncrono	Memória Flash (NAND)	Leitura/Escrita
Memória Secundária (Fita Magnética)	Acesso sequencial	Não volátil	Não necessário ↓	Assíncrono	Material magnético	Leitura/Escrita

Parâmetros de performance por camada do sistema de memória

<input type="checkbox"/>	Dispositivo de Armazenamento	Tempo de Acesso Típico (ns)	Capacidade Típica (MB)	Custo por MB (USD)
1	Registradores	1	0.001	0.5
2	Cache L1	2	0.125	0.25
3	Cache L2	5	1.0	0.1
4	Cache L3	10	8.0	0.05
5	Memória RAM	100	16000.0	0.003
6	Memória Flash	50000	512000.0	0.0002
7	HD	5000000	1000000.0	3e-05
8	SSD SATA	50000	1000000.0	0.0001
9	SSD M.2	10000	1000000.0	0.0002

Comparação SSD

Atributo	Exemplo (SATA)	Exemplo (PCIe/NVMe)
Formato Físico	2.5 polegadas	M.2 PCIe (Samsung 970 EVO)
Barramento	SATA III (600 MB/s)	PCIe 3.0/4.0 (3.500 - 7.000 MB/s)
Protocolo	AHCI	NVMe
Memória	TLC NAND (Samsung 860 EVO)	TLC NAND (Samsung 970 EVO)
Consumo	Baixo (2-5 watts)	Moderado (5-8 watts)
Durabilidade	300 TBW	600 TBW

Principais Fabricantes de SSDs:

- **Samsung:** Líder de mercado com as linhas EVO (860 EVO, 970 EVO Plus) e PRO.
- **Crucial:** Oferece SSDs populares e acessíveis, como o **MX500** e **P1**.
- **Western Digital (WD):** Linha **WD Blue** (SATA) e **WD Black** (NVMe).
- **Kingston:** Oferece SSDs como o **A400** (SATA) e **KC2500** (NVMe).
- **Intel:** Conhecida pela linha **Optane** e SSDs de alto desempenho para empresas e servidores.

Características tecnológicas de outros tipos de memória não classificadas nas camadas do sistema de memória

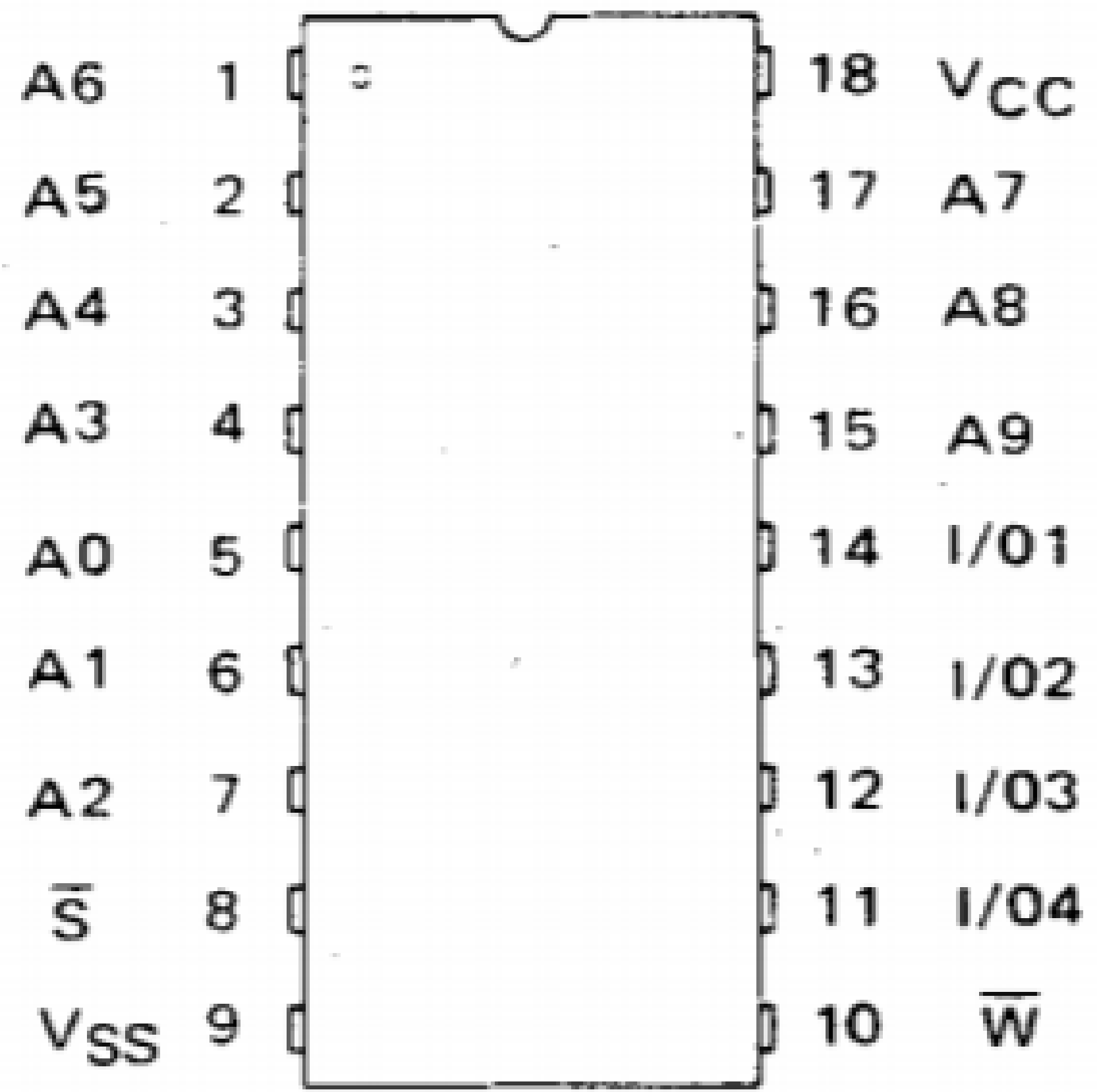
Camada de Memória	Tipo de Acesso ao Dado	Volatilidade do Dado	Refresh do Dado	Sincronismo do Controle	Material Construtivo	Leitura/Escrita
ROM (Memória Somente Leitura)	Acesso aleatório	Não volátil	Não necessário	Assíncrono	Circuitos lógicos	Leitura apenas
EPROM (Programmable ROM)	Acesso aleatório	Não volátil	Não necessário	Assíncrono	Semicondutores (UV Erasable)	Leitura/Escrita (limitada)
EEPROM	Acesso aleatório	Não volátil	Não necessário	Assíncrono	Semicondutores	Leitura/Escrita (limitada)
Flash ROM	Acesso aleatório	Não volátil	Não necessário	Assíncrono	Memória Flash NAND	Leitura/Escrita (limitada)
Memórias Embarcadas (MCU)	Acesso direto	Não volátil	Não necessário	Sincronizado ou Assíncrono	ROM/EEPROM/Flash	Leitura/Escrita (limitada)

Memória Primária

Memória Primária

- Armazena programas (sequência de instruções) e dados.
- Os programas executados pela CPU contemplam um conjunto de instruções no nível do set de instruções do processador.
- Assim como as instruções do programa, os dados operados pela CPU também ocupam um endereço da MP.

Organização da MP



PIN NAMES	
A0 - A9	Address Input
\overline{W}	Write Enable
\overline{S}	Chip Select
I/O1 - I/O4	Data Input/Output
V _{CC}	Power (+5 V)
V _{SS}	Ground

Memória Motorola MCM2114 de 4096 bits (a) Pinagem (b) Identificação dos pinos

Organização da MP

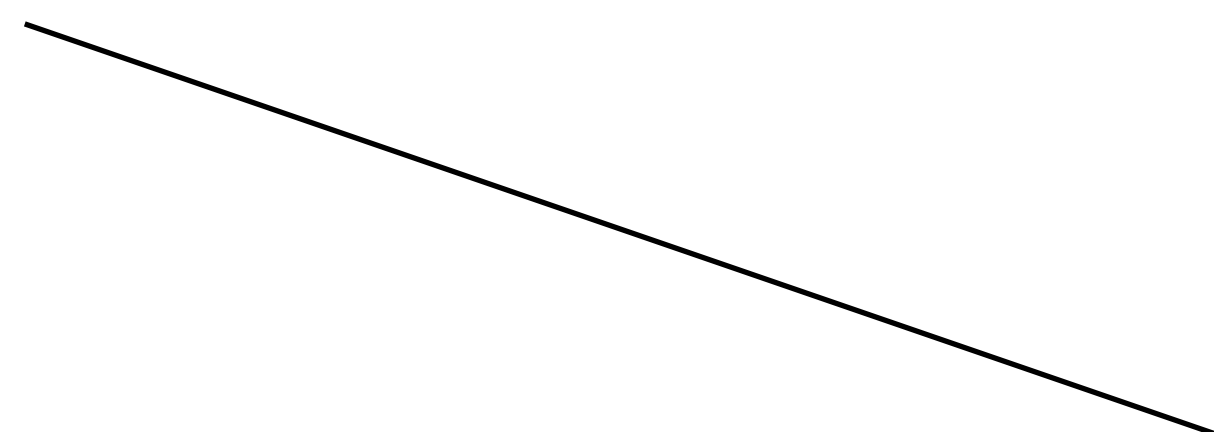
10-bits de **endereço** (*address*)

4-bits de **dados**

PIN NAMES	
A0 - A9	Address Input
\overline{W}	Write Enable
\overline{S}	Chip Select
I/O1 - I/O4	Data Input/Output
V _{CC}	Power (+5 V)
V _{SS}	Ground

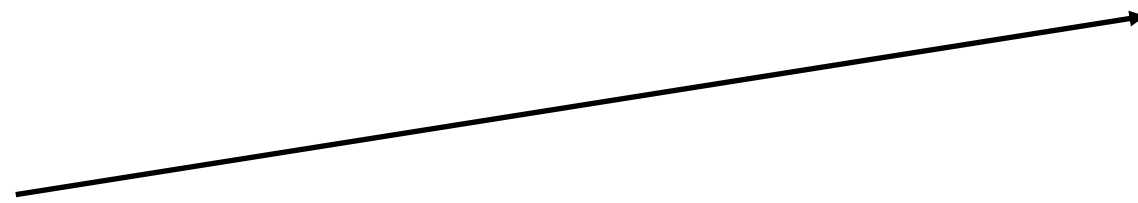
Organização da MP

Tipo de operação



PIN NAMES	
A0 - A9	Address Input
\overline{W}	Write Enable
\overline{S}	Chip Select
I/O1 - I/O4	Data Input/Output
V _{CC}	Power (+5 V)
V _{SS}	Ground

Alimentação elétrica



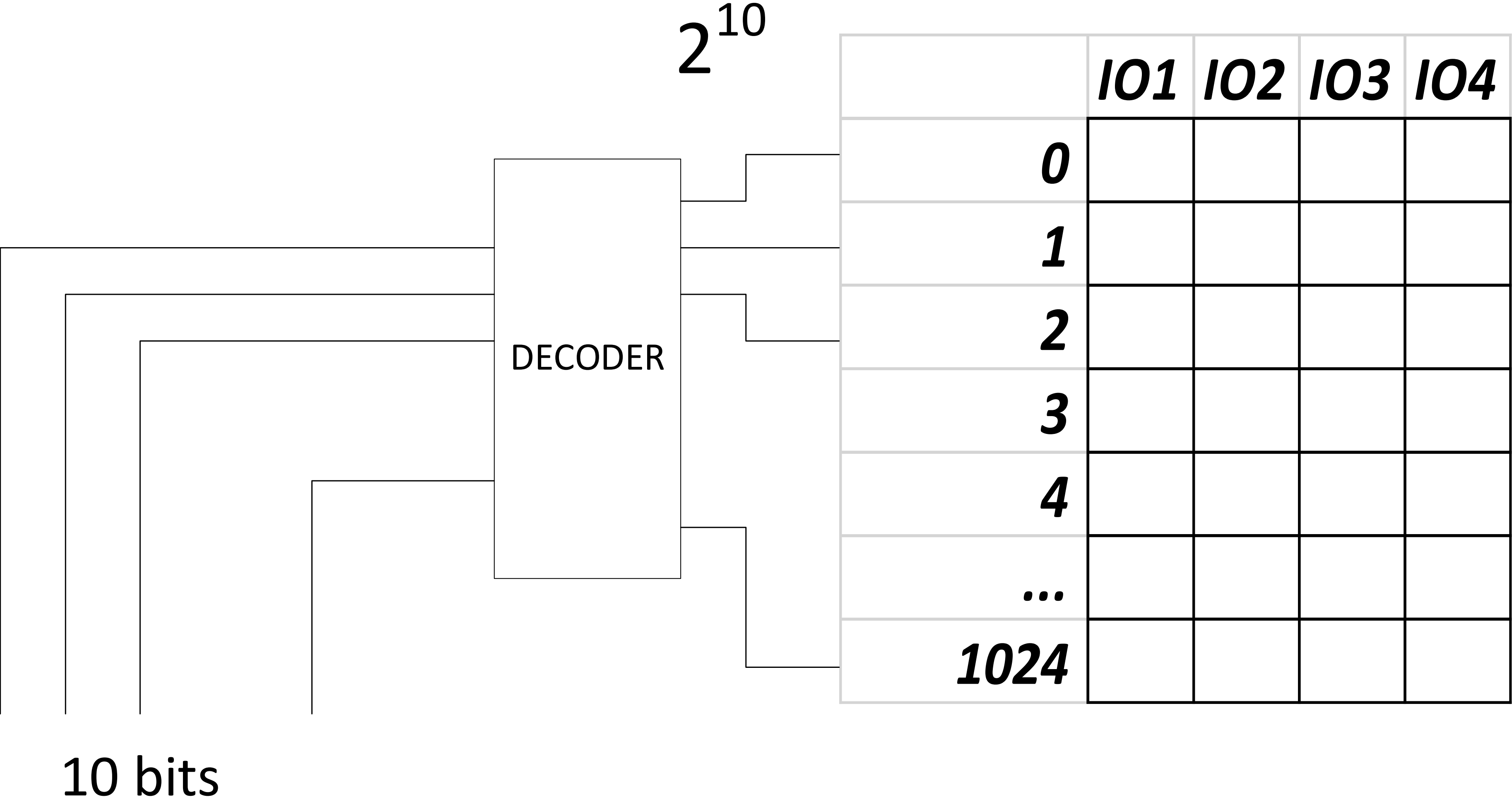
Organização da MP

4-bits de dados

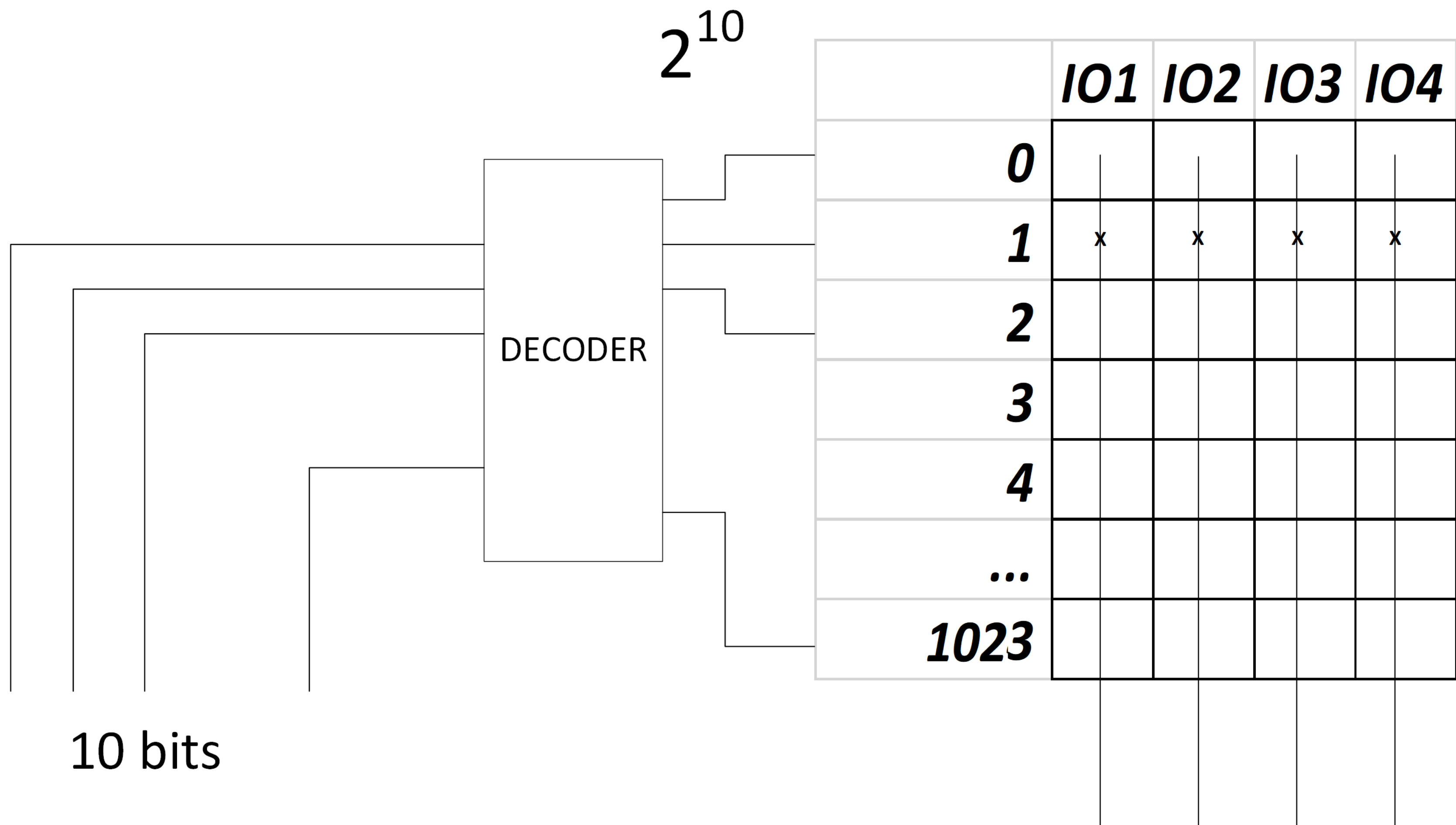
10-bits de endereçamento (*adress*)

	<i>IO1</i>	<i>IO2</i>	<i>IO3</i>	<i>IO4</i>
<i>0</i>				
<i>1</i>				
<i>2</i>				
<i>3</i>				
<i>4</i>				
<i>...</i>				
<i>1024</i>				

Organização da MP



Organização da MP

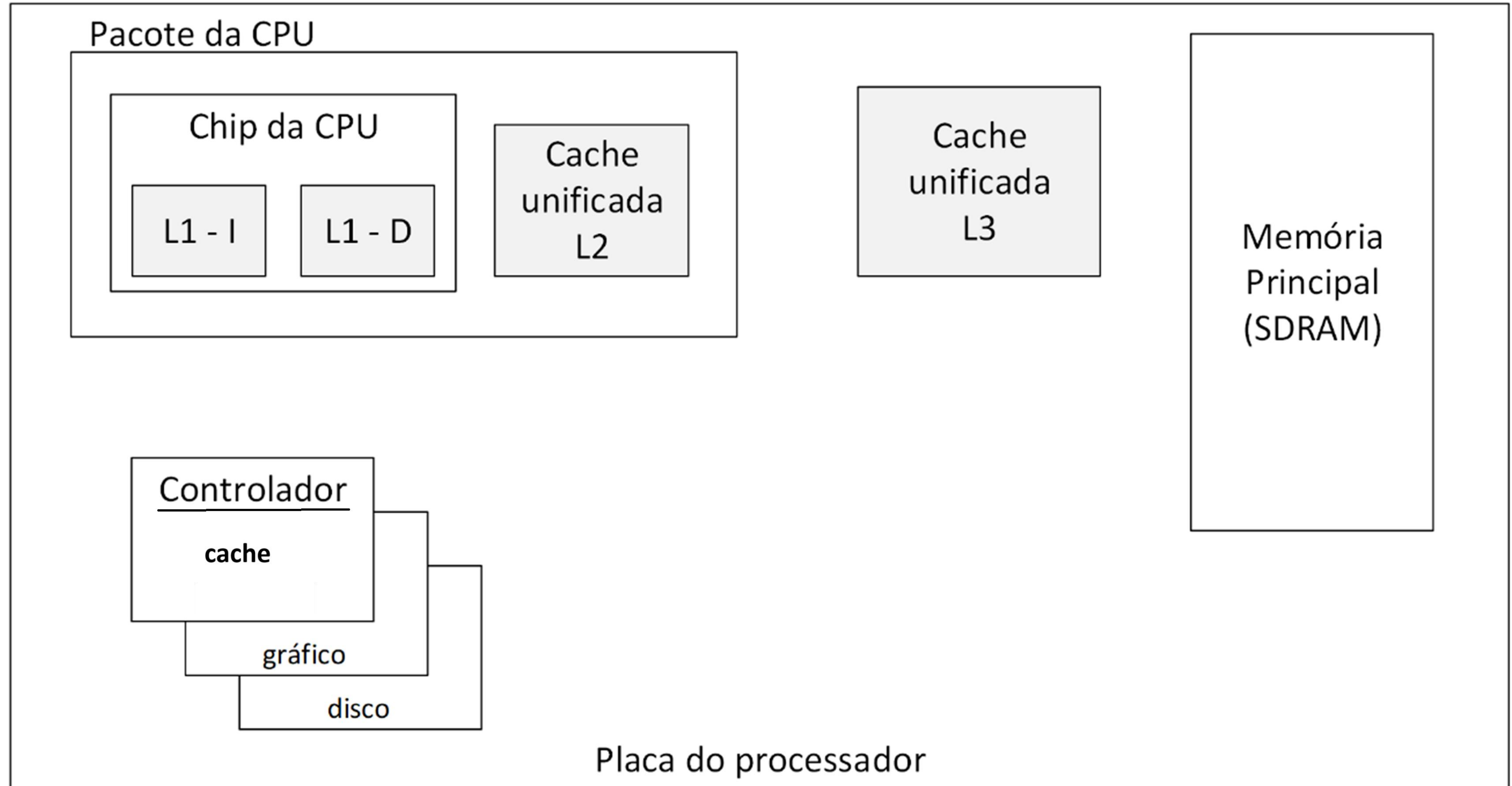


Memória cache

Memória Cache

- Memória rápida, porém média/baixa capacidade de armazenamento
- Armazena palavras da MP localmente próximas física ou temporalmente
- Princípio da localidade: espacial ou temporal

Organização da cache



Cache L1

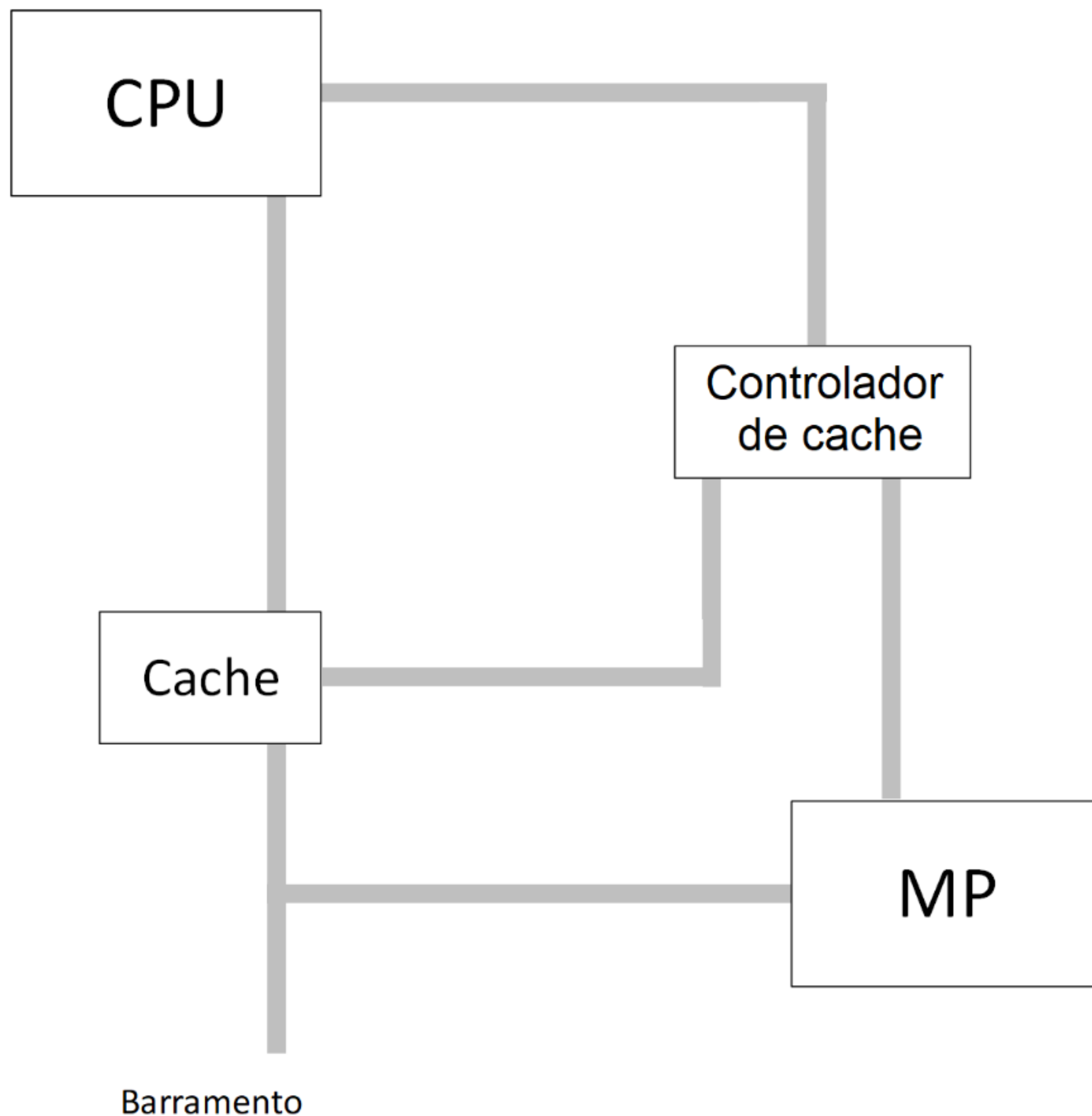
- Diretamente embutida no núcleo da CPU.
- Tamanho: tipicamente, entre 16 KB e 128 KB por núcleo de CPU.
- Velocidade: tipicamente, 1 a 3 ciclos de clock.
- Tecnologia: SRAM (*Static Random-Access Memory*).
- Aplicação: armazenar instruções e dados que o núcleo da CPU precisa acessar de forma imediata e frequente.
- Dividida em Cache L1 de dados (L1D), para armazenar dados usados frequentemente; Cache L1 de instruções (L1I), para armazenar instruções de programa frequentemente usadas.
- Aplicação típica: operações intensivas da CPU.

Cache L2

- Pode ser dedicada a cada núcleo da CPU ou compartilhada entre vários núcleos, dependendo da arquitetura do processador.
- Tamanho: tipicamente, entre 256 KB e 2 MB por núcleo.
- Velocidade: tipicamente, de 5 a 12 ciclos de clock.
- Tecnologia: SRAM (*Static RAM*).
- Aplicação: armazenamento de trechos do programa armazenado que são usados frequentemente e localmente próximos.

Cache L3

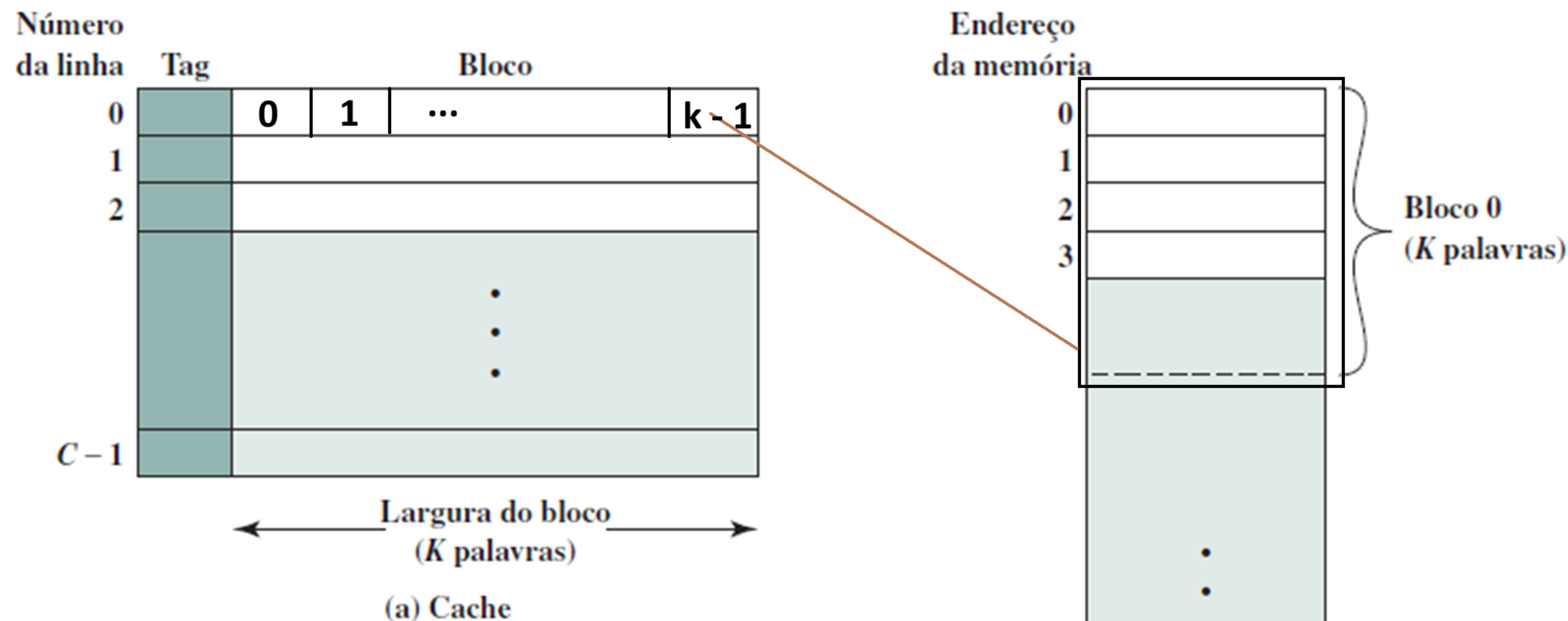
- Em muitos processadores modernos, a cache L3 é compartilhada entre todos os núcleos da CPU.
- Tamanho: tipicamente, entre 2 MB e 64 MB, dependendo do processador (em processadores de servidores, pode ser ainda maior).
- Velocidade: tipicamente, de 10 a 30 ciclos de clock.
- Material: SRAM.
- Aplicação: armazena dados que não cabem na cache L2, servindo como uma "reserva" para dados acessados com menos frequência; ajuda a melhorar a comunicação entre núcleos da CPU em operações *multithread*, pois os núcleos podem compartilhar dados via L3.



Organização da cache

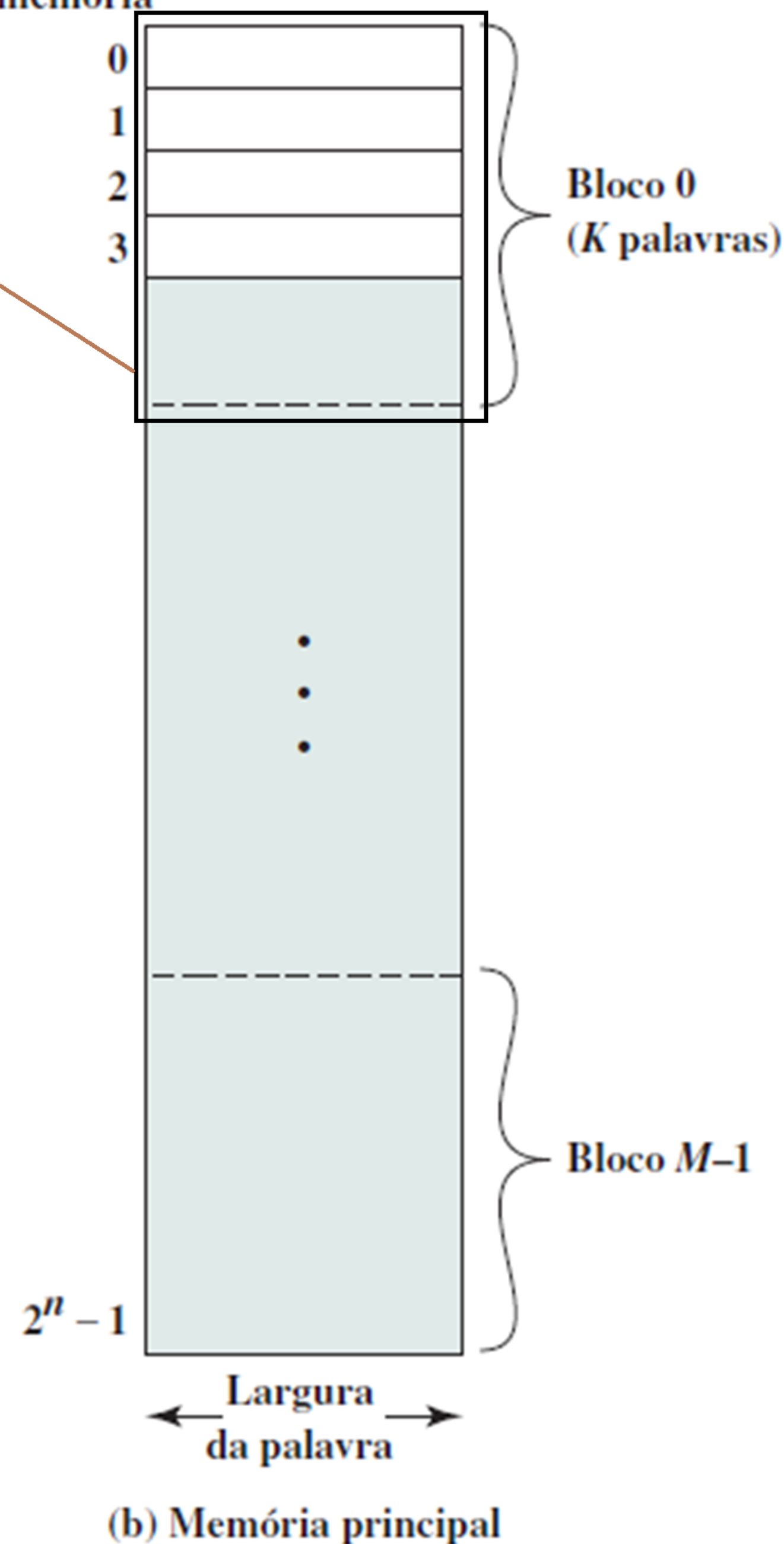
Operações típicas:

- Leitura em memória
- Escrita em memória

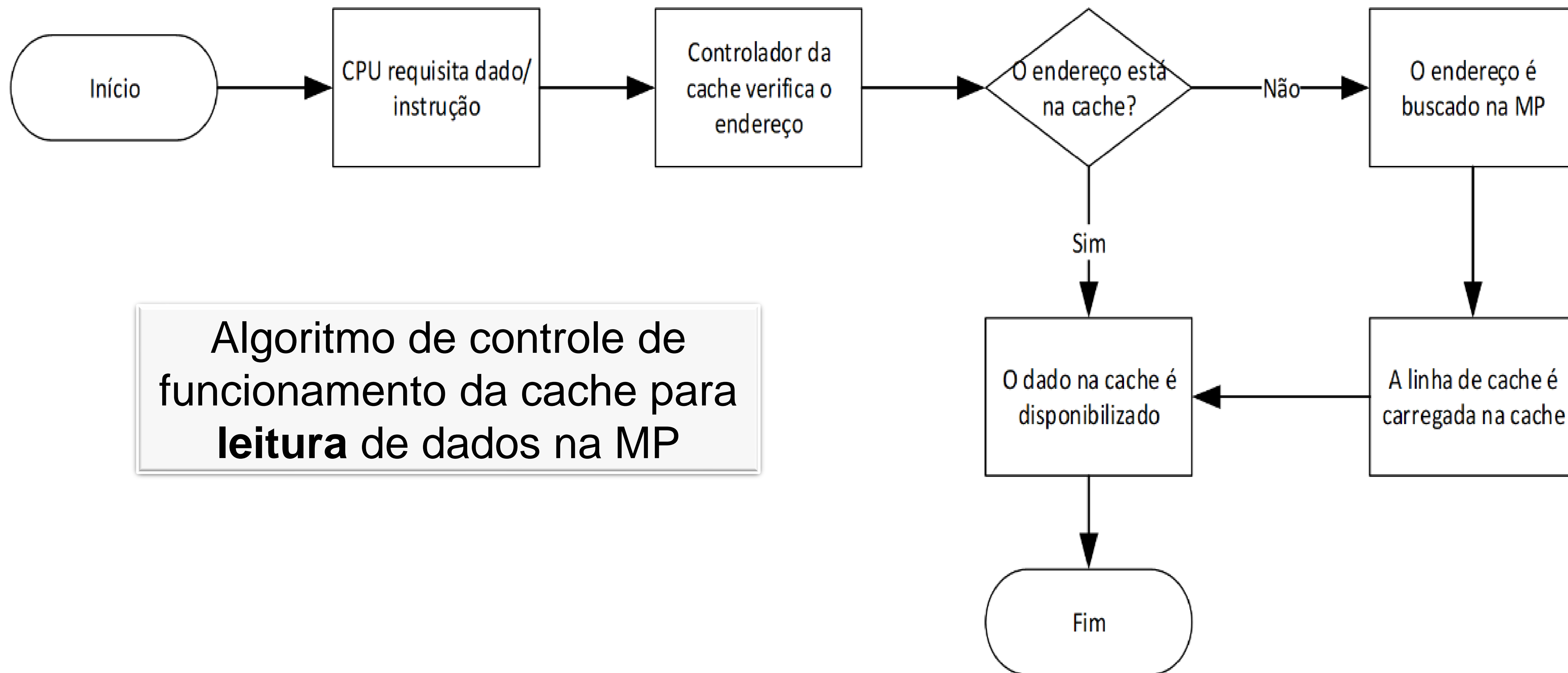


Associação cache/MP

1. Cache possui C linhas
2. Cada linha armazena um bloco com K palavras, de 0 a $K-1$
3. MP possui M blocos
4. $M \gg C$ (número de blocos maior do que o número de linhas)
5. $M/C = n$ blocos mapeados em cada linha de cache



controle da cache em leitura de dados



Algoritmo de controle de funcionamento da cache para **leitura** de dados na MP

mapeamento de dados MP-cache

- A cache, em qualquer nível, mantém uma cópia de parte dos dados da MP
- Mapeamento de dados: como os endereços da MP se relacionam com as linhas de armazenamento da cópia dos dados na cache
- Existem três técnicas de mapeamento:
 - *mapeamento direto*;
 - *mapeamento totalmente associativo*; e
 - *mapeamento associativo por conjunto*.

mapeamento direto MP-cache

- No mapeamento direto, o *relacionamento é predefinido* de linhas de cache da MP com os blocos da MP.
- O controlador de cache possui uma tabela que estabelece a associação.

Linha da Cache	Bloco(s) Mapeado(s) da Memória Principal (MP)
0	0, C, 2C, 3C, ..., (n-1)C
1	1, C+1, 2C+1, 3C+1, ..., (n-1)C+1
2	2, C+2, 2C+2, 3C+2, ..., (n-1)C+2
...	...
C-1	C-1, 2C-1, 3C-1, ..., nC-1

mapeamento direto MP-cache

- Uma vez que tenha ocorrido uma falta, é necessário buscar o dado na memória e **substituir os dados da linha de cache** que deve armazenar o bloco da MP de acordo com a tabela.
- Decodificação do Endereço

Endereço de MP \Rightarrow Bloco \Rightarrow Tag = Bloco + Palavra no Bloco

Organização da cache – mapeamento direto

	Linha	Tag	Bloco
	0		
C=2	1		

- $K=2$ palavras por linha/bloco
- $M=8$ blocos, $C=2$ linhas
- $M/C = n = 4$ blocos mapeados em cada linha

Tabela de Associação (Mapeamento)

$$B0, B2, B4, B6 - C0$$

B1, B3, B5, B7 – C1

[illegible]

Organização da cache

	Linha	Tag	Bloco															
C=2	0																	
	1																	

Tag		Endereço
Linha	Palavra	
0	0	0x0
0	1	0x1
1	0	0x2
1	1	0x3
0	0	0x4
0	1	0x5
1	0	0x6
1	1	0x7
0	0	0x8
0	1	0x9
1	0	0xA
1	1	0xB
0	0	0xC
0	1	0xD
1	0	0xE
1	1	0xF

Endereço	Memória Primária									
0x0									B0	
0x1										
0x2									B1	
0x3										
0x4									B2	
0x5										
0x6									B3	
0x7										
0x8									B4	
0x9										
0xA									B5	
0xB										
0xC									B6	
0xD										
0xE									B7	
0xF										M=8

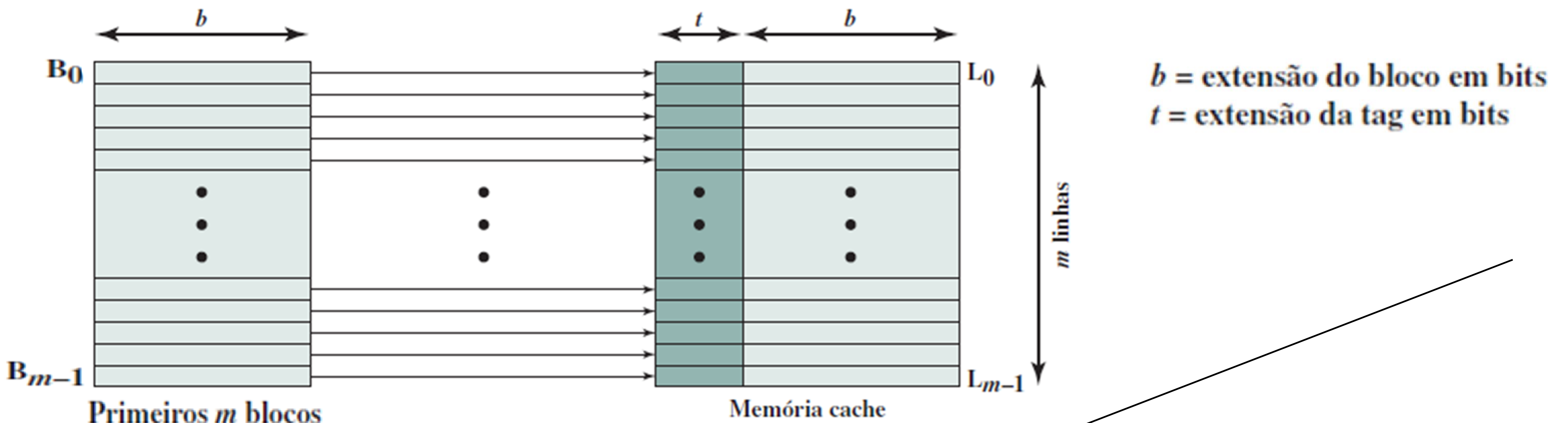
mapeamento associativo MP-cache

- No mapeamento associativo, o *relacionamento não é predefinido* de linhas de cache da MP com os blocos da MP.
- Qualquer bloco da MP pode ocupar qualquer linha da cache.
- Uma vez que tenha ocorrido uma falta, é necessário buscar o dado na memória e substituir os dados de uma das linhas de cache que armazena o bloco da MP.
- Podem ser utilizados algoritmos de substituição específicos.

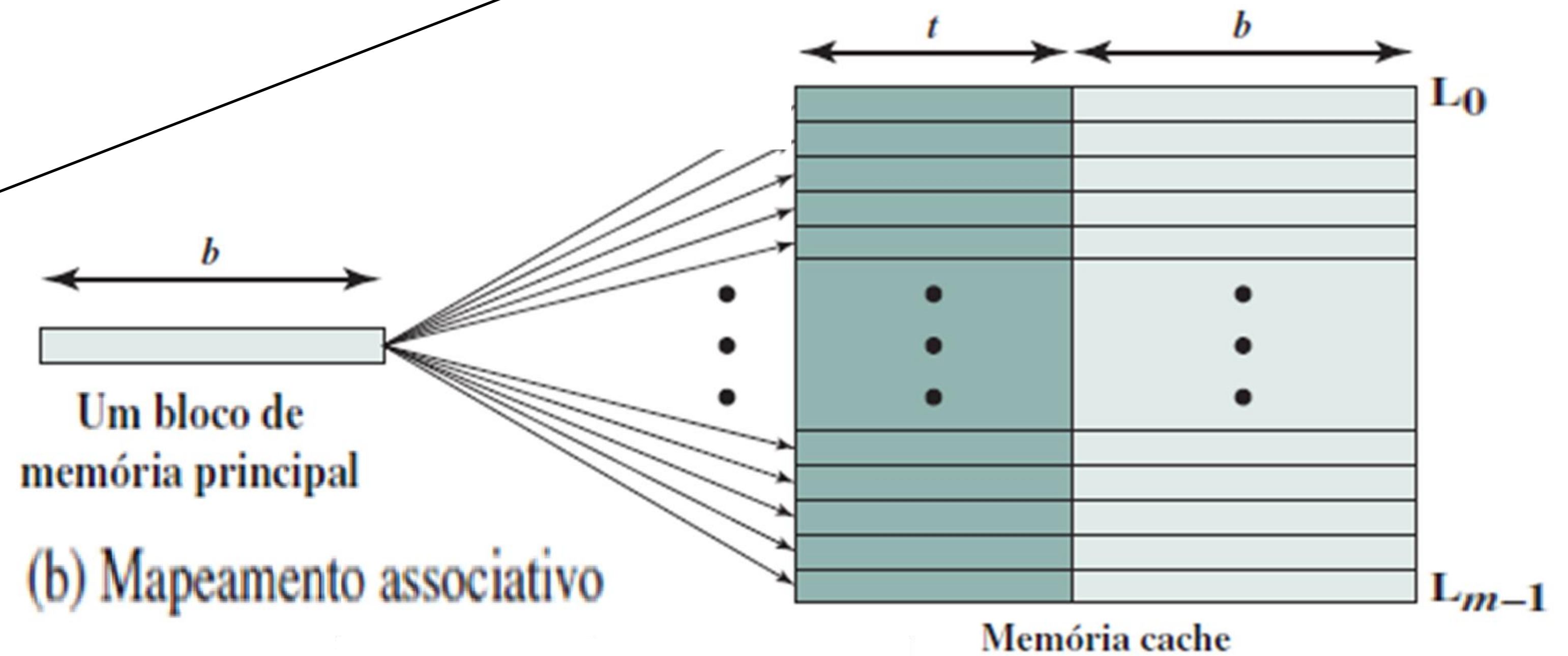
mapeamento associativo MP-cache

técnicas de substituição de dados na cache

- FIFO – *First-In-First-Out*, em que o bloco que ocupa uma linha cujos dados foram os primeiros a ser inseridos são aqueles a ser substituídos;
- LRU – *Least Recently Used*, em que o bloco que há mais tempo ocupa uma linha e não é acessado deve ser substituído.

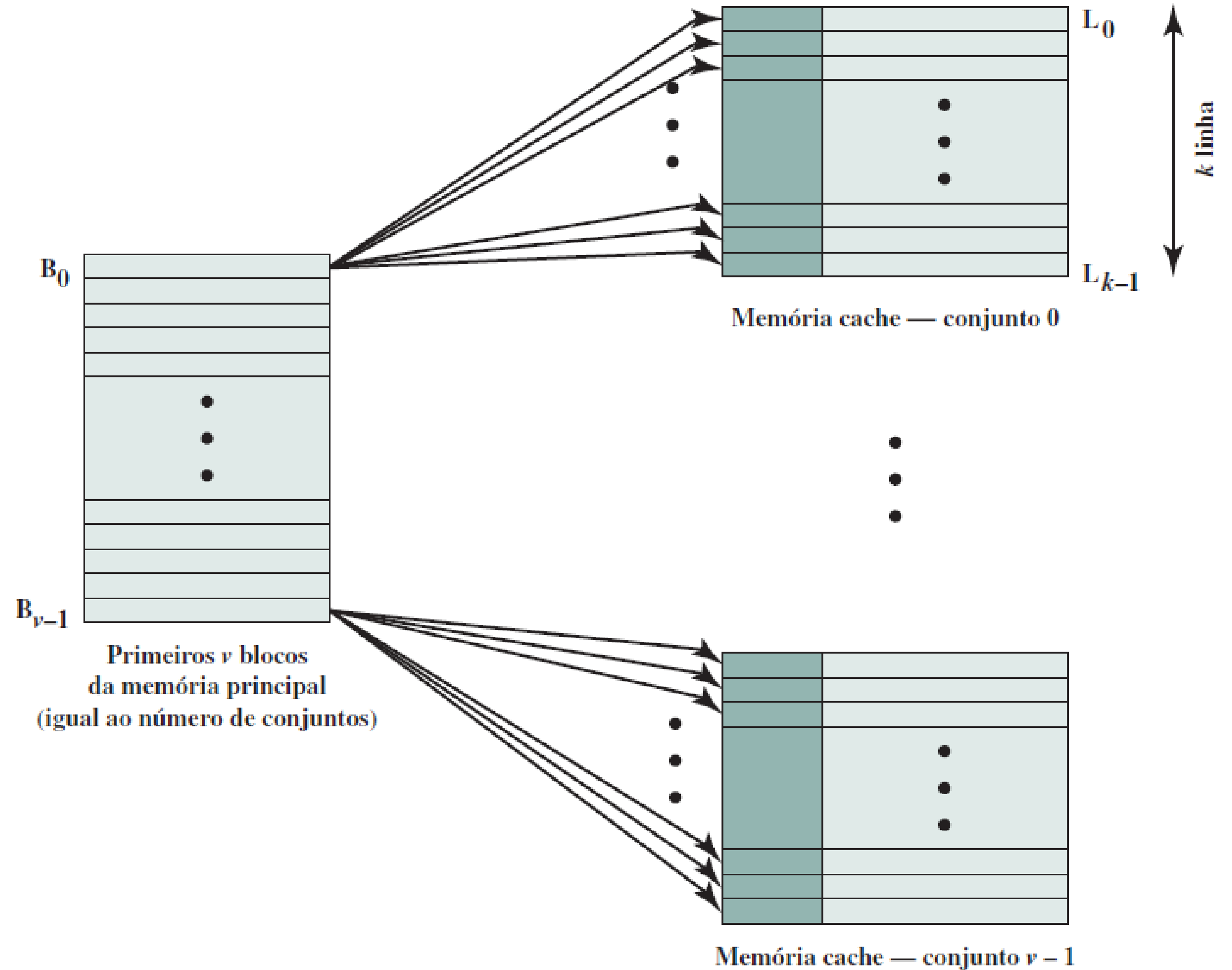


(a) Mapeamento direto



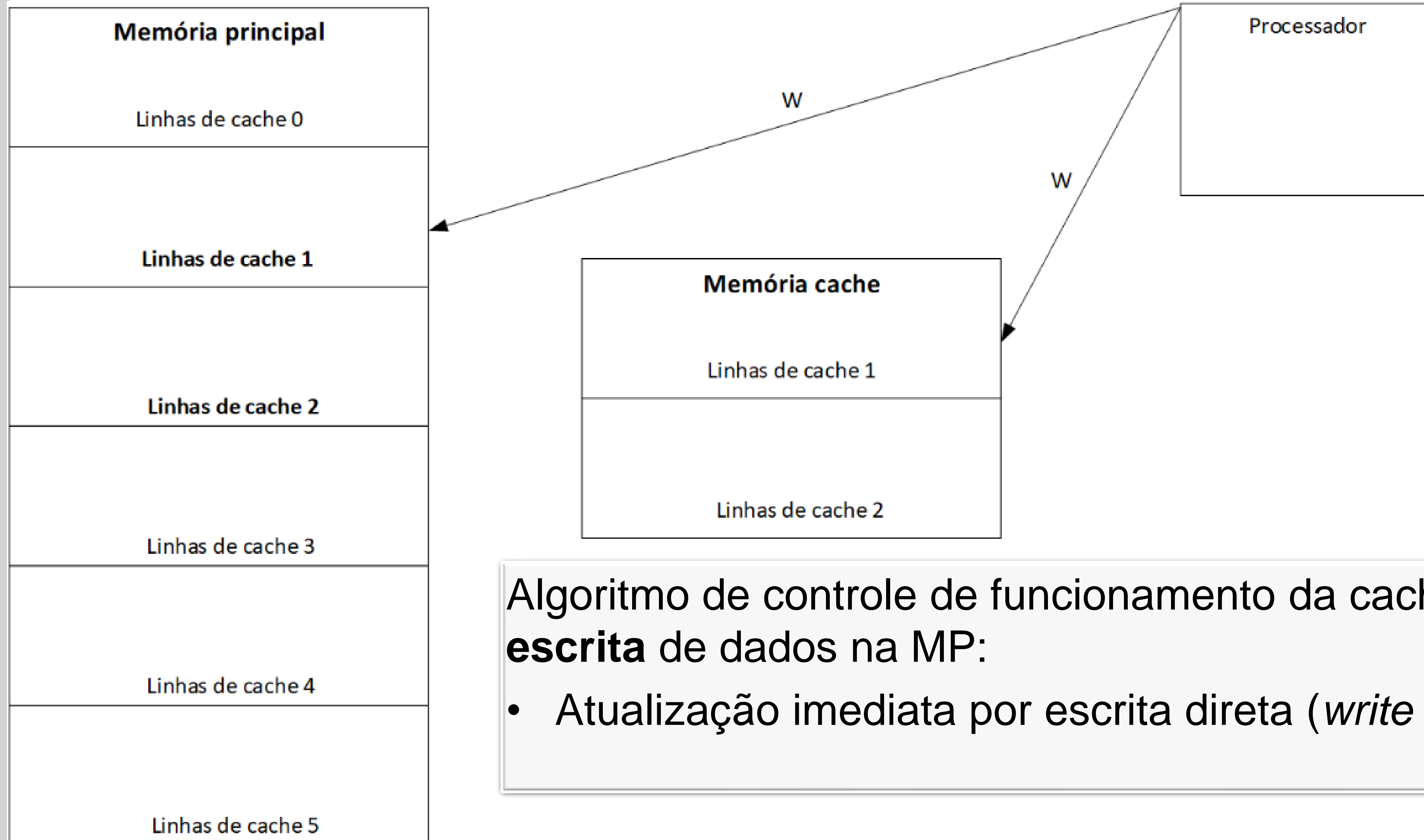
(b) Mapeamento associativo

mapeamento
associativo por
conjunto MP-cache



controle da cache na escrita de dados

ibmec.br

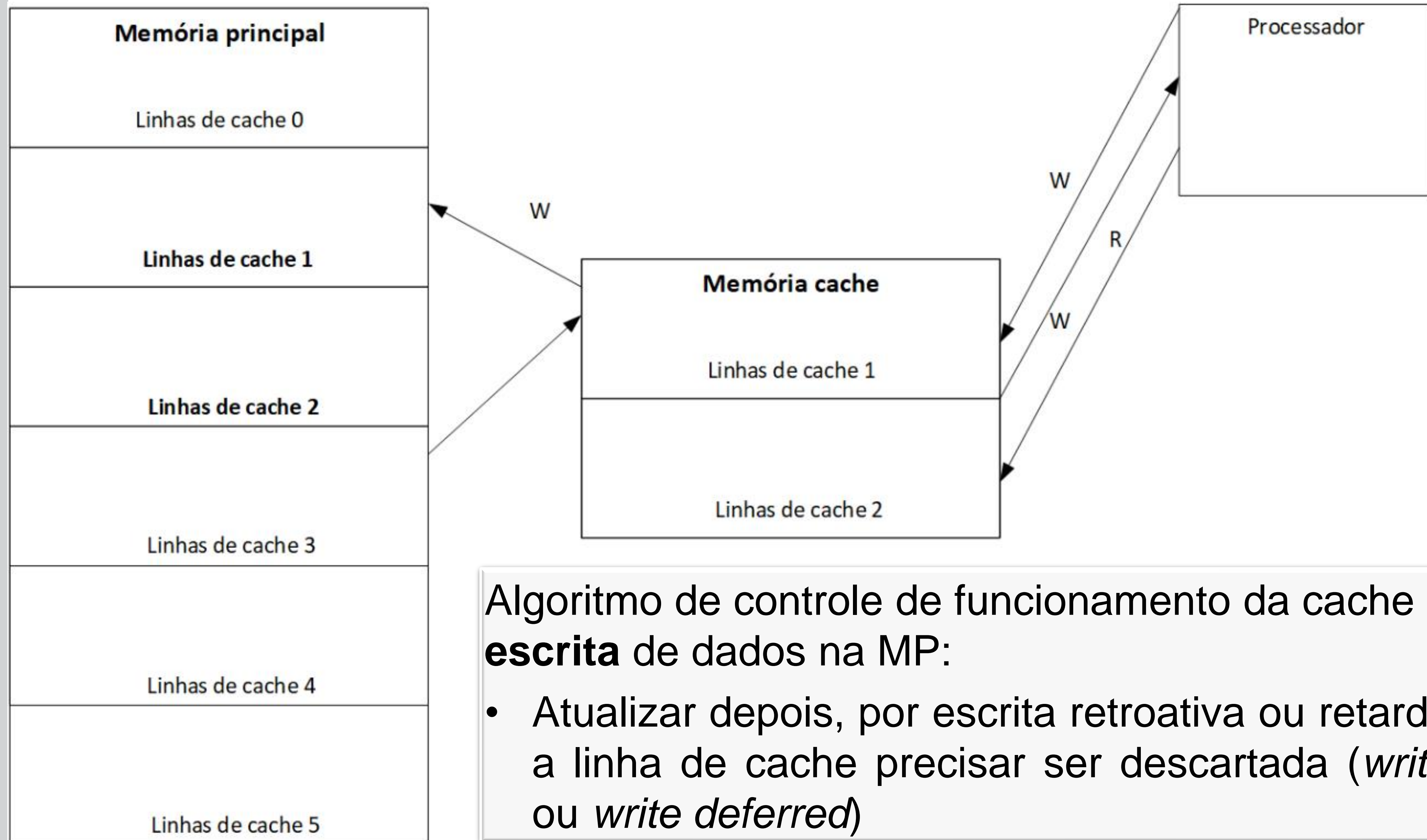


Algoritmo de controle de funcionamento da cache para **escrita** de dados na MP:

- Atualização imediata por escrita direta (*write through*)

controle da cache na escrita de dados

ibmec.br



Algoritmo de controle de funcionamento da cache para **escrita** de dados na MP:

- Atualizar depois, por escrita retroativa ou retardada se a linha de cache precisar ser descartada (*write back* ou *write deferred*)

Desempenho do sistema de memória com cache

- CPU busca dados primeiro na memória cache
- k acessos a uma palavra em um intervalo de tempo com a referência 1 vez à MP
- Como avaliar:
 - $c = t_A$ da cache
 - $m = t_A$ da MP
 - taxa de acerto (h), $h = (k-1)/k = 1 - 1/k$
 - tempo médio de acesso (t_M),

$$t_M = \frac{c \cdot (k - 1) + m}{k} = c \cdot h + \frac{1}{k} \cdot m = c \cdot h + (1 - h) \cdot m$$

Elementos do sistema de computação

- Memória
- **Barramento**
- Processadores
- Dispositivos de Entrada/Saída

Interconexão dos elementos do sistema computacional

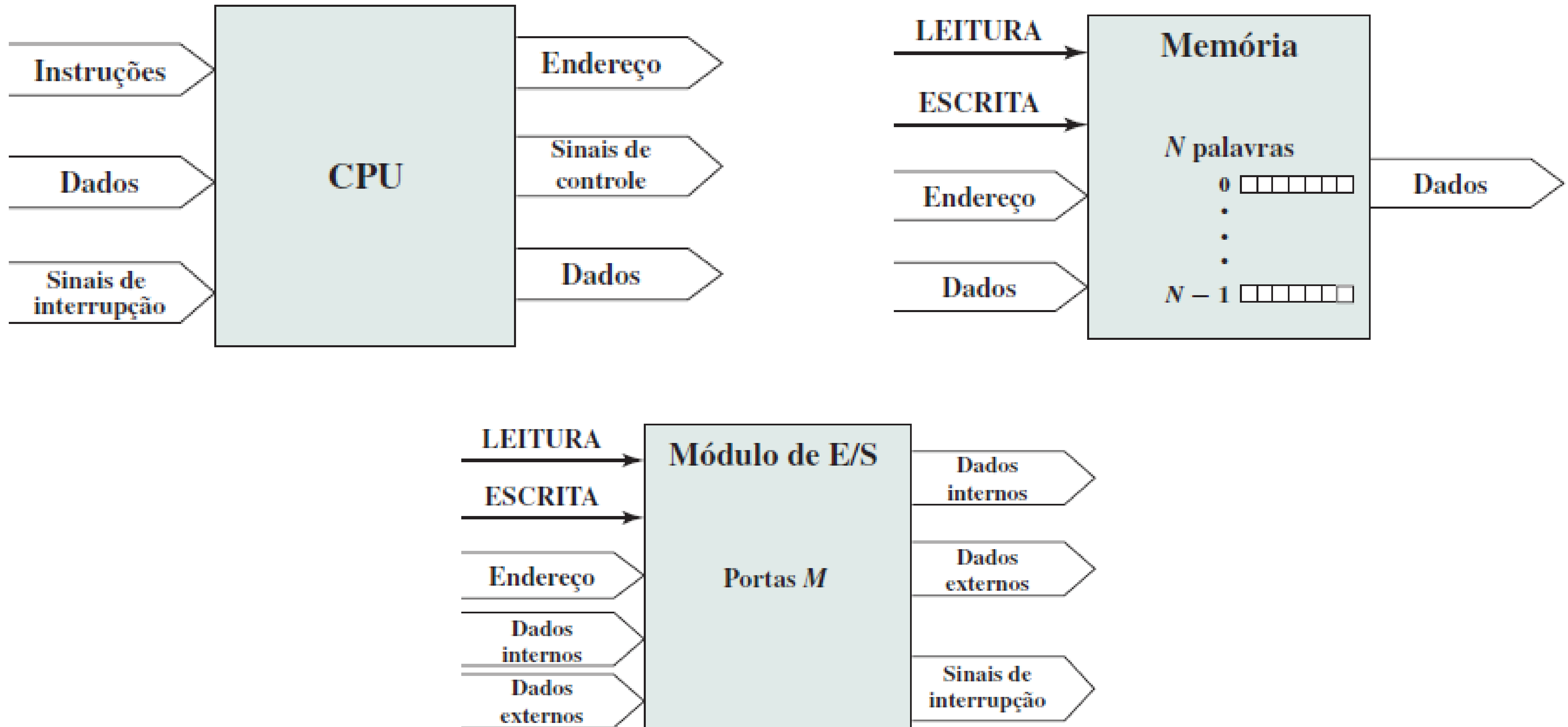
- Um barramento é um caminho de comunicação que conecta dois ou mais dispositivos.
- Uma característica-chave de um barramento é que ele é um meio de transmissão compartilhado. Se dois dispositivos transmitirem durante o mesmo período de tempo, seus sinais serão sobrepostos e ficarão distorcidos. Assim, somente um dispositivo de cada vez pode transmitir com sucesso.
- Tipicamente, um barramento consiste em múltiplos caminhos de comunicação, ou linhas.

Interconexão dos elementos do sistema computacional

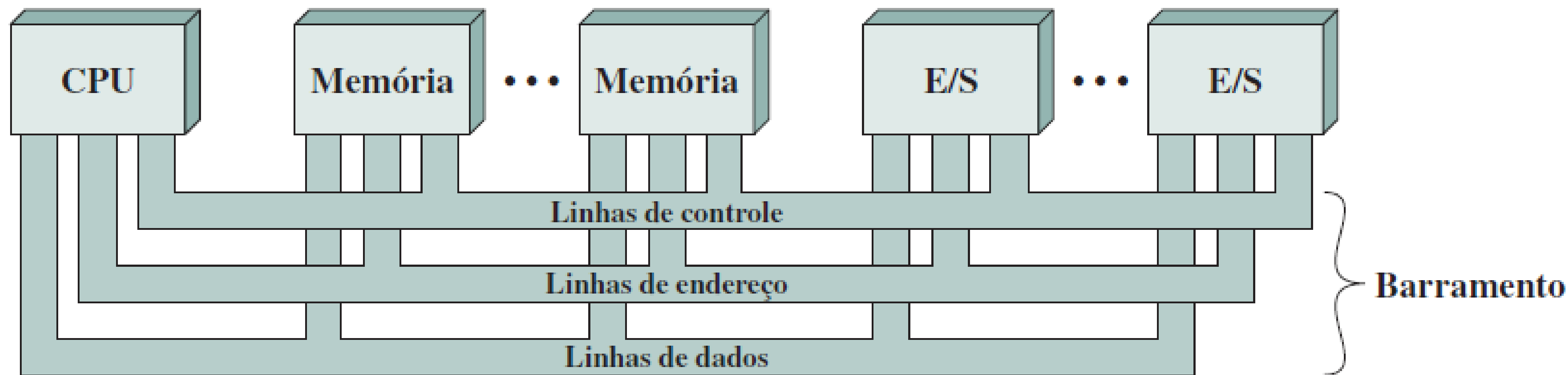
Sistema de barramento

- Características
 - Funcionalidade
 - Largura
 - Hierarquia - localização (internos x externos)
 - Arbitragem de barramento
 - Sincronismo do controle

Estrutura de interconexão dos elementos do sistema computacional



Funcionalidade do barramento



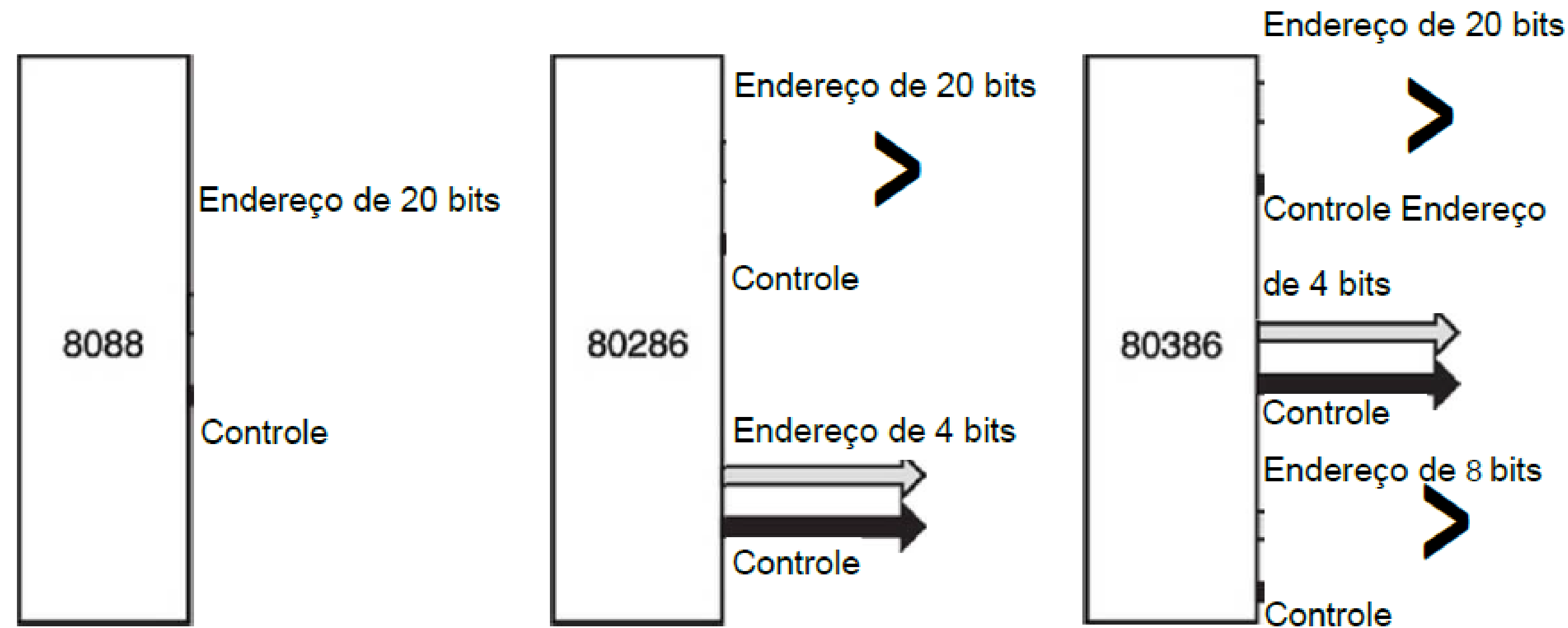
Classificação dos barramentos

- Quanto à **funcionalidade**: transportar dados, endereços ou sinais de controle

Largura de barramento

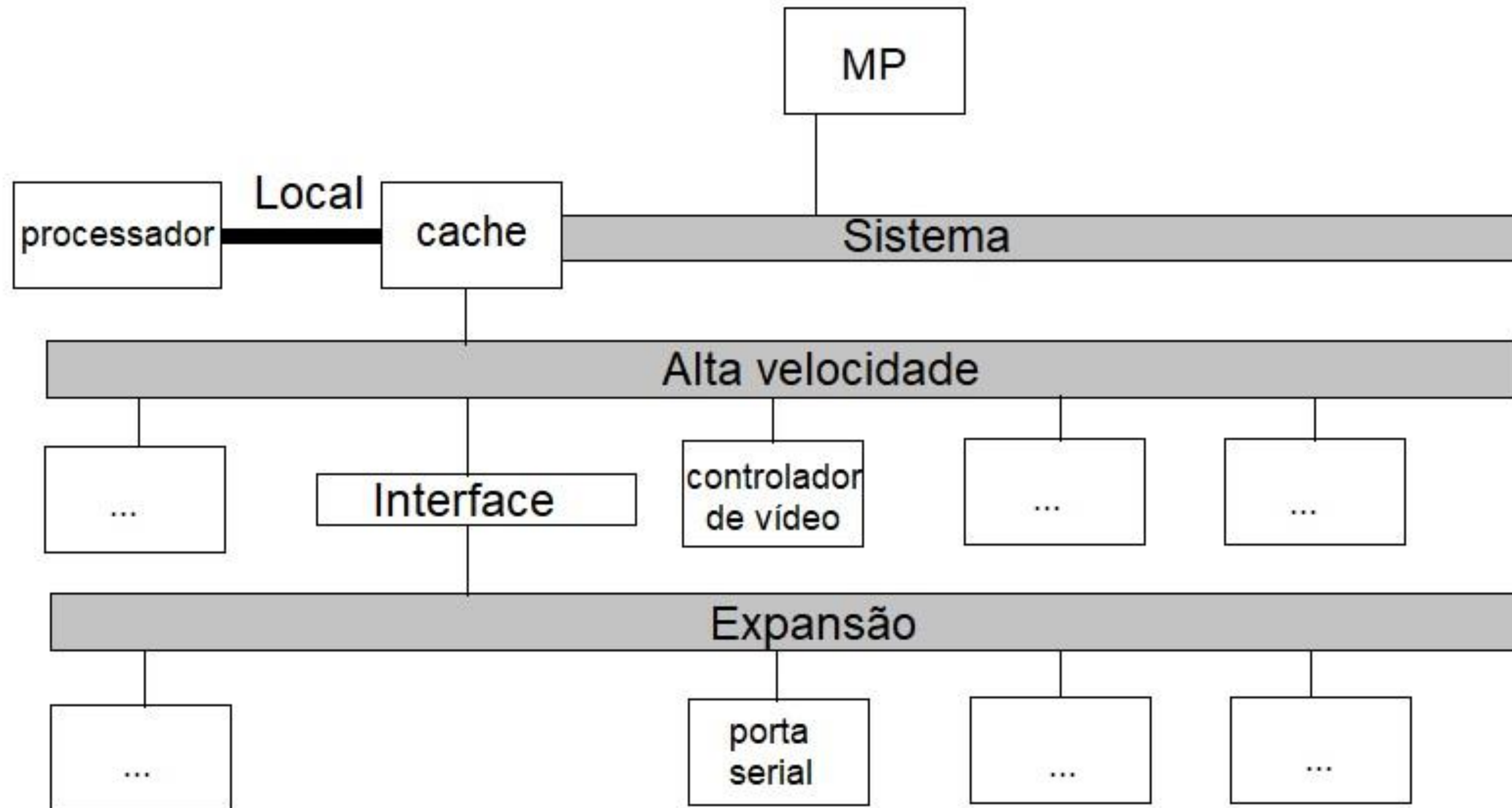
- A largura do barramento é o parâmetro de projeto mais óbvio.
- Quanto mais linhas de endereço tiver um barramento, mais memória a CPU pode endereçar diretamente.
- Problema: barramentos largos precisam de mais fios do que os estreitos, ocupam mais espaço físico, precisam de conectores maiores.
- Todos esses fatores encarecem o barramento e, por isso, há um compromisso entre tamanho máximo de memória e custo do sistema.

Largura de barramento

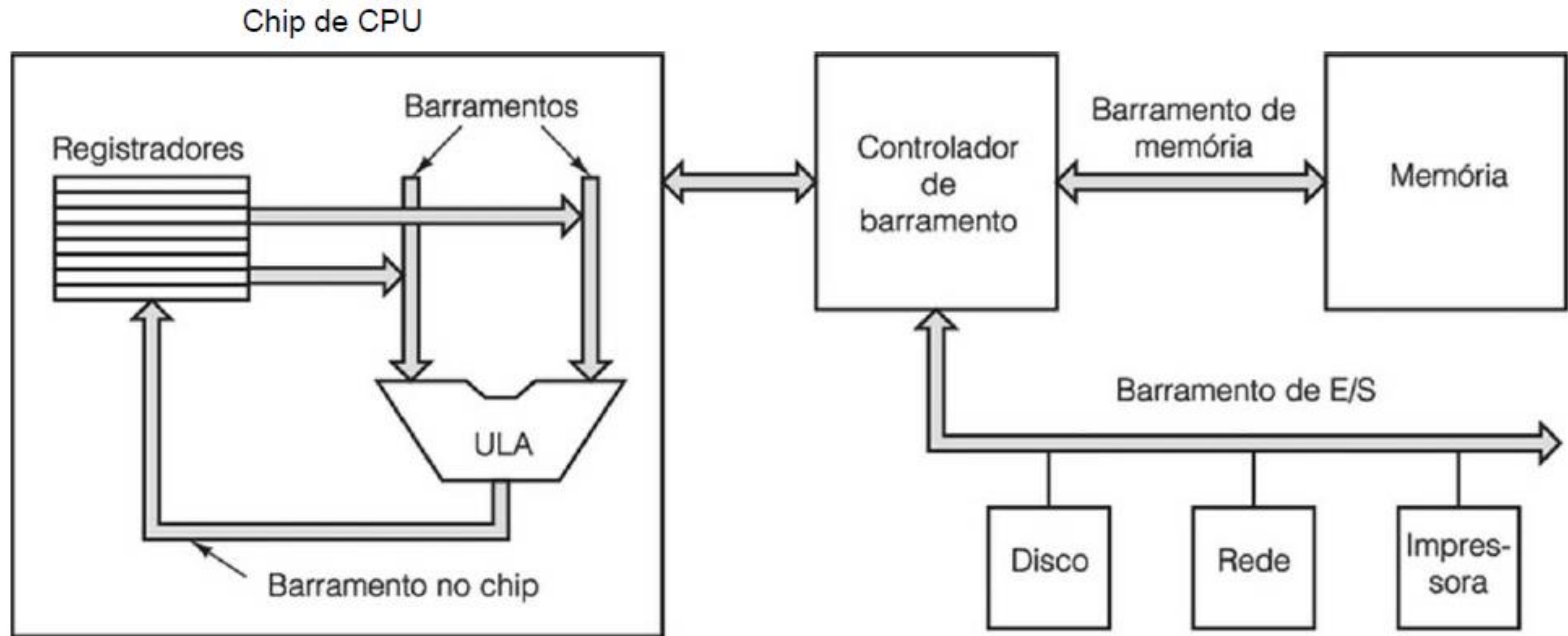


- Para contornar o problema de barramentos muito largos, às vezes os projetistas optam por um **barramento multiplexado**.
- No início de uma operação de barramento, as linhas são usadas para o endereço. Mais tarde, são usadas para dados.
- Multiplexar as linhas reduz a largura (e o custo) do barramento, mas resulta em um sistema mais lento.

Hierarquia do sistema de barramento



Controlador do barramento



Protocolos de barramento

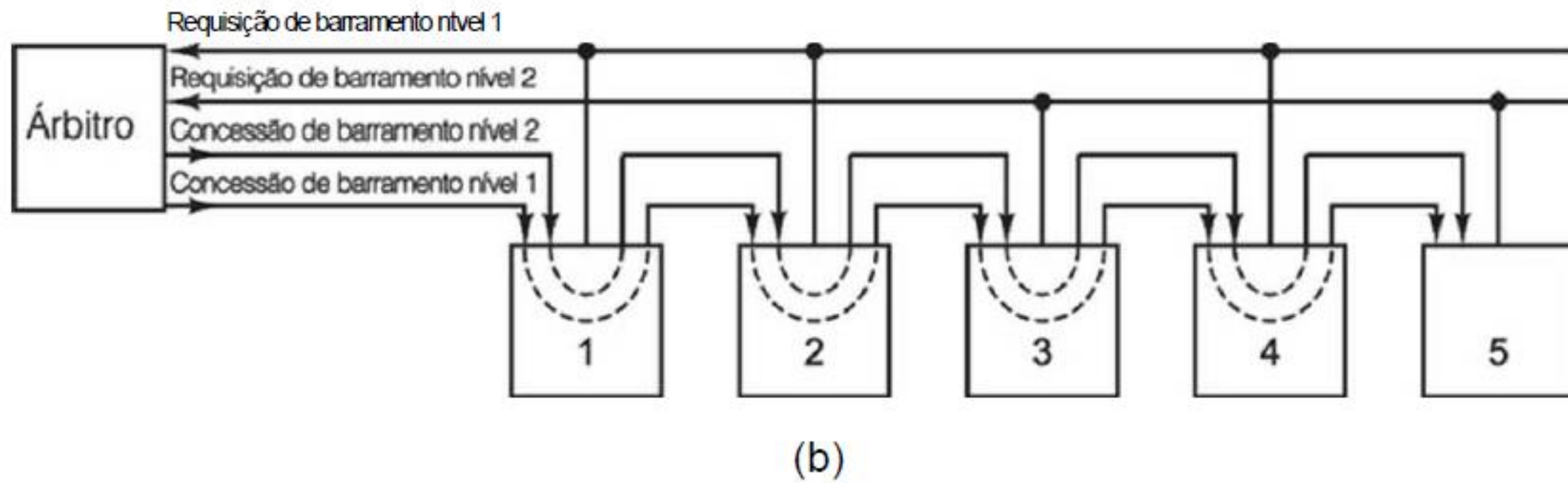
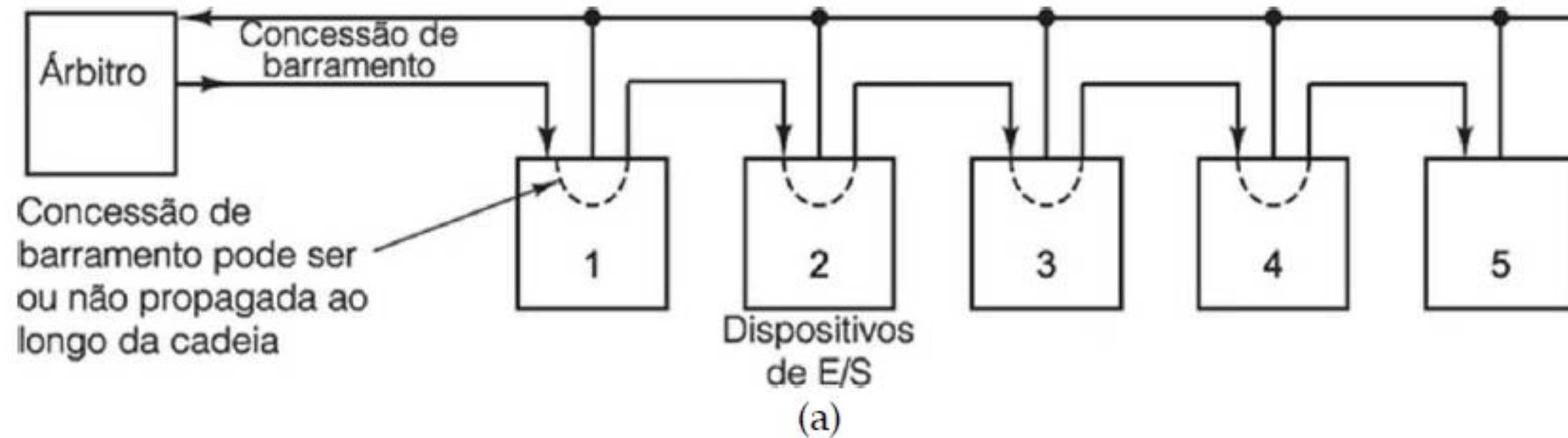
- Regras que definem a comunicação entre os elementos do sistema computacional
- Controlador de barramento – Mediador da comunicação, responsável pela implementação do protocolo
- Alguns dispositivos ligados a um barramento são **ativos** e podem **iniciar transferências no barramento**. Outros são passivos e **esperam requisições**.
- ativos são **mestres** (*master*); os passivos são denominados **escravos** (*slaves*).

Mestre	Escravo	Exemplo
CPU	Memória	Buscar instruções e dados
CPU	Dispositivo de E/S	Iniciar transferência de dados
CPU	Coprocessador	CPU que passa instruções para o coprocessador
Dispositivo de E/S	Memória	DMA (acesso direto à memória)
Coprocessador	CPU	Coprocessador que busca operandos na CPU

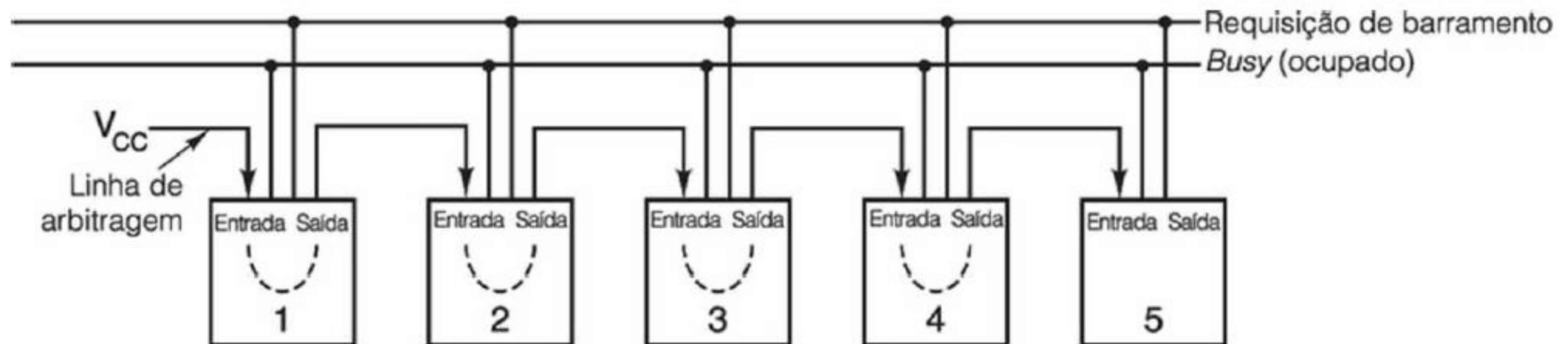
Arbitragem de barramento

- Parece que somente a CPU pode ser mestre de barramento. Chips de E/S e coprocessadores podem se tornar mestres de barramento para ler e escrever na memória e também para **causar interrupções**.
- Se dois dispositivos quiserem transferir dados? Mecanismo de **arbitragem de barramento**.
- Arbitragem centralizada x descentralizada.

Arbitragem centralizada



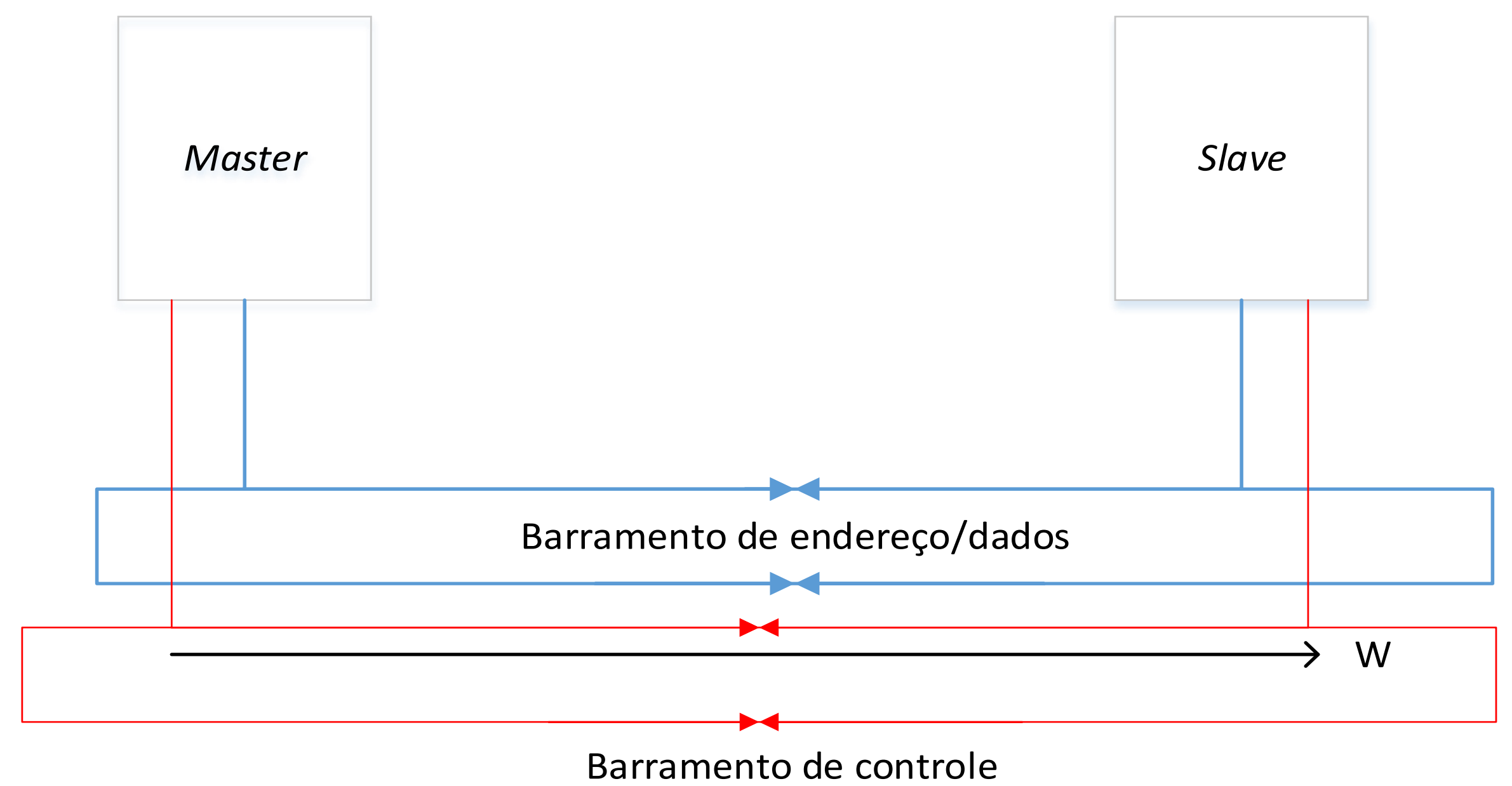
Arbitragem descentralizada



Sincronismo de barramento

- Barramentos podem ser divididos em duas categorias distintas, dependendo de seu clock: **síncrono x assíncrono**.
- O barramento síncrono tem uma linha comandada por um sinal de clock.
- O barramento assíncrono não tem um clock mestre. Há uma série de eventos sequenciados.
- Barramento assíncrono é de mais complexa implementação eletrônica.

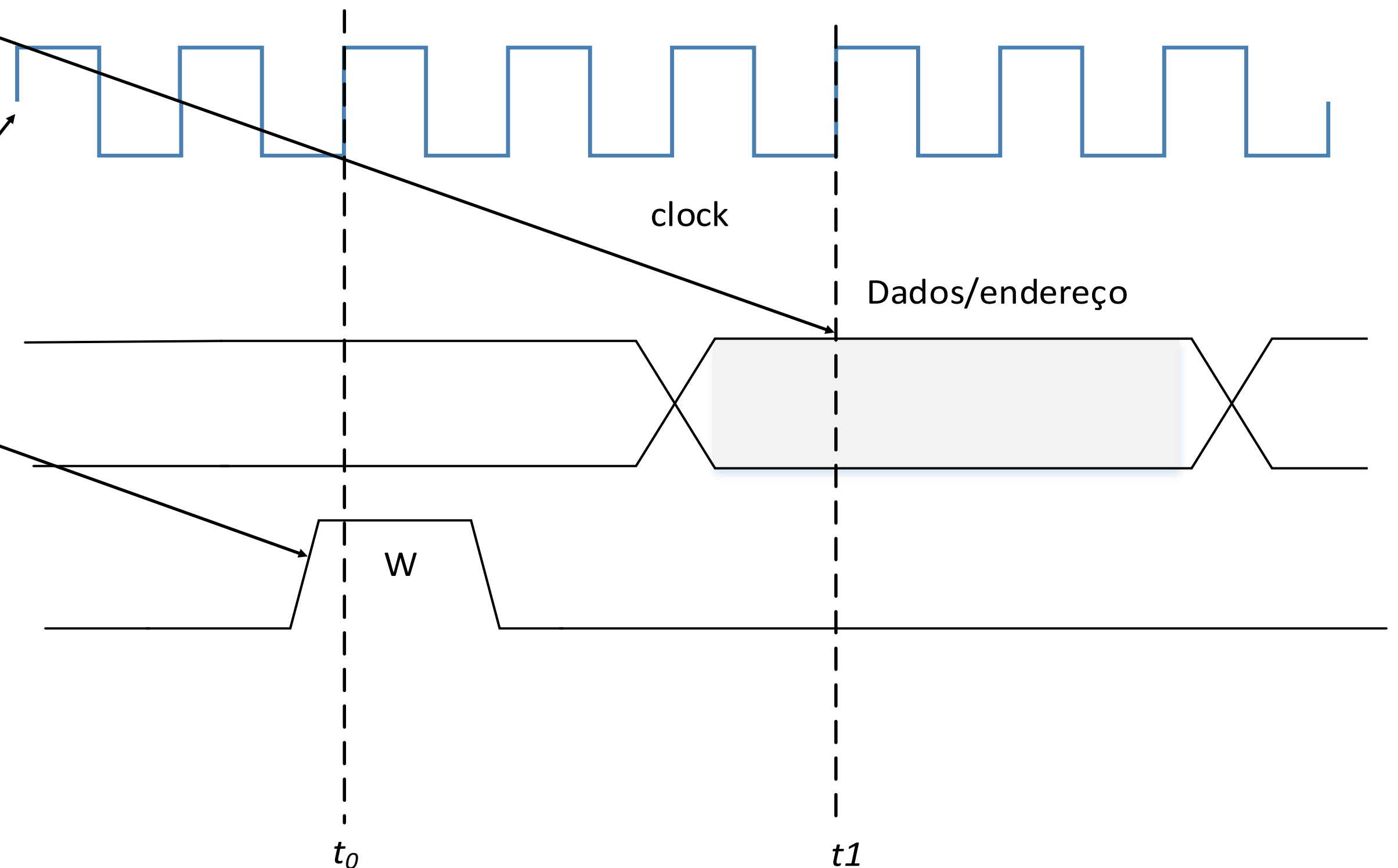
Barramento síncrono



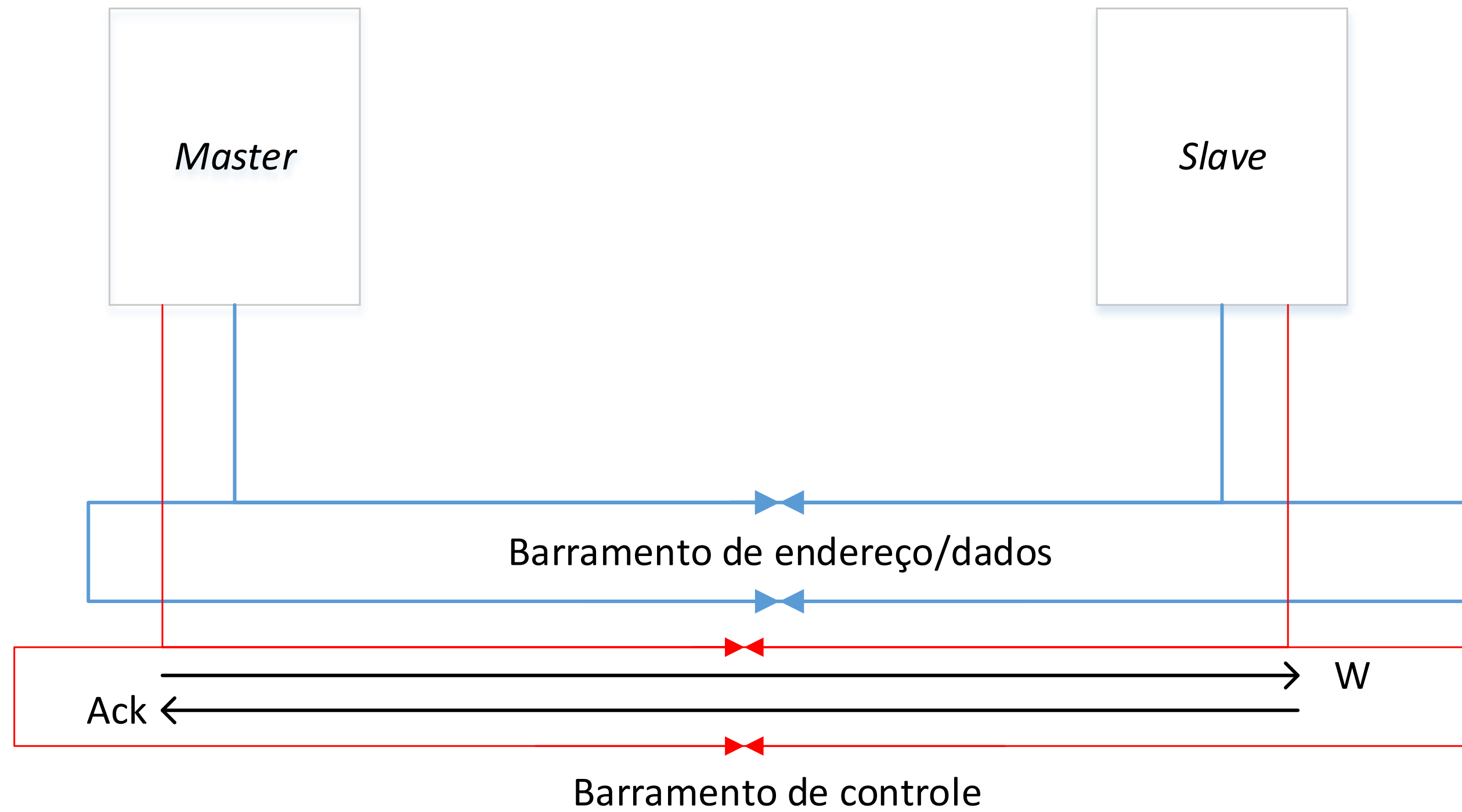
A CPU fica em espera um número de ciclos de clock até que a leitura/escrita possa ser realizada

Master requisita a operação

Relógio do barramento: estabelece a referência temporal nas transferências de dados no barramento



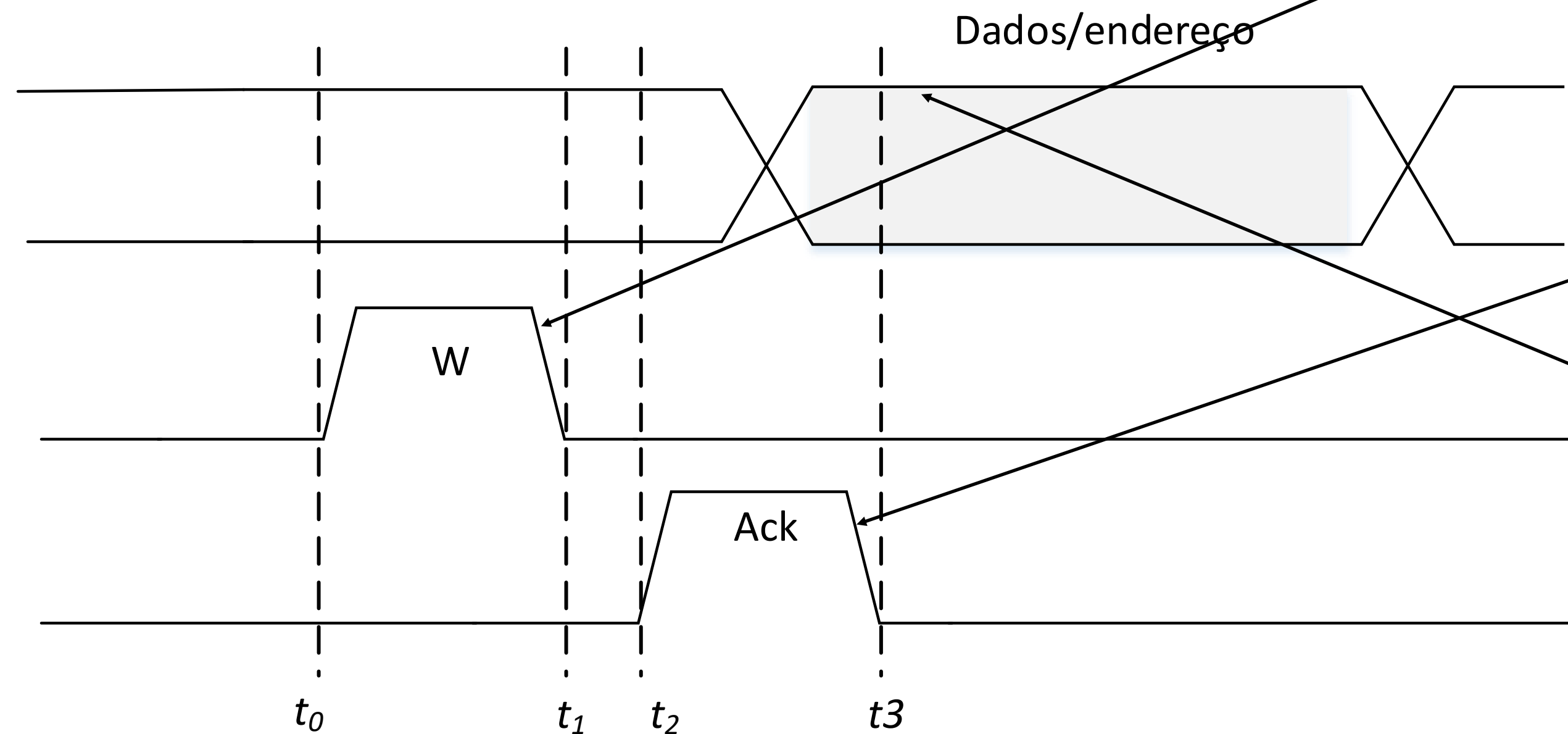
Barramento assíncrono



Master requisita a operação

Slave devolve que reconheceu a solicitação, pronto para operação

A CPU espera o Ack para realizar a operação de leitura/escrita



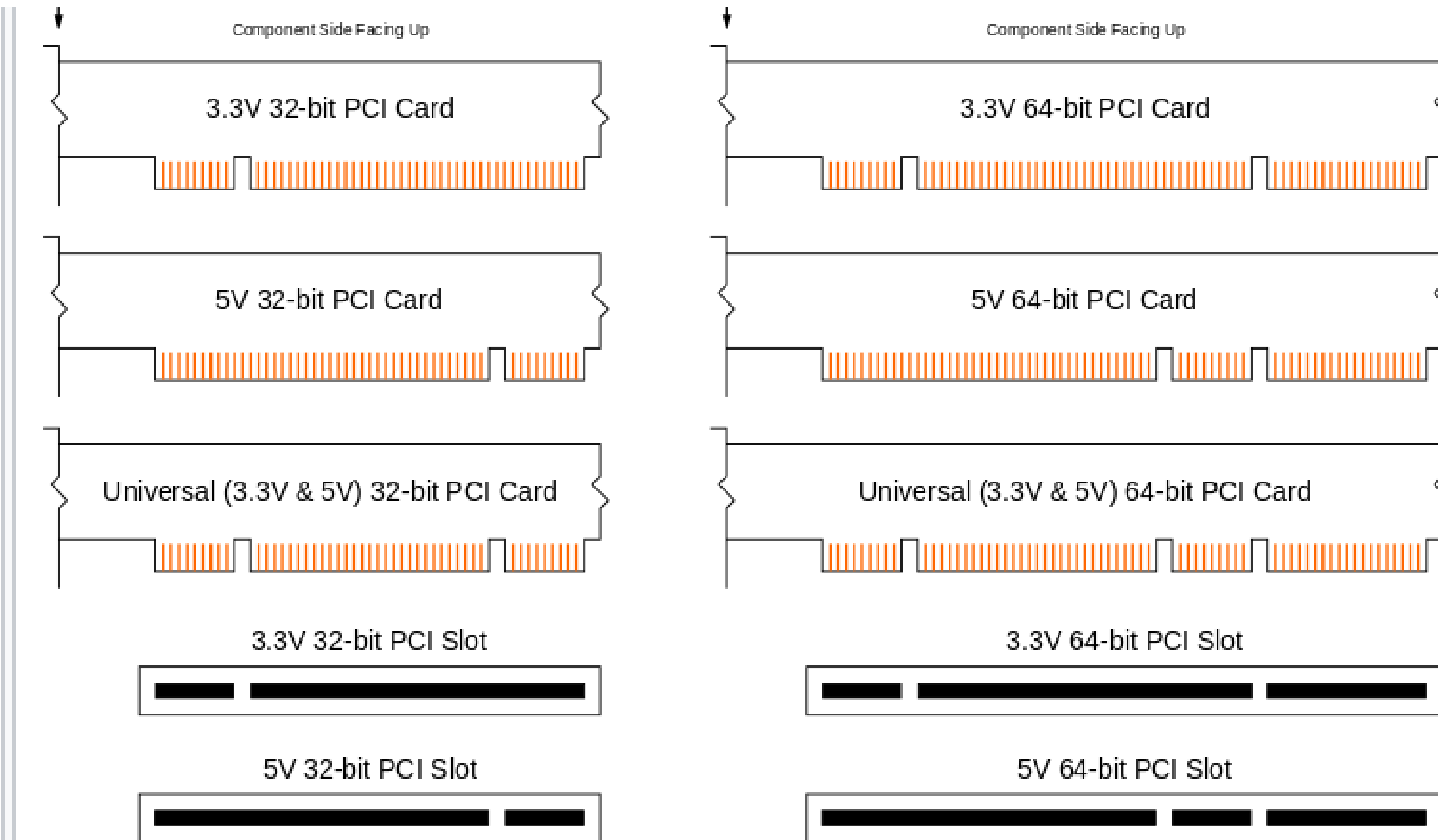
Padrões de barramento

- Barramento ISA (*Industry Standard Architecture*): 8 bits (16 bits), *clock* de 8,33 MHz
- Barramento PCI (*Peripheral Component Interconnect*): 32 bits e *clock* de 33 MHz
- Barramento AGP (*Accelerated Graphics Port*):
 - AGP 1.0: 32 bits, 66 MHz; AGP 2.0 ...
- PCI-X (*Peripheral Component Interconnect Extended*)

PCI-X (*Peripheral Component Interconnect Extended*)

Specifications	Lanes				
	x1	x2	x4	x8	x16
2.5 GT/s (PCIe 1.x +)	500 MB/S	1 GB/S	2 GB/S	4 GB/S	8 GB/S
5.0 GT/s (PCIe 2.x +)	1 GB/S	2 GB/S	4 GB/S	8 GB/S	16 GB/S
8.0 GT/s (PCIe 3.x +)	2 GB/S	4 GB/S	8 GB/S	16 GB/S	32 GB/S
16.0 GT/s (PCIe 4.x +)	4 GB/S	8 GB/S	16 GB/S	32 GB/S	64 GB/S
32.0 GT/s (PCIe 5.x +)	8 GB/S	16 GB/S	32 GB/S	64 GB/S	128 GB/S
64.0 GT/s (PCIe 6.x +)	16 GB/S	32 GB/S	64 GB/S	128 GB/S	256 GB/S
128.0 GT/s (PCIe 7.x +)	32 GB/S	64 GB/S	128 GB/S	256 GB/S	512 GB/S

PCI-X (*Peripheral Component Interconnect Extended*)



3.3 V and 5 V keying of 64-bit PCI cards (both PCI and PCI-X). While most 64-bit PCI-X cards are universal and are backward compatible with common 32-bit 5 V PCI slots, PCI-X slots are 3.3 V and will not accept 5 V-only PCI cards.



IBMEC.BR

 /IBMEC

 IBMEC

 @IBMEC_OFICIAL

 @IBMEC

 **ibmec**