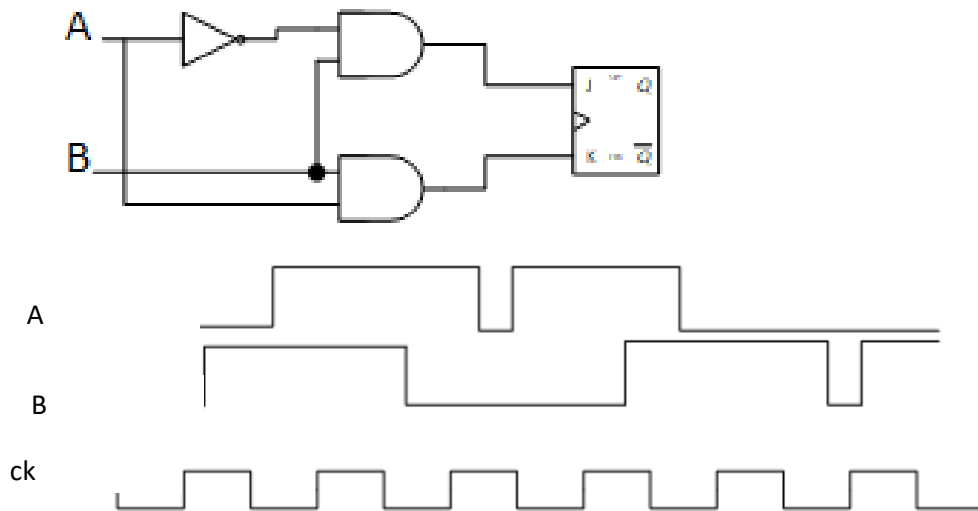
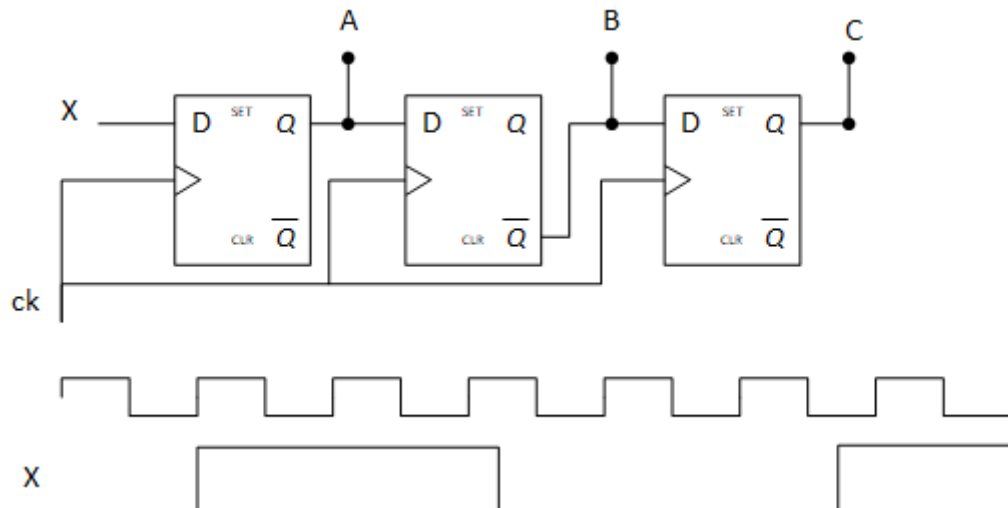


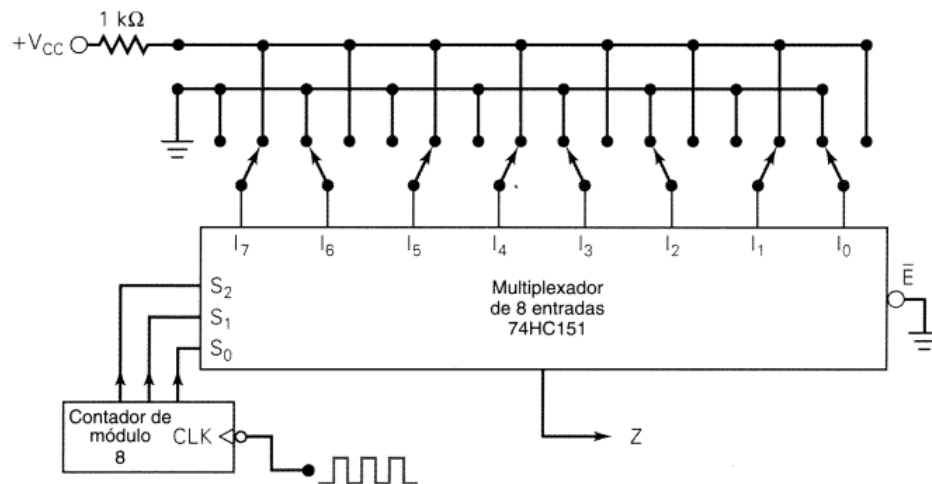
1. Seja o circuito digital apresentado abaixo. Apresentar o diagrama de temporização do sinal Q, dados A e B de entrada. Presumir que no início da operação o valor de Q=0.



2. Apresentar o sinal de saída caso o FF seja 'gatilhado' pela transição negativa do sinal de clock. Admitindo que a frequência do sinal de clock da questão anterior seja de 2 kHz, esboçar o gráfico de saída incluindo os valores no tempo. O que acontecerá se o valor de *duty cycle* for de 20%?
3. Sejam circuito e sinais apresentados abaixo, admitindo que todos os FF tipo D apresentem 0 na saída no instante inicial, apresentar o esboço da curva de resposta do circuito em A, B e C.



4. Qual seria a resposta do circuito se o FF tipo D for substituído por um FF tipo T?
5. Projetar um circuito que permita utilizar um FF tipo JK como FF tipo T.
6. Projetar um registrador de 4-bits utilizando FF tipo JK.
7. Utilizando FF tipo T, projetar um circuito divisor de frequências por 2.
8. Utilizando FF tipo JK, projetar um circuito contador módulo 5.
9. Projetar o circuito abaixo, substituindo o contador de módulo 8 por um contador de módulo 10 com FF tipo JK, conectando o bit mais significativo na entrada de *enable* do MUX. Desenhe a forma de onda de Z.



10. Utilizando o mesmo contador decádico da questão anterior, desenhar a forma de onda da saída do MUX.

