

**ARQUITETURA DE COMPUTADORES**  
**AP1 – parte 2 – TRABALHO EM GRUPO**  
**PROF. CLAYTON JONES ALVES DA SILVA**

**Condições gerais:**

1. O trabalho (parte 2 da AP1) perfaz 50% da nota da primeira avaliação bimestral.
2. O trabalho deve ser realizado e submetido em grupo. Os grupos são os mesmos designados para a disciplina.
3. A entrega do pedido será realizada presencialmente .
4. Data de entrega do trabalho: **02 de maio de 2022.**

**Dados do problema:**

Projetar um sistema embarcado constituído de: **placa principal** baseada no microcontrolador Atmel ATmega V2560, Arduino Mega 2560; sistema digital constituído por teclado de 8 teclas digitais,  $A(A3 A2 A1 A0)$  e  $B(B3 B2 B1 B0)$ , que gera a soma binária  $A+B$ , como **dispositivo de entrada**; display LCD 16x2, como **dispositivo de saída**.

O dispositivo de entrada deve utilizar como base o somador [74LS283](#), cujas características técnicas estão descritas no link. Os sinais da soma binária resultante devem alimentar entradas digitais da placa do Arduino Mega 2560.

O Arduino Mega 2560 deve processar a entrada da seguinte forma: caso o **bit mais significativo** do somador seja 1, o sistema deve calcular o **complemento de 2** do número; caso o bit mais significativo do somador seja 0, o sistema deve calcular o **complemento de 1** do número.

O resultado do processamento deve ser enviado ao **dispositivo de saída (display LCD 1602)**, com a representação **hexadecimal** do binário obtido no processamento.

Sugestão: Consultar as notas de Arduino Mega 2560 disponibilizadas.

**Pedido: Elaborar circuito descrito, apresentando os seguintes artefatos:**

1. Esquema elétrico geral, utilizando o EasyEDA ou o Proteus, apresentando os componentes e todas as ligações realizadas.
2. Simulação lógica computacional, utilizando o Logisim, para testar o funcionamento do esquema elaborado.
3. Código utilizado para a placa do Arduino Atmel 2560.
4. Modelo físico funcionando de acordo com o pedido formulado.
5. Admitindo o funcionamento do sistema em uma máquina IAS, apresentar o código, em sua representação simbólica (*assembly*) e correspondente representação hexadecimal do nível ISA, com as adaptações seguintes: implementar a soma dos números binários, armazenados nos endereços 0x100 e 0x101, armazenando o resultado da soma no endereço 0x102; calcular o complemento de 2 e o complemento de 1 da soma resultante e armazenar os resultados respectivamente nas posições 0x103 e 0x104 da memória. Admitir que as posições 0x105 a 0x3FF de memória estão disponíveis para uso temporário dos cálculos. Apresentar o código com a alocação dos endereços de memória das instruções, supondo que a primeira linha de código está no endereço 0x00F.