



OpenTSN 硬件开发手册

主题	OpenTSN 硬件开发手册
文档号	
创建时间	2019-12-17
最后修改	2019-12-17
版本号	1.0
文件名	OpenTSN 硬件开发手册.pdf
文件格式	Portable Document Format



目录

一、	文档概述.....	3
二、	开发环境说明.....	3
(一)	vivado 开发工具安装.....	3
(二)	工程文件准备.....	3
三、	搭建网表工程.....	3
四、	编译生成可下载文件.....	10
五、	硬件逻辑下载.....	14



一、 文档概述

本文档为 OpenTSN 硬件开发设计手册。文档主要介绍如何使用码云上的 FPGA_OS 网表及 UM 代码搭建硬件工程，以及 Vivado 开发工具的使用。

二、 开发环境说明

在进行硬件工程搭建之前，需要安装好 Vivado2018.3 开发工具，和 OpenTSN 硬件的网表和 UM 源码。

（一）Vivado 开发工具安装

由于 OpenTSN 硬件工程网表是在 2018.3 版本的 Vivado 开发工具上生成的，为了避免版本不一致出现兼容性问题，建议使用 2018.3 版本的 Vivado 开发工具。下载链接如下：

<https://china.xilinx.com/support/download/index.html/content/xilinx/zh/downloadNav/vivado-design-tools/2018-3.html>

Vivado 安装需要大约 34G 的磁盘空间，请先预留好足够的空间。安装完成后需要 License 破解，可以参照网上的破解教程。

（二）工程文件准备

OpenTSN 硬件工程需要的硬件文件如下：1) FPGA_OS 网表文件；2) 工程约束文件；3) 工程顶层文件；4) UM 源代码。以上文件都可以在码云上 OpenTSN 开源项目下载，FPGA_OS 为 1in_4out 的版本。下载地址如下：

<https://gitee.com/opentsn/openTSN>

FPGA_OS 文件目录：

[opentsn-openTSN-master/openTSN/sys/fast/fast_os/FPGA_OS_1in_4out](https://gitee.com/opentsn/openTSN/tree/master/openTSN/sys/fast/fast_os/FPGA_OS_1in_4out)

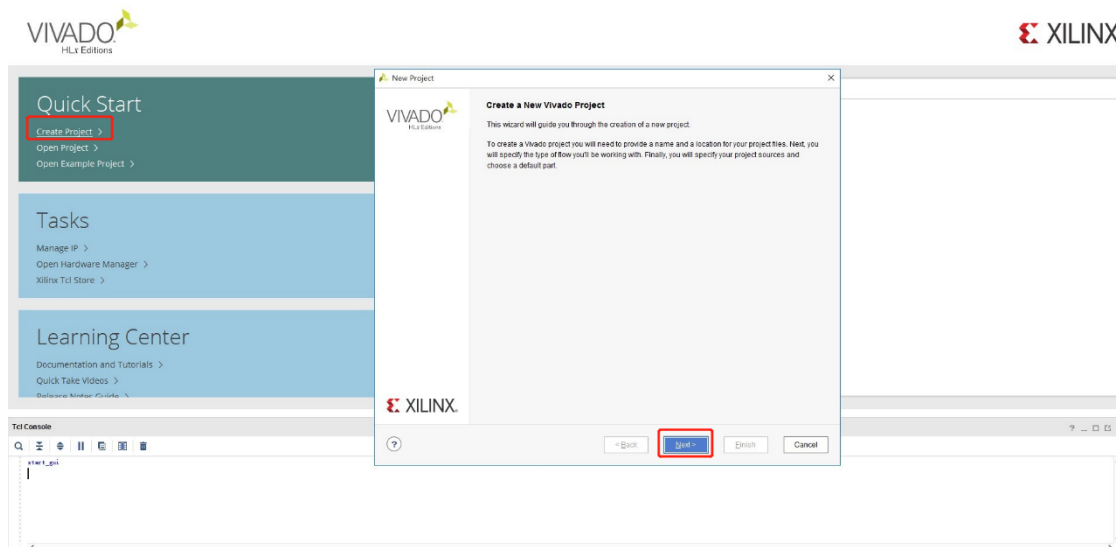
UM 源码目录：

[opentsn-openTSN-master/openTSN/src/硬件代码/tsn_switch/um_code](https://gitee.com/opentsn/openTSN/tree/master/openTSN/src/硬件代码/tsn_switch/um_code)

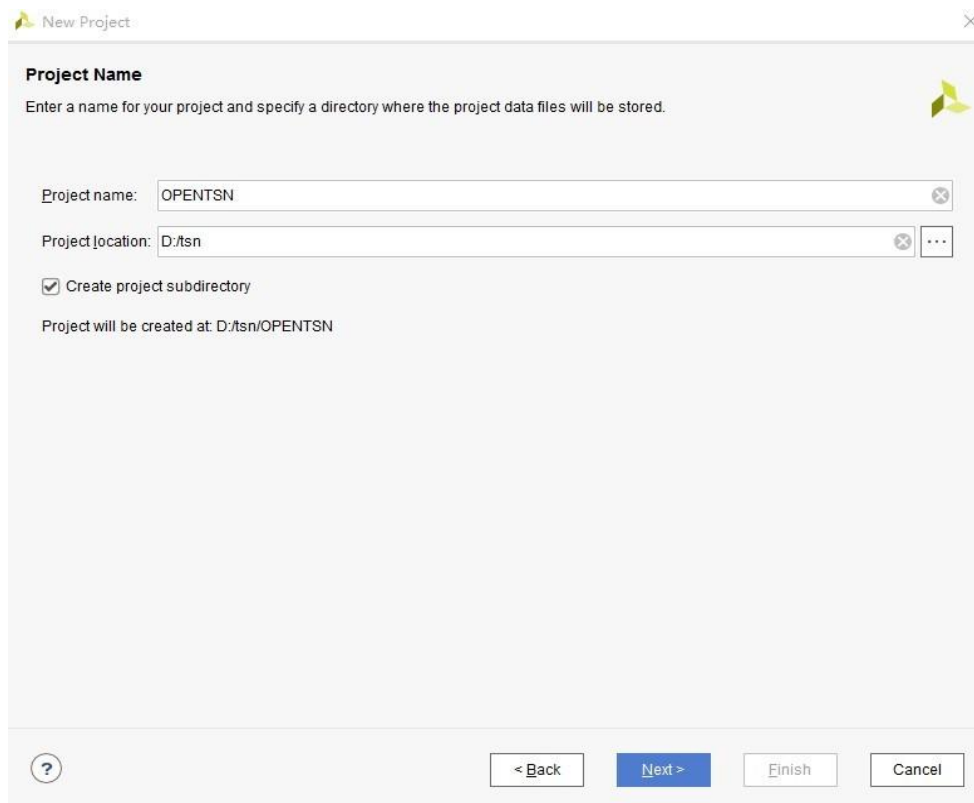
三、 搭建网表工程



1、打开 Vivado 2018.3 开发工具，选择 Create Project；



2、输入工程名和工程所在目录，点击 Next；



3、选择创建 RTL Project；



New Project

Project Type
Specify the type of project to create.

☒ **RTL Project**
You will be able to add sources, create block designs in IP Integrator, generate IP, run RTL analysis, synthesis, implementation, design planning and analysis.
☒ Do not specify sources at this time

☐ **Post-synthesis Project**: You will be able to add sources, view device resources, run design analysis, planning and implementation.
☐ Do not specify sources at this time

☐ **I/O Planning Project**
Do not specify design sources. You will be able to view part/package resources.

☐ **Imported Project**
Create a Vivado project from a Synplify, XST or ISE Project File.

☐ **Example Project**
Create a new Vivado project from a predefined template.

? < Back Next > Finish Cancel

4、选择器件型号为 Zynq-7000 系列中的 xc7z020clg484-2, 点击 Next;

New Project

Default Part
Choose a default Xilinx part or board for your project.

Parts | Boards

Reset All Filters

Category: All Package: All Remaining Temperature: All Remaining

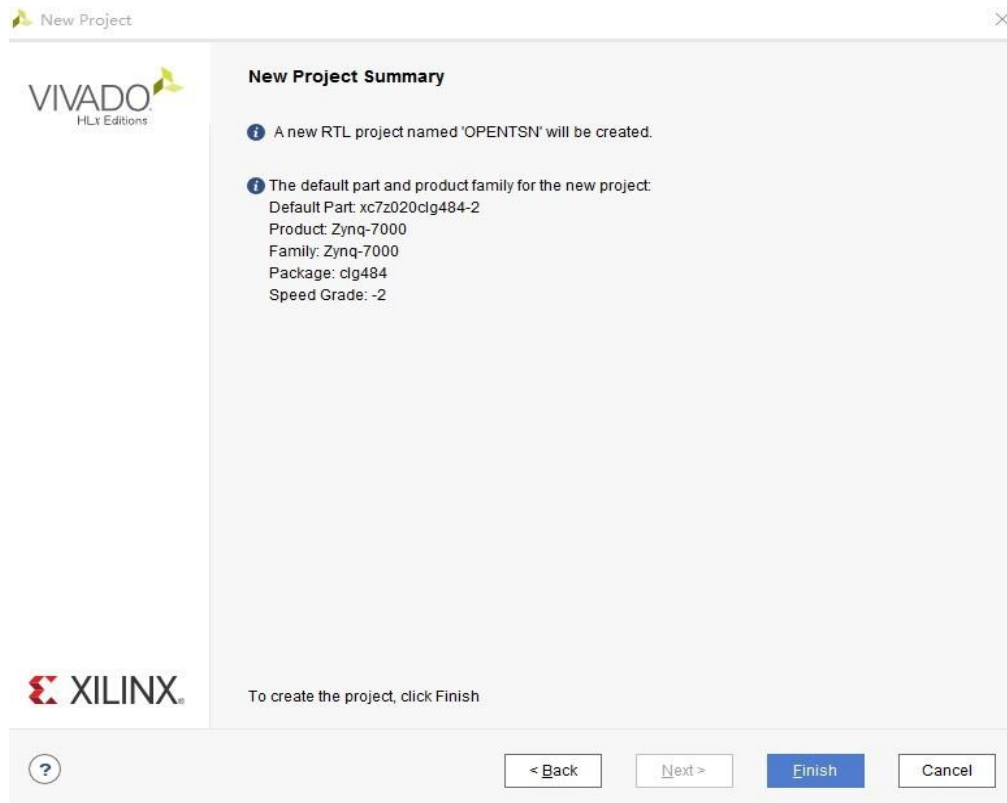
Family: Zynq-7000 Speed: All Remaining

Search: Q-

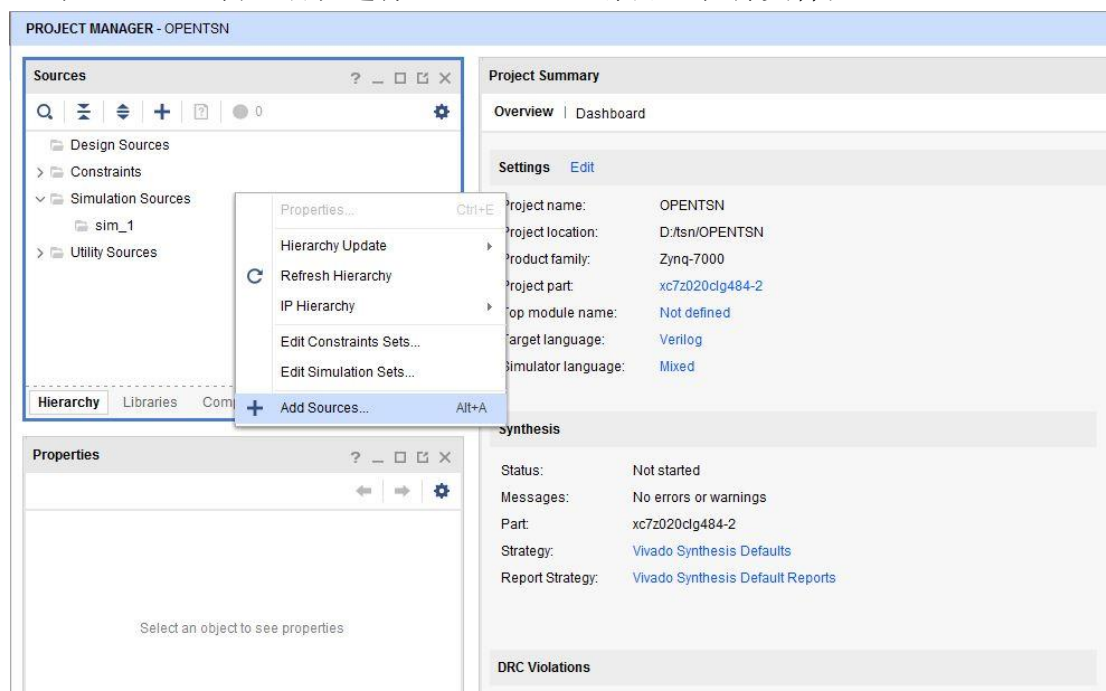
Part	I/O Pin Count	Available IOBs	LUT Elements	FlipFlops	Block RAMs	Ultra RAMs	DSPs
xc7z020clg400-1	400	125	53200	106400	140	0	220
xc7z020clg484-3	484	200	53200	106400	140	0	220
xc7z020clg484-2	484	200	53200	106400	140	0	220
xc7z020clg484-1	484	200	53200	106400	140	0	220
xc7z020iclg400-1L	400	125	53200	106400	140	0	220
xc7z020iclg484-1L	484	200	53200	106400	140	0	220
xc7z030fbg484-3	484	163	78600	157200	265	0	400
xc7z030fbg484-2	484	163	78600	157200	265	0	400

? < Back Next > Finish Cancel

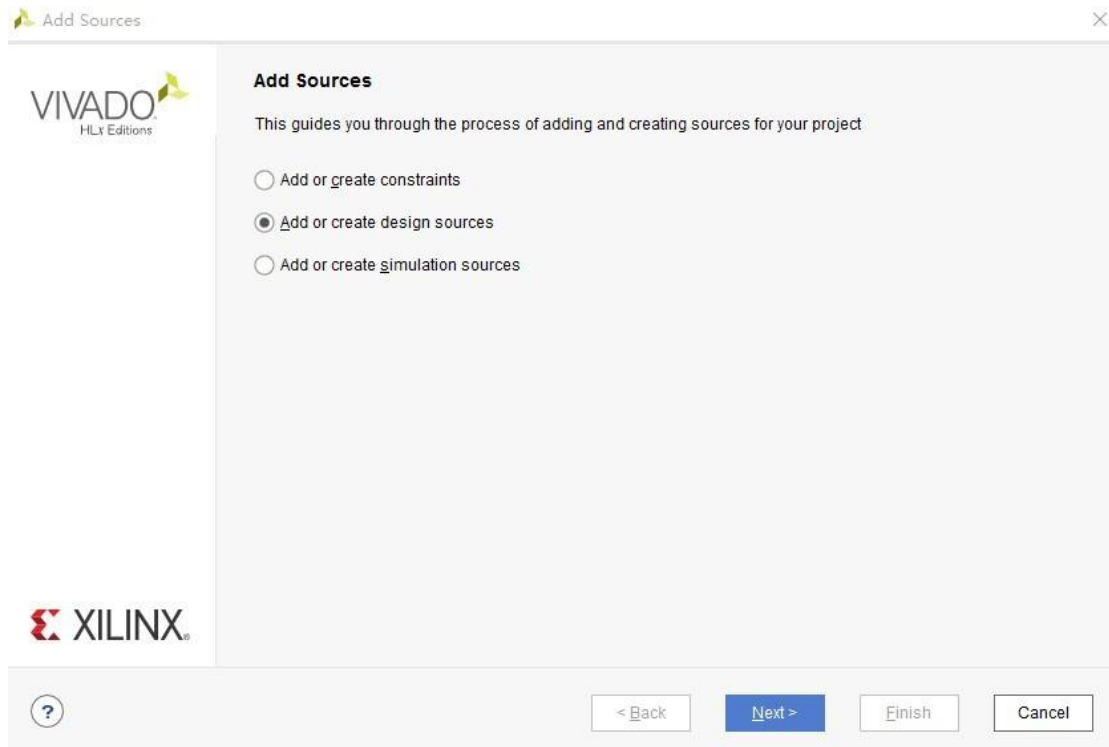
5、点击 Finish，完成工程创建；



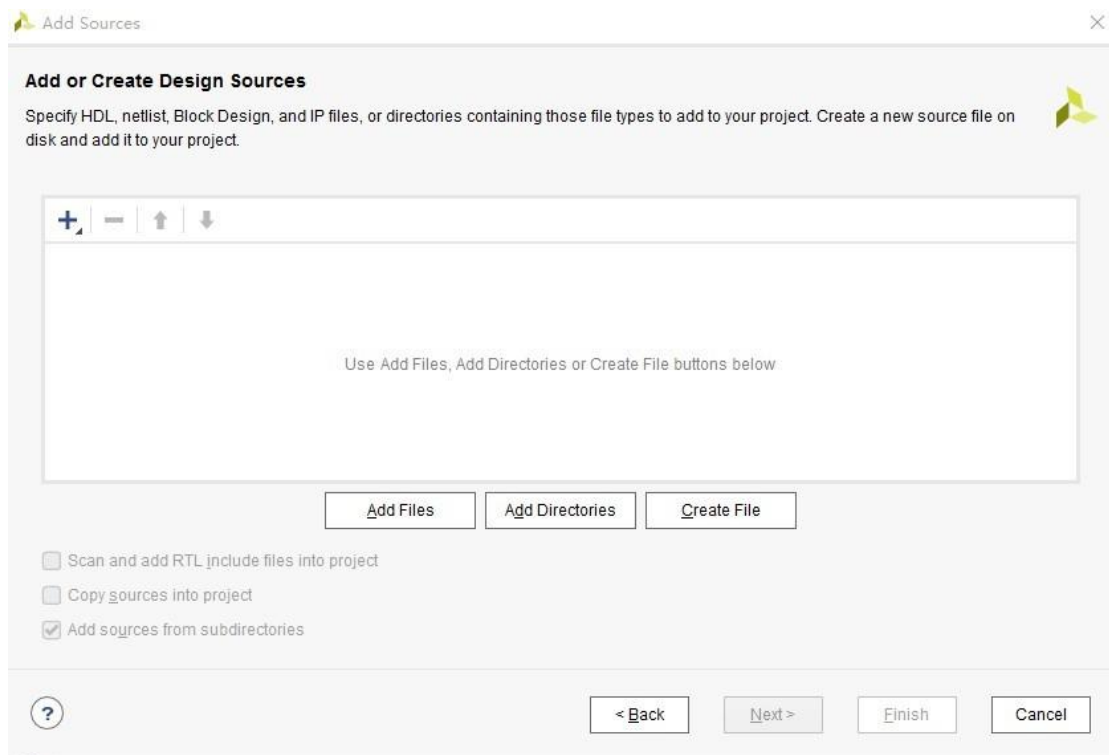
6、在 Sources 窗口右键选择 Add Sources 添加工程源文件；



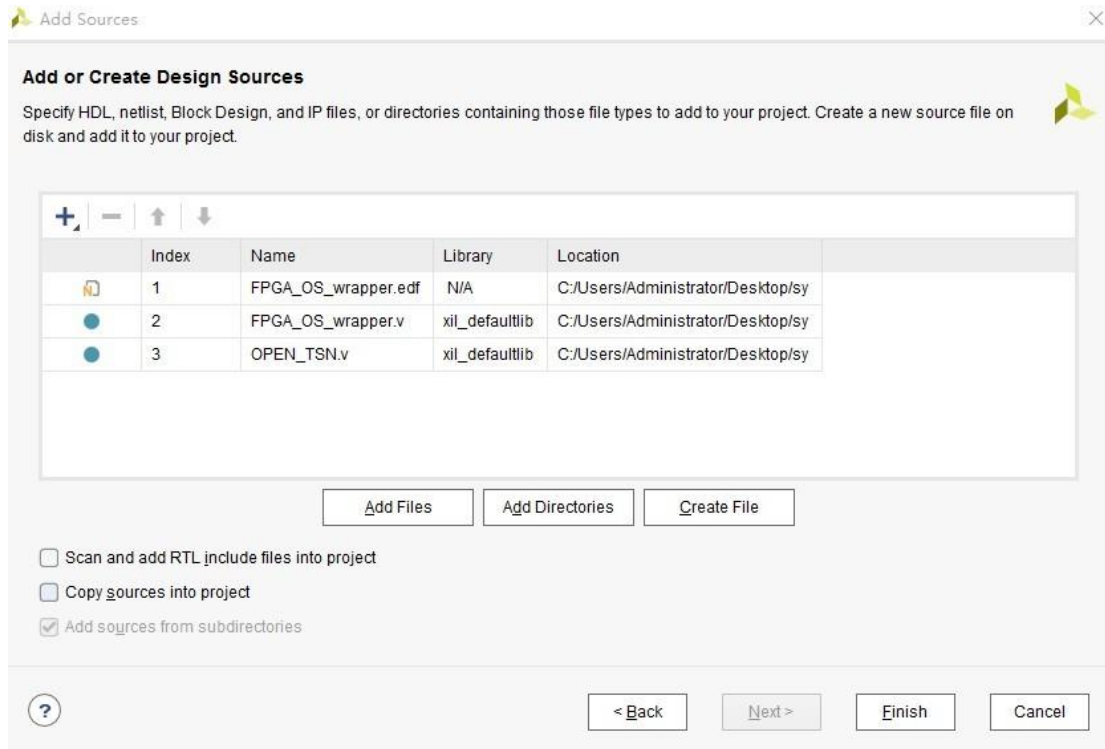
7、选择 Add or create design sources 添加工程设计文件；



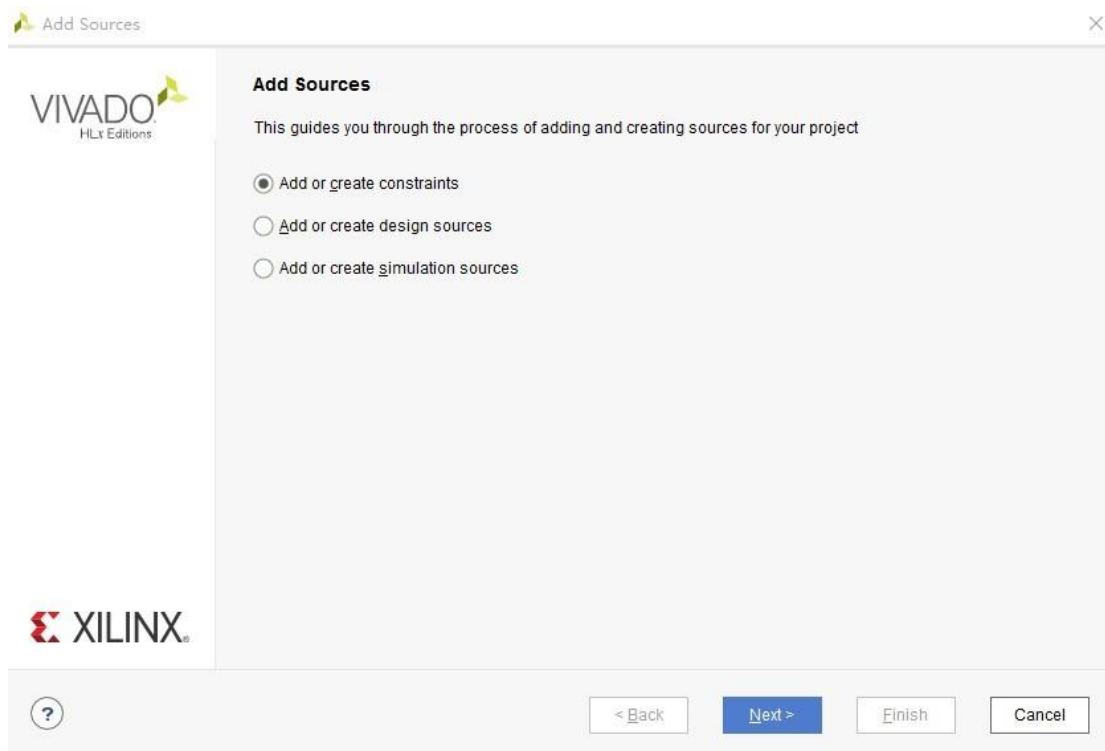
8、点击 Add Files;



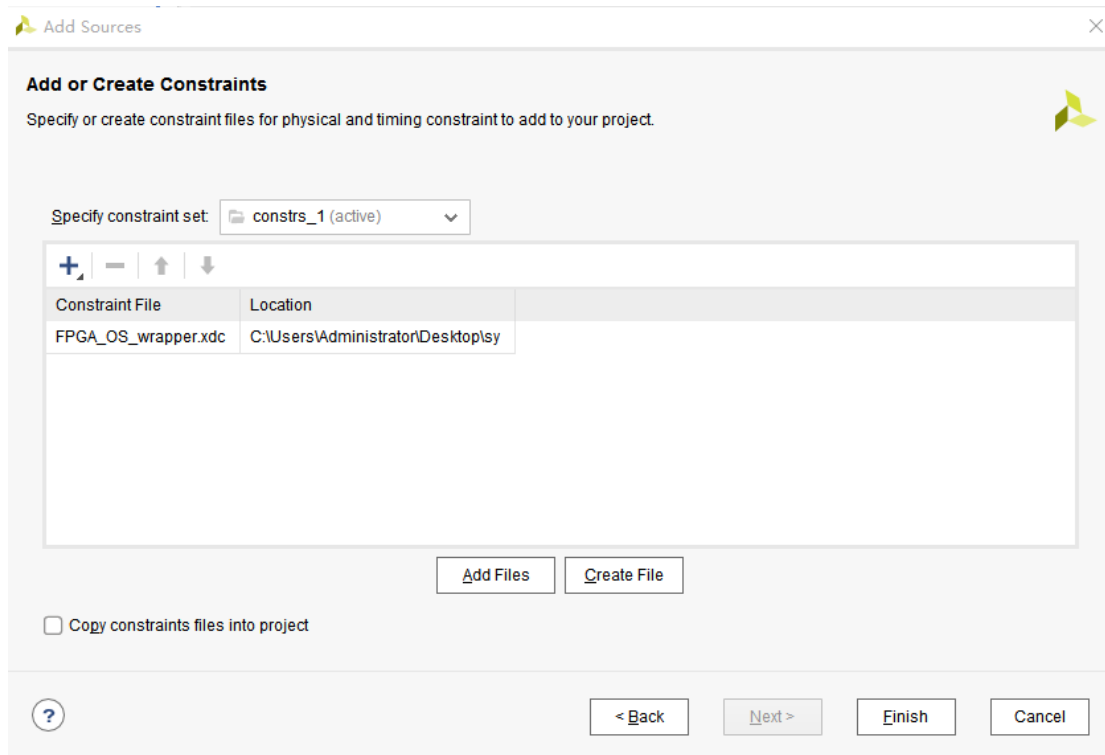
9、添加 FPGA OS 网表文件和工程顶层文件;



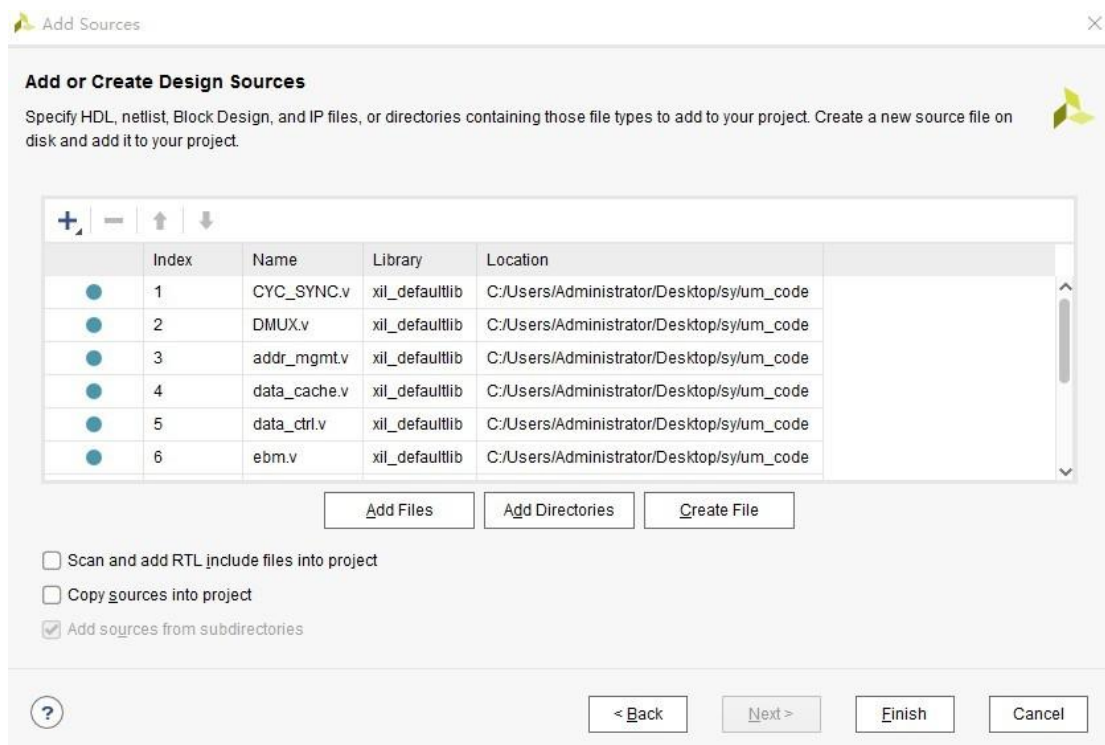
10、添加工程约束文件；



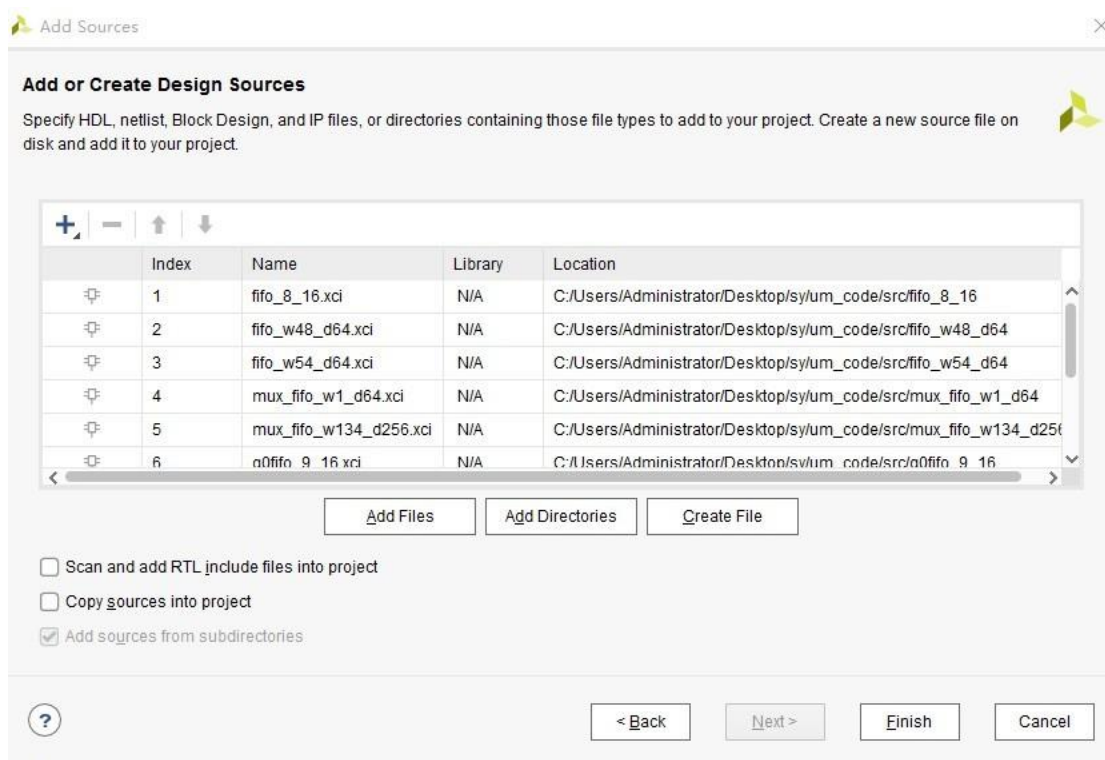
11、选择 FPGA_OS_wrapper.xdc 文件；



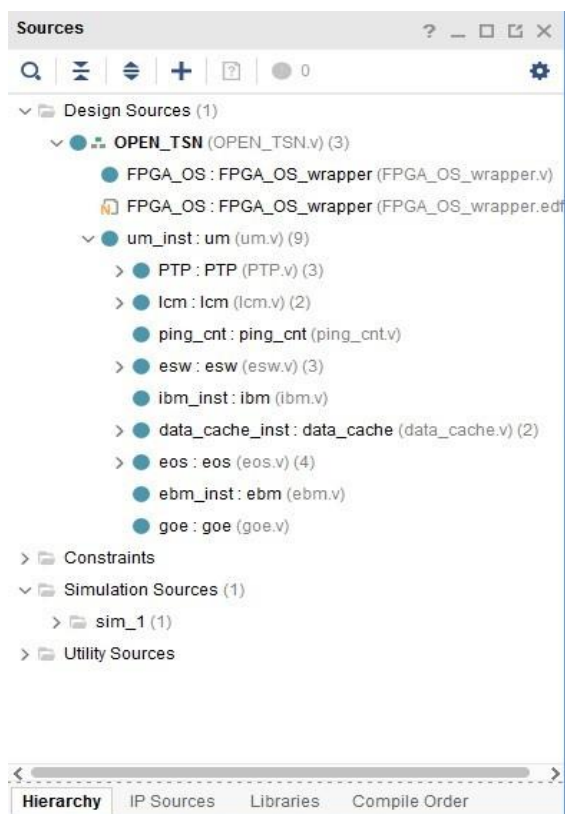
12、添加 OpenTSN 的 UM 源码文件；



13、添加模块中需要的 FIFO ， RAM 源文件；



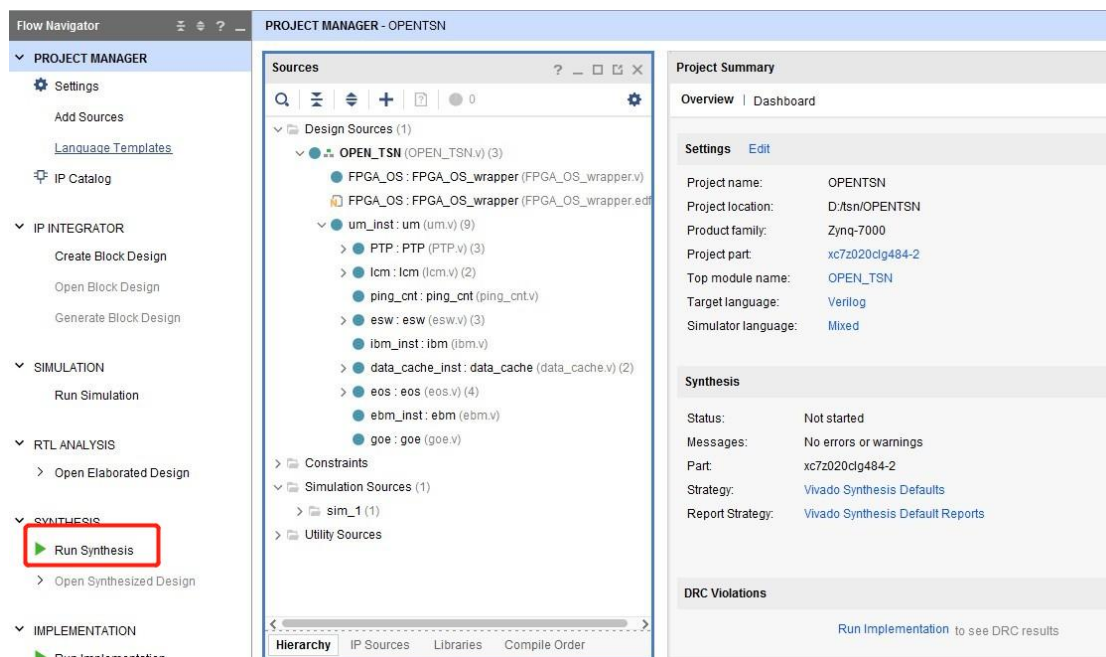
14、至此，整个工程搭建完成，整个工程的结构如下。



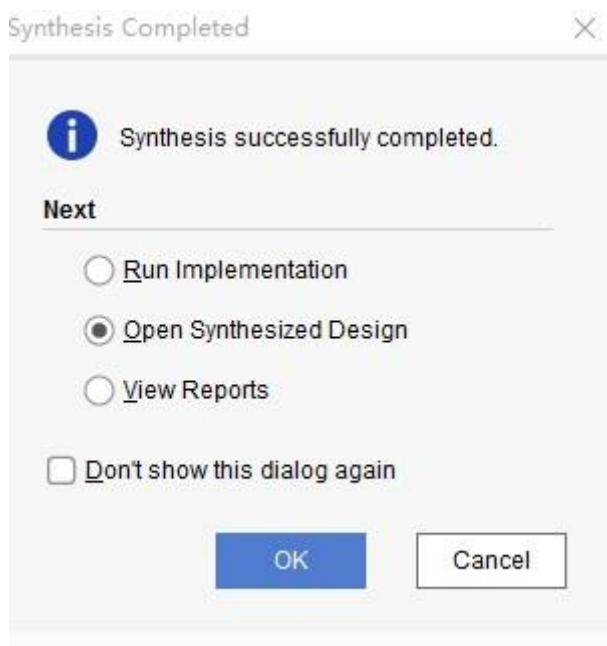
四、 编译生成可下载文件



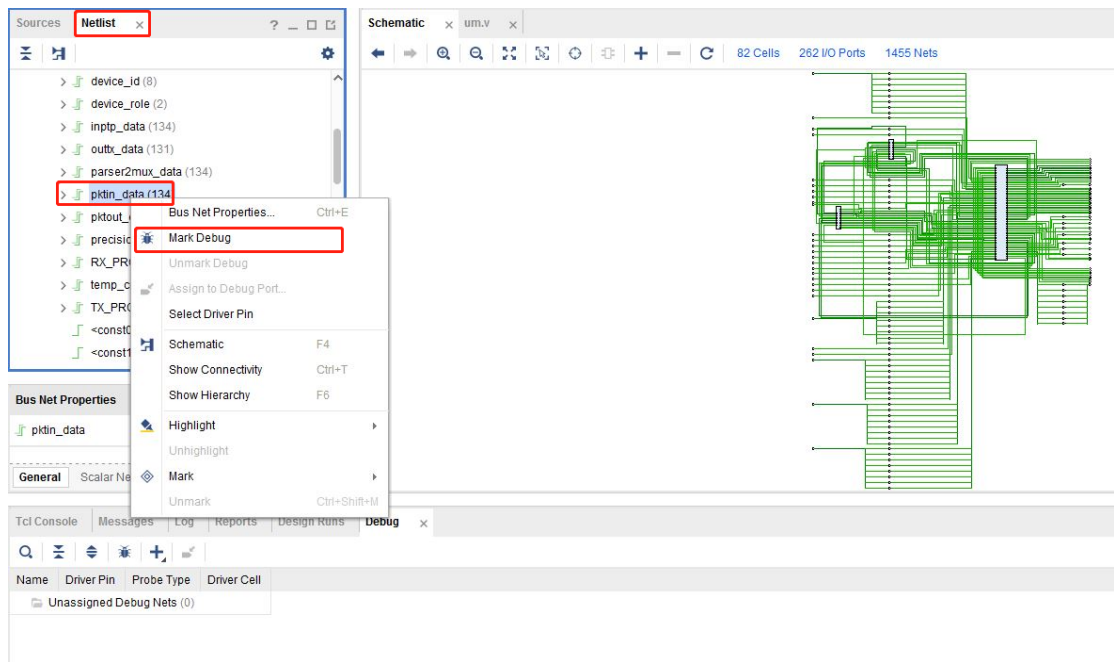
1、开始工程综合编译，点击左侧 PROJECT MANAGER 窗口中的 Run Synthesis;



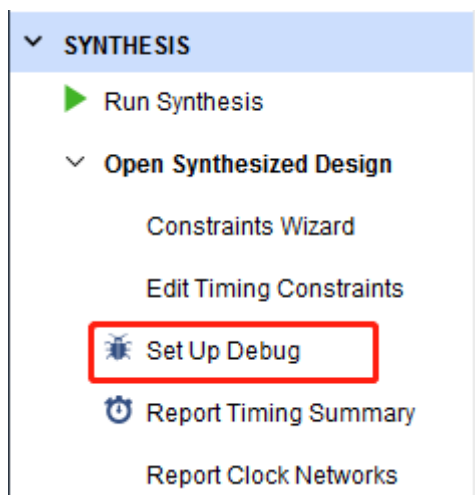
2、综合完成后，选择 Open Synthesized Design;



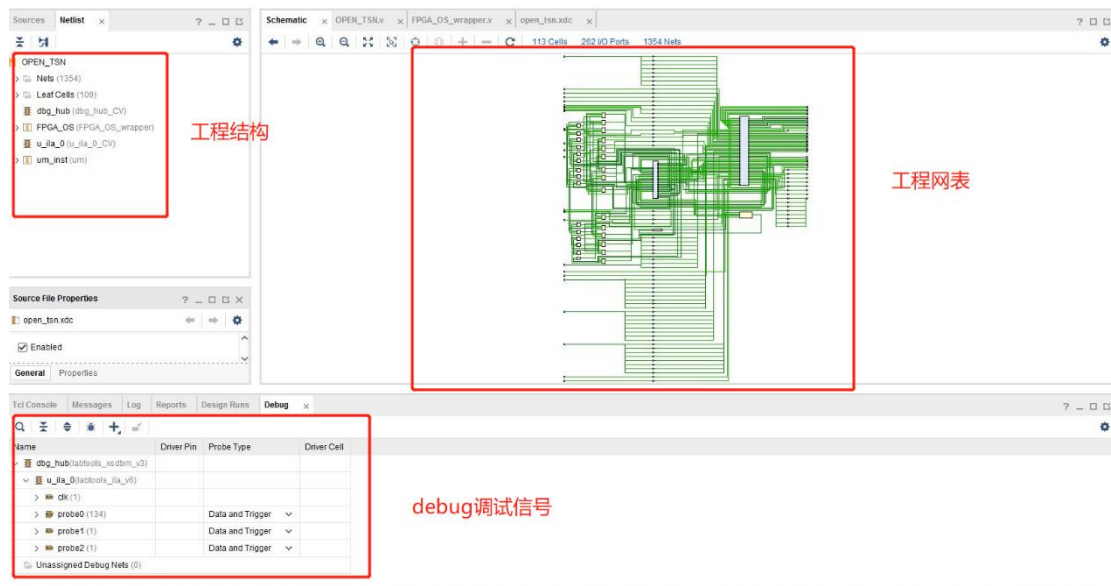
3、拉取想要观测的 Debug 调试信号(可选)。在左侧窗口切换到 NetList 选项卡，右键点击想要观测的信号，点击 Mark Debug 选择;如果想要拉取更多的信号，重复此步骤;



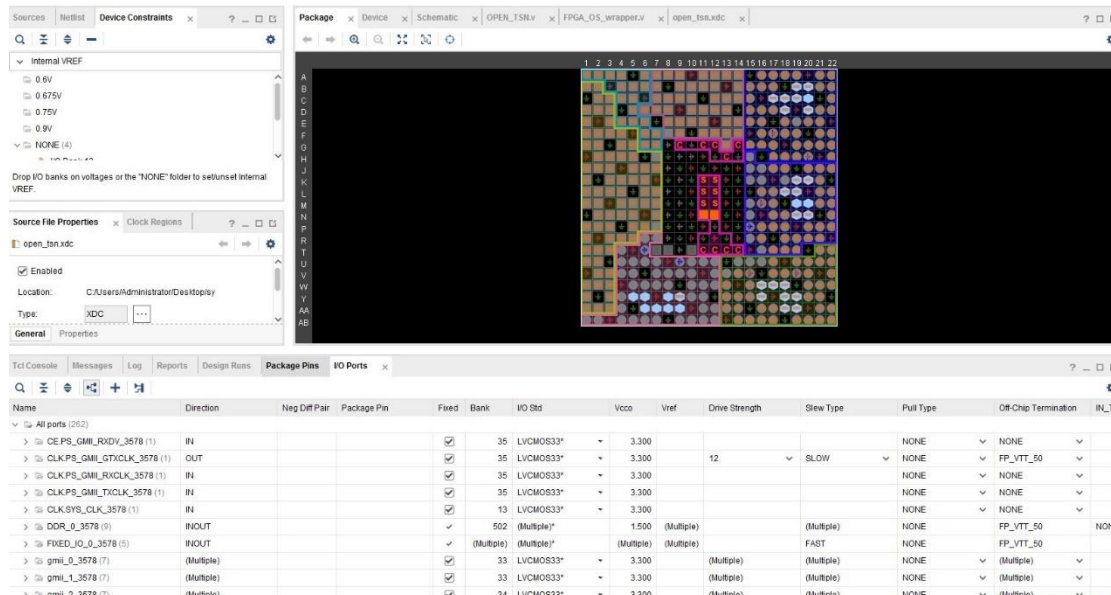
4、拉取完成后点击 Set Up Debug 形成 Debug 核；



5、此时便可以看到整个工程的结构，网表结构和 Debug 调试信号；



6、查看引脚分配;



7、保存后点击 Run Implementation 进行布局布线, 时序检查;

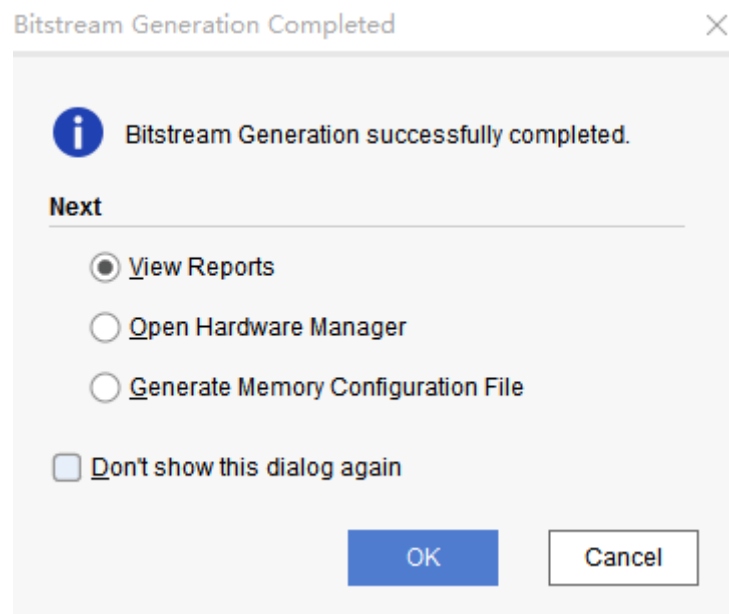


8、编译完成后, 点击 Generate Bitstream 生成可下载的 bit 流文件;

地址: 湖南长沙岳麓区中电软件园 6 栋 302 室

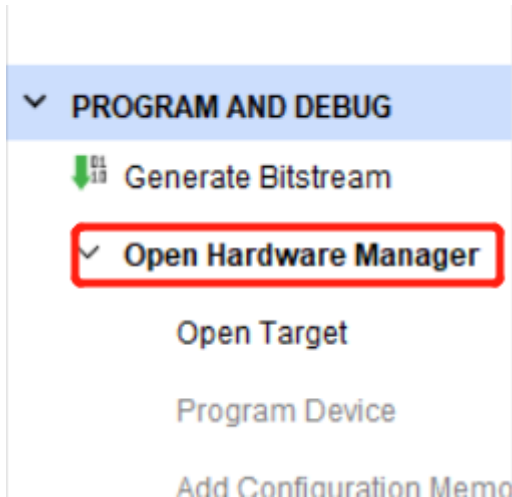


9、硬件可下载逻辑文件生成完成。

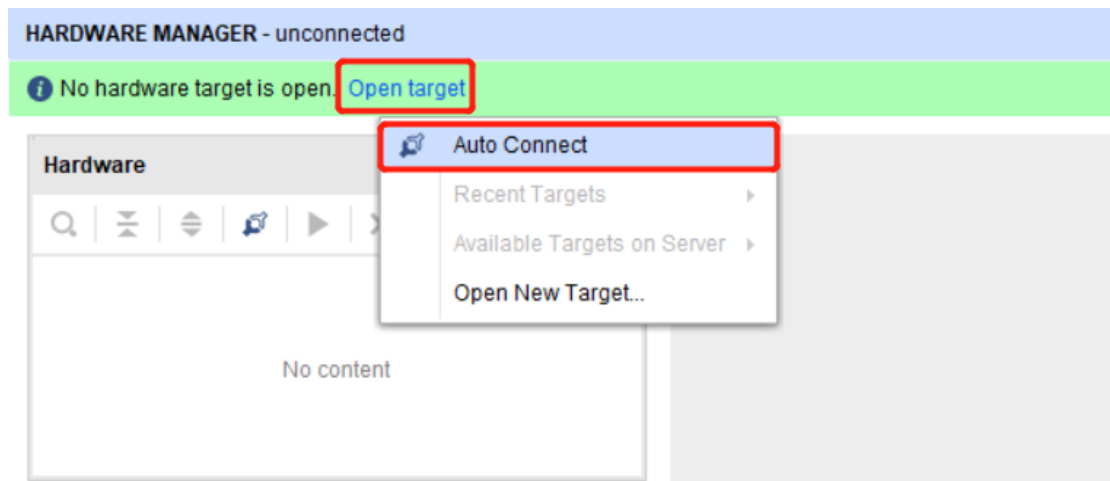


五、 硬件逻辑下载

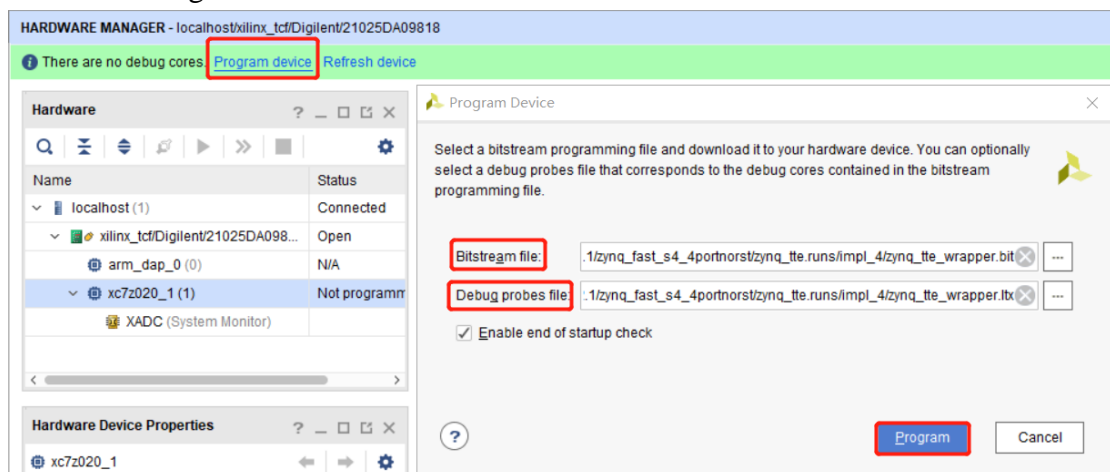
- 1、使用设备配套的下载线连接设备 Jtag 口与主机，注意先连接再上电，不要带电插拔，容易烧坏设备 Jtag 口；
- 2、Vivado 主界面左侧窗口点击 Open Hardware Manager 打开 Vivado 下载调试工具；



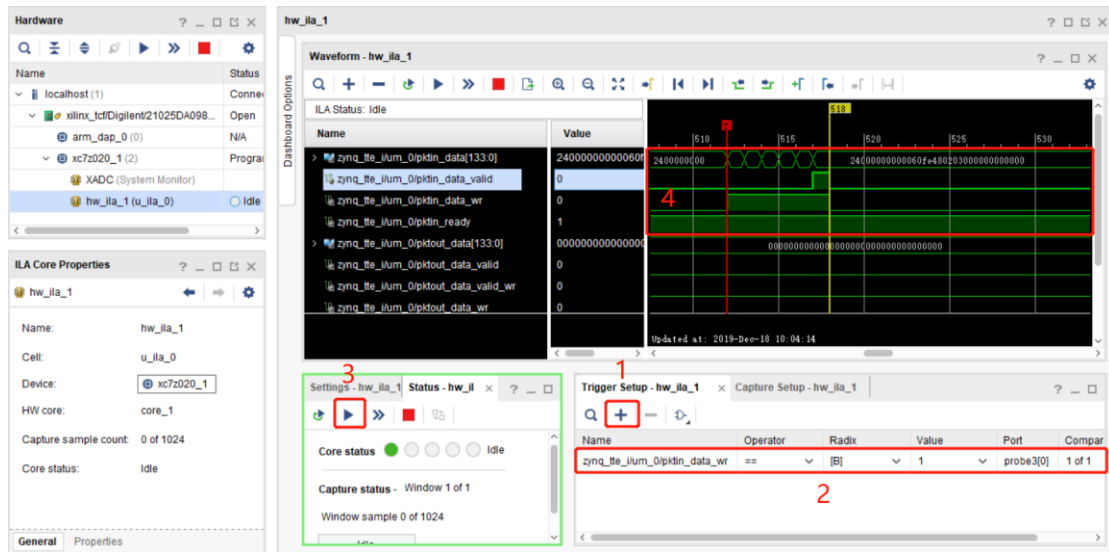
3、点击 Open Target >> Auto Connect 自动搜索设备；



4、点击 Program device, Vivado 会自动选择生成好的逻辑文件和 Debug 调试文件，点击 Program 开始下载；



5、下载完成后开始抓取 Debug 信号。以抓取接口输入报文为例，首先点击下图中 1 处设置触发信号，然后点击 2 处设置触发条件，设置完成后点击 3 处开始触发，之后 4 处会出现捕获到的信号。





版本管理

版本号	修改人	日期	备注
1.0	王耀祥	2019-12-17	初始版本