

TSNNic 硬件设计文档

(V1.0)

OpenTSN **TSNNic**

目录

一	TSNNic 项目简介	3
二	TSNNic 硬件总体设计	3
2.1	TSNNic 平台相关逻辑定制	3
2.2	TSNNic 平台无关 UM 架构	4
三	TSNNic 模块设计	5
3.1	LCM 模块设计	5
3.1.1	LCM 需求与功能分析	5
3.1.2	LCM 模块设计	6
3.2	PGM 模块设计	6
3.2.1	PGM 需求与功能分析	6
3.2.2	PGM 模块设计	7
3.3	PKT_HDR_RAM 设计	8
3.4	GCL_RAM 设计	8
3.5	FSM 模块设计	9
3.5.1	FSM 需求与功能分析	9
3.5.2	FSM 模块设计	9
3.6	SSM 模块设计	9
3.6.1	SSM 需求与功能分析	9
3.6.2	SSM 模块设计	10

一 TSNNic 项目简介

TSN 网络接口适配器（TSNNic）是应用于 TSN 网络之间的数据适配节点，主要功能是将应用数据按照流量传输需求以及 TSN 网络封装格式注入到 TSN 网络中进行数据传输，以及将从 TSN 网络接收的数据进行解封装返回应用程序并进行相关性能统计。具体包括在确定的时间点生成发送时间敏感流，时间敏感流/非时间敏感流的并发，网络流量捕获与分析等。

具体需求如下：

- 1) 多条流并发，并且在测试过程中可动态更新每条流的报文头信息功能；
- 2) 时间感知整形（TAS）功能；
- 3) 带掩码的五元组匹配，统计报文个数功能；
- 4) 分频采样功能；
- 5) 测试被测网络/设备的性能，即测试被测网络/设备对于不同大小、不同类型报文的精确时延，吞吐率，丢包率；
- 6) 具备软件配置能力，用户可根据应用需求模拟不同的流量。

二 TSNNic 硬件总体设计

2.1 TSNNic 平台相关逻辑定制

TSNNic 是在基于 FAST（FPGA Accelerated Switching Platform）架构的 OpenBox-S4 上进行开发，FAST 架构原理请参见 FAST 设计文档“FAST 平台原理与应用 2.0”。

目前 OpenBox-S4 的标准 FPGA OS 提供了四个千兆接口的输入输出处理逻辑，根据 TSNNic 功能需求，对接口应用做了映射（分别用于控制、数据输出、数据输入、流量采样），并对 FPGA OS 进行相应剪裁：

1. FPGA OS 在输入侧不做 MUX 操作，直接将来自 CPU 和各端口输入的分组送给 FAST UM；
2. FPGA OS 在输出侧不做 DMUX 操作，为每个输出接口设置单独的信号；
3. 为了支持在 TSNNic 设备内、TSNNic 与 TSNSwitch 设备间进行时间同步，在端口添加透明时间修订机制；
4. 删掉查表引擎功能；

5. 删掉通过 PCIe 总线与 CPU 进行通信的机制。

2.2 TSNNic 平台无关 UM 架构

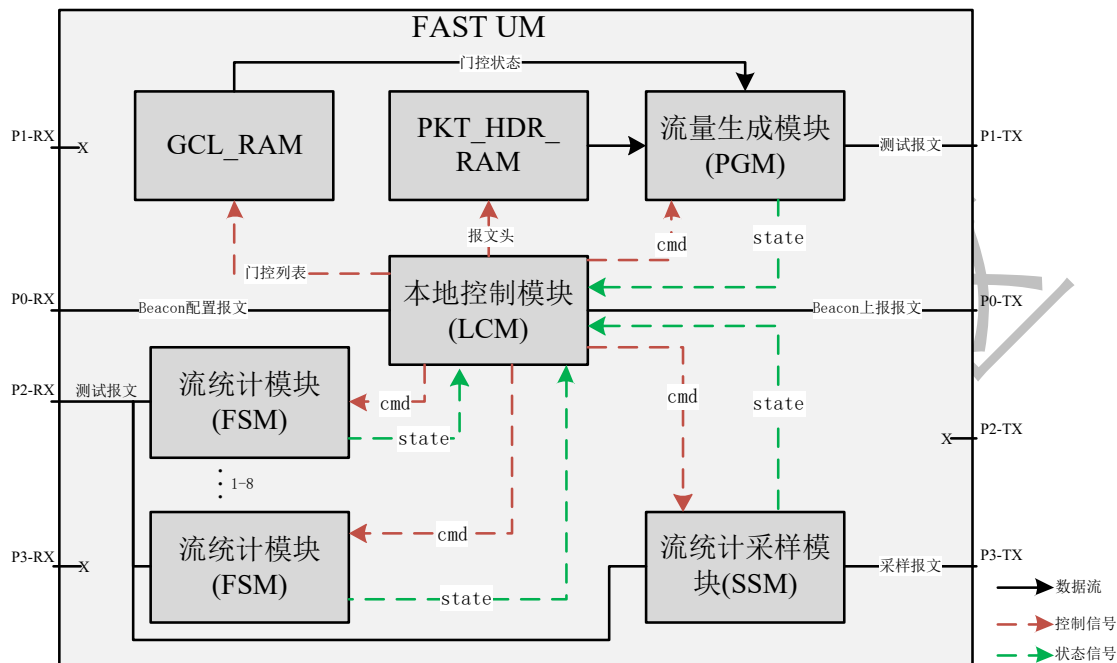


图 2-2-1 TSNNic 硬件 UM 架构图

注：PN_RX/TX 表示分组从 N 号数据接口输入/输出，N=0、1、2、3；“x”表示在 UM 中针对从相应接口输入/输出的分组未做逻辑处理。

TSNNic 硬件 UM 架构如图 2-2-1 所示，UM 中各模块的介绍如下：

LCM (Local Control Module) 模块：TSNNic 的本地控制模块。主要负责 FAST UM 各模块控制相关寄存器的更新、状态信息周期性上报。

PGM (Packet Generation Module) 模块：TSNNic 的流量生成模块。基于令牌桶机制、时间感知整形 (TAS) 来实现多条流的生成与发送。

FSM (Flow Statistic Module) 模块：TSNNic 的流量统计模块。支持 8 组带掩码的五元组匹配，统计命中的报文个数。

SSM (Statistic and Sample Module) 模块：TSNNic 的流量统计与采样模块。统计 TSNNic 总的接收报文个数，并对接收的报文进行解析、提取五元组，按一定的采样频率对接收的报文进行封装 (FAST 头) 与采样。

GCL_RAM (Gate Control List RAM) 模块：门控列表集中缓存模块。用一个 RAM 来缓存门控列表。

PKT_HDR_RAM (Packet Header RAM) 模块：报文头集中缓存模块。用一个 RAM 来缓存 2 组 8 种报文头。

UM 整体处理流程如下：

LCM 模块对接收的报文进行解析，若为 Beacon 配置报文（有两种 Beacon 配置报文，一种用来配置 8 种报文头，另一种用来配置门控列表和命令阵列），则将 Beacon 配置报文携带的信息读出，输出给相应的模块，如图 2-2-1 中红色线条所示；门控列表和命令阵列、报文头依先后顺序配置完成后，LCM 模块给出测试开始信号，PGM 模块开始运转；

PGM 模块基于令牌桶机制和门控列表生成 8 种并发流量，令牌桶机制用来控制每种流量生成速率，门控列表用来控制每种流量发送的时间；PGM 模块收到测试开始信号后，每隔一个时间槽往令牌桶中注入若干个令牌，对满足调度条件（令牌桶中剩余令牌数 \geq 报文长度（字节），且当前门控状态为开）的报文头按照优先级进行调度，在报文头的基础上根据报文长度进行扩展，生成报文（增加报文发送时间戳、序列号字段）并发送；统计每种报文的发送个数，把统计结果传给 LCM 模块。FSM 模块对接收的报文基于带掩码的五元组进行匹配，统计命中的报文个数，把统计结果传给 LCM 模块。SSM 模块统计接收的报文总个数，把统计结果传给 LCM 模块；并对接收的报文封装一个 FAST 头，提取该报文的五元组放在被封装的 metadata1；按一定的采样频率对接收的报文进行采样，从 3 号接口输出。在测试过程中，可动态更新报文头信息，LCM 模块每隔周期 1s 生成 Beacon 上报报文，上报当前 UM 的状态（如图 2-2-1 中绿色线条所示）；

当 LCM 模块接收到测试停止信号，经过 1s 生成发送最后一个 Beacon 上报报文，然后将寄存器复位信号置高，PGM 模块将每种报文发送个数等清零，FSM 模块将每种报文接收个数等清零，SSM 模块将报文总接收个数等清零。

三 TSNNic 模块设计

3.1 LCM 模块设计

3.1.1 LCM 需求与功能分析

LCM 模块负责 UM 全局信息获取和更新、控制，需要支持以下功能：

- (1) LCM 模块周期性生成封装 FAST 头的 Beacon report 报文，并将寄存器信息填写到相应位置；
- (2) 当收到来自软件的寄存器配置消息(经过封装的 Beacon update 报文)后，将可读字段的值读出，并更新模块内对应寄存器中的值；

- (3) 接收两种 Beacon 配置消息，分别用来配置 8 种类型报文头，门控列表和命令阵列。
- (4) 在配置完门控列表和命令阵列、8 种类型报文头后，测试仪才开始工作；在测试停止后，经过 1s 生成最后一个 Beacon report 报文，然后将寄存器复位信号置高。

3.1.2 LCM 模块设计

LCM 模块的整体架构如图 3-1-1 所示。

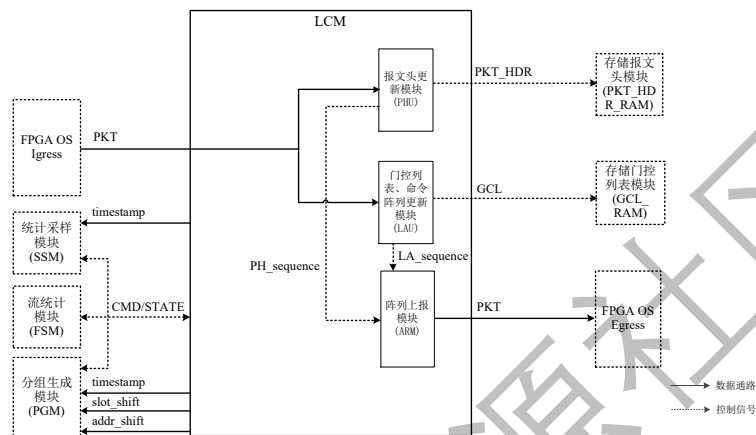


图 3-1-1 LCM 模块整体架构

PHU(PKT Header Update)模块：报文头更新模块，在收到来自 FPGA OS Igress 的分组后，判断其是否为用来更新报文头的 Beacon 分组：若是，则将报文头读出，写到 PKT_HDR_RAM 中，并且将该分组的序列号传给 ARM 模块；若不是，则将该分组丢弃。

LAU(List and Array Update)模块：门控列表和命令阵列更新模块，在收到来自 FPGA OS Igress 的分组后，判断其是否为用来更新门控列表和命令阵列的 Beacon 分组：若是，则将门控列表读出，写到 GCL_RAM 中，并且将命令阵列读出，更新模块内对应寄存器的值，同时将该分组的序列号传给 ARM 模块；若不是，则将该分组丢弃。

ARM(Array Report Module)模块：阵列上报模块，本地时钟计数器值每经过 1s，按照 Beacon Report 报文格式定义构造一个 Beacon Report 分组，发送给软件，用来上报当前 FASTUM 的全部状态信息。

3.2 PGM 模块设计

3.2.1 PGM 需求与功能分析

PGM 模块负责生成多条指定速率的不同类型的并发流量，需要支持以下功能：

- 1) 支持生成发送 8 种类型的报文；
- 2) 支持基于令牌桶机制进行限速；

- 3) 支持基于时间感知调度器（TAS）来调度数据；
- 4) 支持在 8 个数据队列的门为开的队列中按照绝对优先级进行调度；
- 5) 支持软件在测试过程中动态更新 8 种类型的报文头
- 6) 支持在用户配置的报文头的基础上进行报文扩展，增加报文发送时间戳、序列号等字段；
- 7) 支持同 LCM 模块进行通信，从而实现对不同参数寄存器的更新与上报、复位。

3.2.2 PGM 模块设计

PGM 模块的整体架构如图 3-2-1 所示。

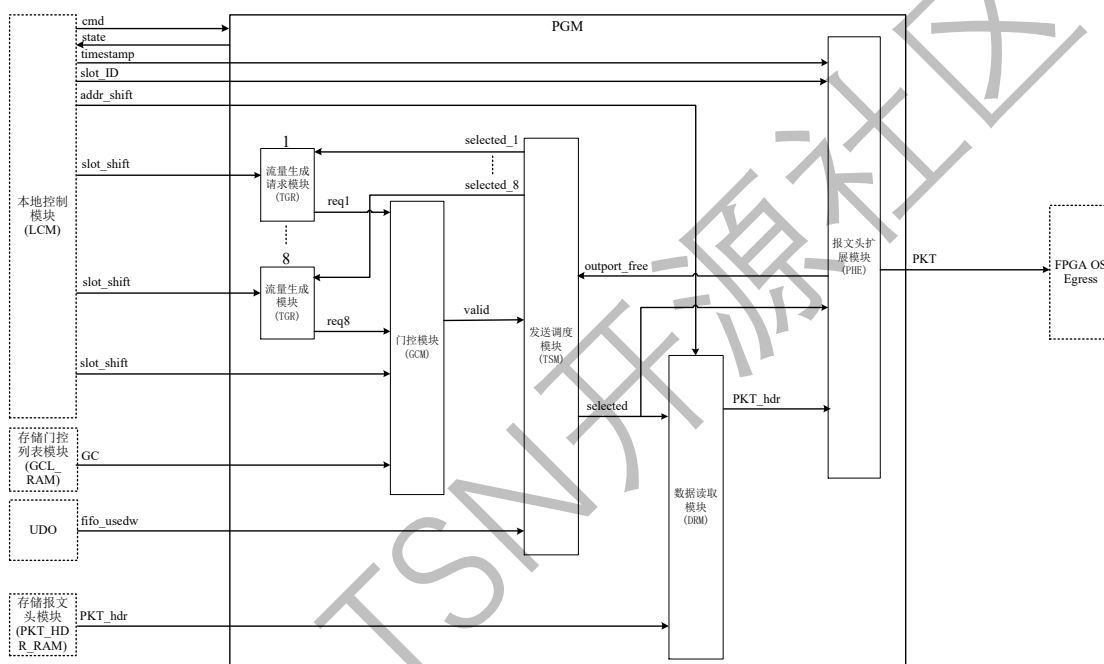


图 3-2-1 PGM 模块整体架构

TGR(Traffic Generation Request)模块：流量生成请求模块，基于令牌桶机制进行流量限速。每经过一个时间槽往令牌桶中添加一定数量的令牌，每个令牌代表 1B，当令牌桶中剩余令牌数 \geq 报文字节数+4 字节（CRC）时，则该种类型报文有流量生成请求，当该类型报文被调度发送时，将令牌桶中剩余令牌数减去该报文字节数和 4 字节（CRC）。

GCM(Gate Control Module)模块：门控模块，在门控列表、命令阵列更新完成后（此时测试还未开始），GCM 模块从 GCL RAM 中读出一拍 128 位的门控状态；在门控列表、命令阵列和报文头都更新完成后每隔 16 个时间槽，GCM 模块从 GCL RAM 中读出 128 位的门控状态；若在当前时间槽某类型报文对应的门控为开，则该类型报文的请求有效；否则无效。在收到测试结束信号时，将传给发送调度模块的有效信号全部置 0。

TSM(Transmitting and Scheduling Module)模块：发送调度模块，在刚复位完成或端口

空闲，根据接收到的 8 位流量生成请求有效信号，按照优先级的顺序进行调度，并把调度结果传给 TGR、DRM 和 PHE 模块。

DRM(Data Reading Module)模块: 数据读取模块，根据从 TSM 传来的调度结果及 LCM 传来的两组报文头切换信号将相应的报文头的读信号及地址传给 PKT_HDR_RAM；当收到报文头后，转发给 PHE 模块。

PHE(PKT_header Extension)模块: 报文头扩展模块，根据 DRM 传来的报文头、LCM 传来的分组长度、TSM 传来的调度结果生成分组：增加 2 拍的 metadata，在 128 位数据前面增加 6 位（2 位的头尾标识、4 位无效字节数）；在报文头后面增加发送时间戳、报文序列号等字段，并在剩余的空闲字段填充 0。统计 8 种类型报文的发送个数。

3.3 PKT_HDR_RAM 设计

PKT_HDR_RAM 用于存储 8 种类型报文头。软件端构造用于生成并发流量的特定报文头，通过 Beacon 报文下发至硬件 LCM 模块，LCM 模块将报文头依次写入 PKT_HDR_RAM 内。在测试初始化结束后，PGM 模块根据调度结果从 PKT_HDR_RAM 中将相应的报文头读出。为了方便软件在测试过程中动态更新 8 种类型的报文头，PKT_HDR_RAM 需有两块地址域，用来存储两组 8 种报文头。

基于以上流程，PKT_hdr RAM 采用简单双端口 RAM（Simple Dual-Port RAM），即一个端口用于写入数据，另一个端口用于读取数据。

软件端所构造的每个报文头为 4 拍数据，两组报文头共 $2 \times 8 \times 4 = 64$ 拍，每一拍数据位宽为 128 位，需要 64×128 位的存储空间。Block RAM 基本单元为 18Kb Block RAM 和 2 个 18Kb Block RAM 构成的 36Kb Block RAM，其他配置均以这两种基本单元展开；RAM 选择 64×128 ，将由 2 个 36Kb Block RAM 构成 RAM。

综上所述，PKT_HDR_RAM 的数据位宽为 128 位，地址位宽为 6 位，共占用 2 个 36Kb Block RAM。

3.4 GCL_RAM 设计

GCL_RAM 用于存储 8 种类型报文头对应的门控列表，用来决定在当前时间槽的报文头能否被调度。软件端通过 Beacon 报文下发至硬件 LCM 模块，LCM 模块将门控列表依次写入 GCL_RAM 内。在测试初始化结束后，PGM 模块每隔 16 个时间槽从 GCL_RAM 中读出一拍的门控状态。

基于以上流程，GCL_RAM 采用简单双端口 RAM（Simple Dual-Port RAM），即一

个端口用于写入数据，另一个端口用于读取数据。

门控列表为 32 拍数据，每一拍数据位宽为 128 位，包含 16 个时间槽的 8 种类型报文头的门控状态；需要 32*128 位的存储空间。Block RAM 基本单元为 18Kb Block RAM 和 2 个 18Kb Block RAM 构成的 36Kb Block RAM，其他配置均以这两种基本单元展开；RAM 选择 32*128，将由 2 个 36Kb Block RAM 构成 RAM。

综上所述，GCL RAM 的数据位宽为 128 位，地址位宽为 5 位，共占用 2 个 36Kb Block RAM。

3.5 FSM 模块设计

3.5.1 FSM 需求与功能分析

FSM（Flow Statistical Module）模块负责关心报文的统计，需支持以下功能：

- 1) 支持接收软件端下发的关心 8 种类型报文的五元组和五元组掩码参数；
- 2) 支持对接收的报文带 vlan 头和不带 vlan 头的 IP 报文（目前只针对 tcp 和 udp 报文）进行五元组信息提取；
- 3) 支持对报文提取五元组和软件下发的关心五元组进行匹配，并进行统计；
- 4) 支持同 LCM 模块进行通信，将寄存器的值上报。

3.5.2 FSM 模块设计

FSM 作为流统计模块，先接收控制流下发的需统计的报文五元组信息（lcm2fsm_5tuple）与五元组掩码信息（lcm2fsm_5tuplemask），当测试报文进入 FSM 后，对带 vlan 头和不带 vlan 头的 IP 报文进行区分，提取报文的五元组信息与控制流下发的五元组信息（lcm2fsm_5tuple）与五元组掩码信息（lcm2fsm_5tuplemask）进行匹配，只对掩码信息关心的五元组信息进行匹配，若匹配中则对报文进行统计，并将统计值上报本地控制模块 LCM。

3.6 SSM 模块设计

3.6.1 SSM 需求与功能分析

SSM 模块负责报文的封装，同时便于软件端对报文进行解析，需支持以下功能：

- 1) 对进入 SSM 的报文进行封装，添加 FAST hdr2 和 ETH hdr2，并将带 vlan 的 ip 报文（tcp 和 udp 报文）的 5 元组信息提取出存放于 FAST hdr MD1 低 104 位；
- 2) 接收软件下发的采样频率，根据频率对报文进行采样；
- 3) 支持同 LCM 模块进行通信，将寄存器的值上报；
- 4) 支持最大发送 1514byte 报文。

3.6.2 SSM 模块设计

模块的整体架构如图 3-6-1 所示

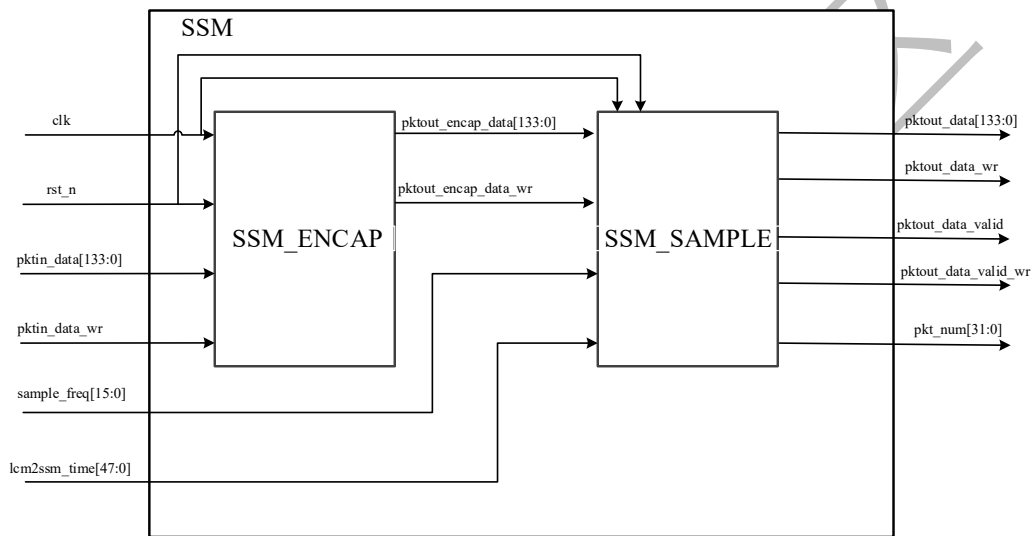


图 3-6-1 SSM 内部架构

SSM 内分为封装模块 SSM_ENCAP 和采样模块 SSM_SAMP，采样模块内设一 16 位锁存器 reg_pkt_num，记录接收报文个数。