

前仿结果

- 1. tc=1 表示有符号位相乘，tc=0 表示无符号位相乘；
- 2. cnt=0 表示计算结果与参考结果全部相同，cnt 表示错误的次数；
- 3. 因为加入了五级流水线，所以输出相比输入延迟5个周期（clk_period=20ns）。



代码覆盖率

覆盖率报告见：`./results/coverage_report.txt`

Name	Specified path	Full path	Type	Stmt Count	Stmt Hits	Stmt %	Stmt Graph	Branch Count
sim	vsim.wlf	C:/Users/...						
mult64x64_check_s.v	C:/Users/Lian...	C:/Users/... verilog						
wtree_4to2_64x64.v	C:/Users/Lian...	C:/Users/... verilog		145	145	100.00..		
counter_5to3.v	C:/Users/Lian...	C:/Users/... verilog		4	4	100.00..		
half_adder.v	C:/Users/Lian...	C:/Users/... verilog		2	2	100.00..		
full_adder.v	C:/Users/Lian...	C:/Users/... verilog		2	2	100.00..		
testbench.v	C:/Users/Lian...	C:/Users/... verilog						
mult64x64_top.v	C:/Users/Lian...	C:/Users/... verilog						
booth_r4_64x64.v	C:/Users/Lian...	C:/Users/... verilog		7	7	100.00..		