AD18绘画原理图

- AD18绘画原理图时,连线和零件引脚无法对齐?
 - · 这是因为在原理图编辑器绘画原理图时, 栅格尺寸单位选择了公制: 毫米。
 - o Altium designer中零件库中的的零件,是采用英制单位mils绘制的。
 - o 因此在绘制原理图, 封装零件和连线之前, 一定要将栅格单位选择成英制mils。
 - 栅格尺寸选择50mils或100mils。
 - 。 在这种前提下零件排列的整齐, 连线容易对准零件的引脚。
 - 有些人不注意这些细节,导致绘成的原理图零件引脚与连线对不齐。
- 栅格大小切换: G
- 是否开启栅格捕捉功能: shift + G
- 栅格是否可视化: shift + ctrl + G
- 修改走线类型: shift + R
- 设置快捷键:按住ctrl+想要设置的图标+鼠标左键
 - 。 自己设置的快捷键:
 - 快捷键s的内容设置:
 - 线选择: 4

 - 框选择: 5
 - 快捷键a的内容设置:
 - 使用数字键盘的8456来作为上下,左右对齐
 - 7位水平对齐
 - 9位上下对齐
- Tool -> Prence 可选取网格是点状还是线状
- 元件的重新标号
 - tool -> Annxxx
 - 。 先reset
 - 在Update
 - 。 最后Accept
- 元件的查找: JC
- 放置管脚时, 一端会出现一个 "×" 表示管脚的电气特性, 有电气特性的一端需要朝外放置, 用于原理图设计时连接电气走线
- 基本属性栏:
 - o Default Designator: 元件位号, 即识别元件的编码, 常见的有 "C?"、 "R?"、 "U? "
 - o Default Comment: 一般用来填写元件的大小参数或者型号参数, 相当于Value值的功 能。

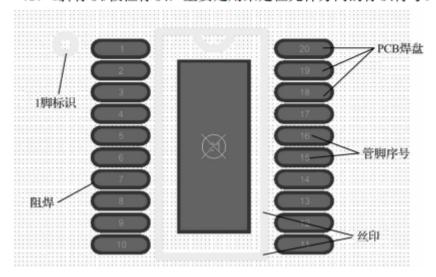
- 对齐命令: 快捷键A
- 元件镜像: 英文状态下的x and y and space
- 原理图在画完之后, 先检查一遍, 再是用软件的自查:
 - 。 常规检查检查一下4项:
 - o duplicate Part Designators
 - Float Net Labels
 - Float Power Objects
 - o Net with only one pin
 - 。 以上四项设置为fatal err,颜色醒目

PCB封装

• 主要组成

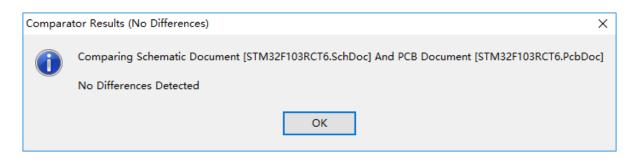
PCB封装的组成一般有以下元素,如图5-1所示。

- (1) PCB焊盘: 用来焊接元件管脚的载体。
- (2) 管脚序号: 用来和元件进行电气连接关系匹配的序号。
- (3) 元件丝印: 用来描述元件腔体大小的识别框。
- (4) 阻焊: 放置绿油覆盖,可以有效地保护焊盘焊接区域。
- (5) 1脚标识/极性标识:主要是用来定位元件方向的标识符号。



- PCB的元件封装有三种方法:
 - 。 直接手绘
 - o 使用component wizard
 - o 使用IPC Wizard
- 电阻的0805封装绘制:

- 。 表贴焊盘选择层数为Top Layer
- 。 通孔焊盘选择层数为Multi-Layer
- 捕捉焊盘中心: shift + E
- 在原理图和封装图画完成之后,将其导入到PCB中,在 validate changes 时,出现了 unknow pin 和 failed to add class member:componebt 错误。
 - 。 没有找出解决方法, 也没有找到原因
 - 。 简单的解决方法:新建PCB工程,重新将原理图和封装——对应,再次进行update, validate change 之后,没有错误了!!
 - 。 完成标志:



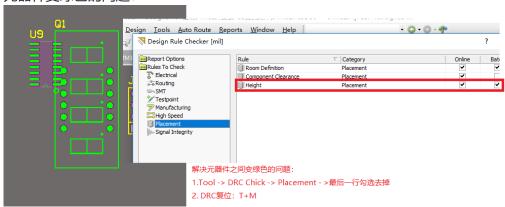
PCB布线部分

- 定义板框尺寸:
 - 板框尺寸一般定义在机械层(Mechanical)或者禁止布线层(Keepout)
 - 板框尺寸的圆角使用 Place Arce Of Edge
 - o EOS 放置圆点
- 定位孔:
 - 。 位置要求: 放在离x和y轴5mm处即可
 - o 大小要求:一般采用直径为3mm的非金属化孔,在焊盘属性页中点击Plate
 - 关于 Plate 的用法,使用3D模型可以观察 Plate 的作用

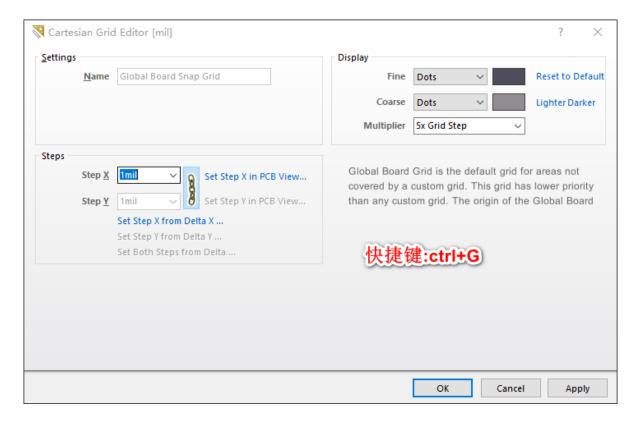
PCB的元件约束

- 问题的考虑:
 - 。 PCB的板子形状与整机是否匹配
 - 。 元件之间的间距是否合理
 - 。 PCB是否需要拼版,是否预留工艺边,是否预留安装孔,如何排列定位孔
 - 。 如何进行电源模块的放置及其散热处理
 - 。 需要经常替换的期间放置位置是否方便替换,可调元件是否方便调节?
 - 。 热敏元件和发热元件之间是否考虑距离?

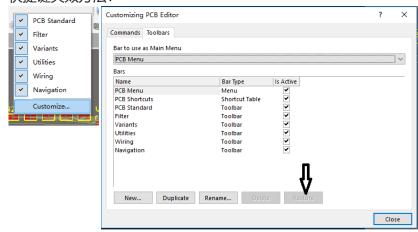
- · 整版EMC性能如何?
- 原理图和PCB的交互设计:
 - 。 选中Tools -> Cross Mode
- 模块化布局:
- 使用快捷键 Arrange Components Inside Area
- 类的创建
 - 。 快捷键 pc ,进入类管理器
 - o 在 Net Classes 上单击鼠标右键,创建 RWR 类,把属于电源的信号都进行添加
- PCB的规则设置:
 - o 参考资料
 - 。 如何让栅格显示为点状而不是显示成格子状?
 - 设置方法: "Ctrl+G"进入格点设置窗口,如下图所示, Display选项中"精细 (Fine)"和"粗糙 (Coarse)"都改为"Dots"。
- 布线注意:
 - 。 电源线要加粗: 一般12mil或者15mil
 - 当导线在 PCB 板上走线时遇到障碍物时可加一个过孔使导线从另一层继续走线,在走过程中按小键盘的乘号(*)键可添加一个过孔并切换到另一层走线,如果你用的是笔记本电脑则先按数字 2 键然后再按 L 键即可添加过孔并换层。
 - 如果只是普通的两层板,走线宽设个8mil没有问题,即大概0.2mm,如果走线比较密的多层板,板厂可以加工5mil的线,即大概0.125mm,两层板的加工设备一般不如多层板有要求高,所以适当走粗些。上面说的是最细的情况,条件允许的话,走个10mil或是15mil都是没有问题如果需要做很细的,比如4mil也能做,但价格会贵20%左右。
- 过孔盖油选项
- 显示单层: shift + s
- PCB的界面设置:
 - 。 元器件变绿色的问题:



- o DRC校验推荐设置: 因为非自动布线, 只需要全选校验 Electrial 属性, 其他属性全部取消
- o PCB界面的格点设置:



- 。 框选器件+交互设计
- 。 快捷键失效方法:

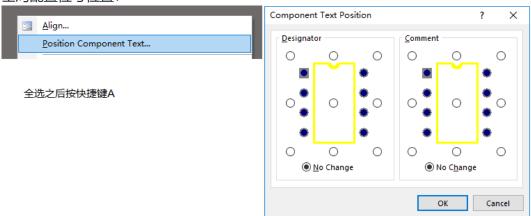


• PCB的规则设置

。 新建类:将其电源线放置在一类,在最后布线,电源类的线宽加大

。 位号: 10mil 2mil

。 全局配置位号位置:



- PCB的rule设置:
 - o electrical设置:
 - All规则: (全局)
 - first 选择ALL
 - second选择ALL
 - 好的厂商可以达到4mil, 一般厂商为6mil (95%以上)
 - 和生产成本先关
 - polygon规则:
 - first选择InPolygon
 - second选择All
 - 间距为10mil
 - via规则:
 - first选择: isvia
 - second选择: inpolygon
 - 间距为: 6mil
 - 设置优先级,数字越小,优先级越大
 - via > polygon > all
 - o routing规则设置:
 - width:
 - 信号线为6mil
 - 新建 PWR 电源类电源线的最小为8mil,最优为15mil,最大为60mil
 - 使用单引号InNetClass('PWR')
 - via过孔大小:
 - 最大 24mil
 - 最小12mil
 - 。 SMT的规则设置:
 - Mask -> SolderMaskExpansion 设置为2.5(阻焊,紫色小框框)
 - o Plane的规则设置(敷铜)
 - 选择 Polygon Connection Style

- 选择十字连接
- conductor width = 18mil/30mil
- 。 Manufacturing的规则设置: (丝印)
 - 选择silk to SilkClearance
 - 2mil
 - 选择silk to Solder MaskClearance
 - 2mil
- · 丝印层标号一般为: 5/24 5/30 6/35
- 创建铜皮步骤:
 - 1.选中 keep out层 ,选中板框
 - 。 2.选中Tool -> convert ->Ctreate Polygon ...

0

- c. 双击板子, 配置铜皮属性, 敷铜两面
- 。 4.点击确定, 完成敷铜
- 重新敷铜:T->G
- PCB元件的全局锁定:
 - 。 只打开丝印层
 - 。 选中全部器件
 - 使用PCB Inspector
- 3D图的旋转:按住shift + 鼠标右键可以进行旋转
- 经验值: 0.25的过孔过0.5A的电流
- 最后布线: 电源线, 线宽: 30mil
- 只显示单层:按L键进入页面
- 高亮显示网络: 使用ctrl+鼠标左键高亮某一网络, 在使用中括号进行高亮
- PCB制板步骤:
 - 。 导入PCB元件
 - 。 设置DRC
 - 。 设置电源类
 - 。 设置Rule
 - 。 设置板子大小
 - 。 分块布局(从大到小)
 - 。 块内布局