```
Verilog (1)
      MPSOC parameters.v.

✓ ■ fpqa top (fpqa top.v) (2)

   > ♀ ■ clk 100Mi: clk 100M (clk 100M.xci)
   funci:fpga func (fpga func.v) (2)
       quadi : quad (quad.v) (6)
             gpio_i : gpio (gpio.v)
             mp i:mp (mp.v)

✓ ■ c0 : core D16 (core D16.v) (6)

∨ ■ cai : ca (ca.v) (1)
                  > \(\frac{1}{2} \) memi: tdp ram 512x33 (tdp ram 512x33.xci)
              > \(\frac{1}{2}\) \(\text{progli}\): \(\text{tdp_ram_6144x16x2}\) (\(\text{tdp_ram_6144x16x2}\).
              P = proghi:tdp ram 6144x16x2 (tdp ram 6144x16x2.xci)

¬ = datahi: sdp_ram_512x32x4 (sdp_ram_512x32x4.xci)

¬ = datali: sdp_ram_512x32x4 (sdp_ram_512x32x4.xci)

✓ ■ RV32i : CUBEV_RV32iMC_P3C4D16 (CUBEV_RV32iMC_P)

✓ ■ RF1it: RF D16 (RF D16 syn.v) (1)
                      ¬ P = RFi: tdp_ram_512x32 (tdp_ram_512x32.xci)
                  RF2it: RF_D16 (RF_D16_syn.v) (1)

✓ ■ Reg instr s1: Reg D16 (Reg D16 syn.v) (1)
                      > ♀ ■ regi:sdp ram 16x32(sdp ram 16x32.xci)
                  Reg instr s2: Reg D16 (Reg D16 syn.v) (1)
                  Reg_dp_rs1_s2: Reg_D16 (Reg_D16_syn.v) (1)
                  Reg dp rs2 s2:Reg D16 (Reg D16 syn.v) (1)
                  Reg glue: Reg D16 (Reg D16 syn.v) (1)
           c1: core D16 (core D16.v) (6)
           C2: core D16 (core D16.v) (6)
           C3: core D16 (core D16.v) (6)
         uarti : uart (uart.v)
```