

The background of the slide is a dark blue field filled with a complex, glowing blue circuit pattern. This pattern consists of numerous thin, interconnected lines that form a web-like structure, with several circular nodes or junctions highlighted by a brighter blue glow. The overall effect is one of high-tech digital connectivity.

# **RISC-V** **ISA**

THE OPEN STANDARD RISC INSTRUCTION SET ARCHITECTURE



# RISC-V

## O que é?

RISC-V é uma arquitetura de conjunto de instruções (ISA) de computador baseada nos princípios reduzidos de conjunto de instruções (RISC). Ela é projetada para ser livre e aberta, permitindo que qualquer pessoa possa usar, projetar, fabricar e vender chips e processadores compatíveis com o RISC-V sem restrições de propriedade intelectual.

# HISTÓRIA

## Pesquisa em Berkeley

A arquitetura RISC-V foi desenvolvida na Universidade da Califórnia, em Berkeley, a partir de 2010, como um projeto de pesquisa acadêmica com o objetivo de criar um conjunto de instruções aberto, simples e eficiente, adequado para uma ampla variedade de aplicações, desde dispositivos móveis e sistemas embarcados até servidores de alto desempenho.





# CARACTERÍSTICAS

Uma das principais vantagens do RISC-V é sua flexibilidade e modularidade. Ele oferece um conjunto básico de instruções, chamado de ISA base, que é comum a todos os processadores RISC-V. Além disso, existem extensões opcionais que adicionam funcionalidades específicas, como multiplicação e divisão de precisão dupla, suporte a ponto flutuante, criptografia, entre outros. Essas extensões permitem que o RISC-V seja personalizado para uma ampla variedade de aplicativos, desde sistemas embarcados simples até servidores de alto desempenho.

# PRINCIPAIS CONJUNTOS DE INSTRUÇÕES



A sigla RISC-V significa "Reduced Instruction Set Computer - Five", ou seja, "Computador de Conjunto de Instruções Reduzido - Cinco". O "Cinco" refere-se às cinco principais versões de projeto de conjunto de instruções RISC-V (RV32I, RV32E, RV32M, RV64I, RV128I), que diferem no tamanho dos registradores, tamanho de palavra e recursos. Alguns dos principais conjuntos são:

- RV32I: Conjunto base de 32 bits para operações com inteiros
- RV32M: Instruções de multiplicação e divisão
- RV32F e RV32D: Instruções de ponto flutuante
- RV32E: Instruções para sistemas embarcados
- RV64I: Conjunto base de 64 bits para operações com inteiros
- RV128I: Conjunto base de 128 bits para operações com inteiros





# MEMBROS

Devido à sua natureza aberta e ao crescente interesse da indústria, o RISC-V está ganhando popularidade como uma alternativa viável às arquiteturas tradicionais. Ele está sendo adotado em uma variedade de dispositivos, desde microcontroladores simples até servidores de data center, e várias empresas estão produzindo chips RISC-V comerciais.



<https://riscv.org/members/>

# UM POUCO DE CÓDIGO...

Exemplos disponíveis em: <https://github.com/clys-man/riscv-examples>





# LINKS ÚTEIS

Site oficial

<https://riscv.org>

RARS -- RISC-V Assembler and Runtime Simulator

<https://github.com/TheThirdOne/rars>

Exemplos

<https://github.com/clys-man/riscv-examples>

Curso RISC-V

[https://www.youtube.com/playlist?list=PLBw9d\\_OueVJRZ34oo1HB6q55rAljuP6lb](https://www.youtube.com/playlist?list=PLBw9d_OueVJRZ34oo1HB6q55rAljuP6lb)





**OBRIGADO!!**