

Laboratorio 2

Agregado de IP en la Lógica Programable

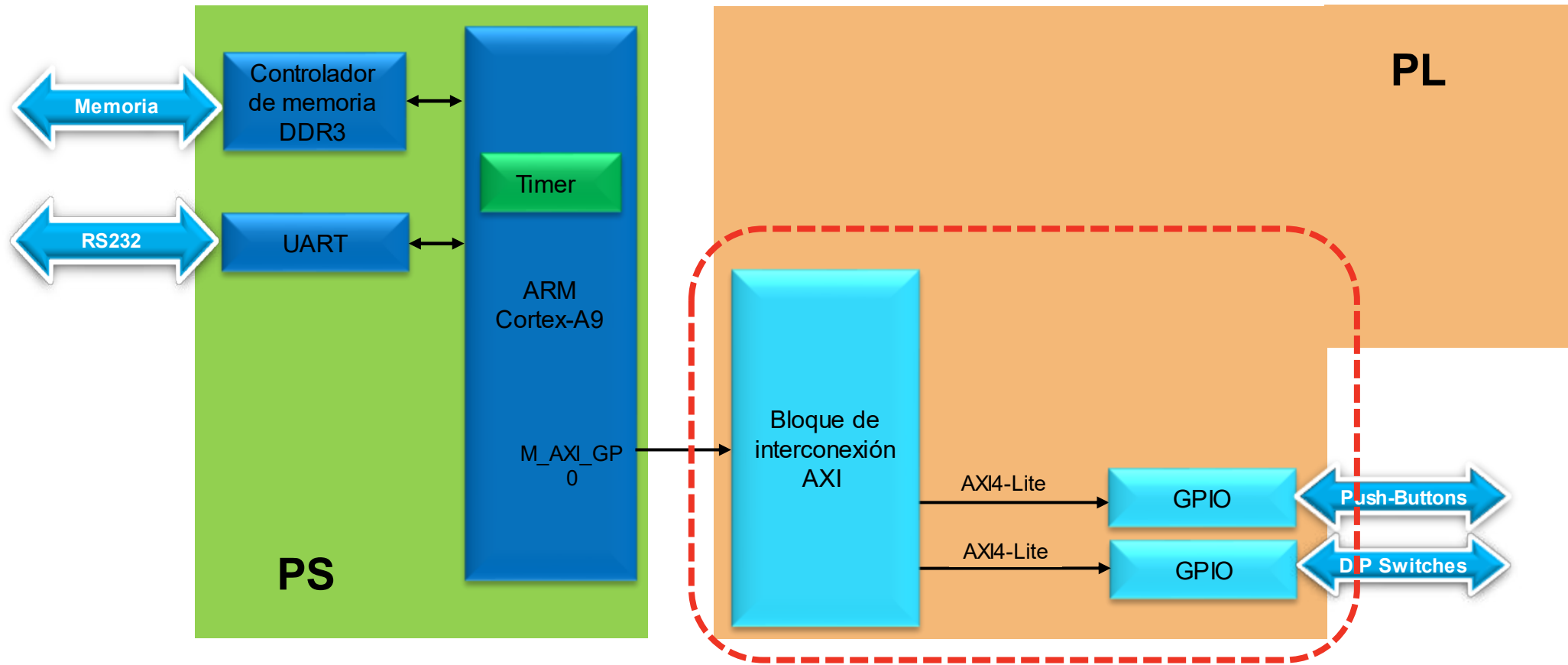
(Adaptado del curso “Embedded System Design Flow” de Xilinx)

Introducción

- ▶ Este laboratorio te guía a través del proceso de extender el sistema de procesamiento que has creado anteriormente agregando dos IPs GPIO en la Lógica Programable

Diseño de un Sistema Embebido basado en ARM Cortex-A9

Laboratorio 2: Agregando IPs en la Lógica PL



Procedimiento

- ▶ Abrir el proyecto en Vivado
- ▶ Agregar y configurar periféricos GPIO en el sistema usando IP Integrator
- ▶ Agregar puertos externos
- ▶ Generar el bitstream y exportar al SDK
- ▶ Crear una aplicación TestApp en SDK
- ▶ Verificar la funcionalidad en hardware

Resumen

- ▶ La interfaz GP Master del PS fue habilitada. Desde el catálogo de IPs fueron agregados periféricos GPIO y conectados al Sistema de Procesamiento a través de la interfaz 32b Master GP.
- ▶ Los periféricos fueron configurados y se establecieron conexiones externas de la FPGA. Restricciones de ubicación de pines fueron hechas usando IP Integrator Automation, y también manualmente, para conectar los periféricos a los botones (push buttons) y a los DIP switches.
- ▶ Se creó una aplicación TestApp y fue verificada la funcionalidad luego de descargar el bitstream y ejecutar el programa.