

Trabajo práctico final

Enunciado general

El trabajo práctico final de la materia consiste en la implementación de un bloque de hardware digital que deberá ser descripto en lenguaje VHDL (IP Core), simulado e implementado en un kit de FPGA. Dicho bloque deberá formar parte de un sistema base de procesamiento que incluya el micro Cortex A9. Se deberá implementar la conectividad entre el PS y la PL. El core recibirá/enviará datos desde/hacia el procesador. Dicho funcionamiento deberá ser implementado a través de un código C.

El bloque será elegido por el alumno y deberá ser alguna parte constitutiva de su trabajo práctico final de carrera. En el caso en que este último requerimiento sea de difícil concreción la cátedra indicará el bloque a implementar o se aceptarán sugerencias de parte del alumno.

Requerimientos detallados

1. Bloque de hardware digital que implementa parte de alguna funcionalidad del trabajo final de carrera (consensuado con el docente).
2. Lenguaje HDL a utilizar: VHDL/Verilog.
3. Se pueden utilizar bloques escritos por terceros, pero esto tendrá impacto en la nota final
4. Se deberán simular todos los componentes que formen parte del bloque principal (utilizando cualquier aplicación disponible, Vivado, ModelSim, GHDL+GTKWave, etc).
5. Se deberá simular el bloque principal.
6. Se deberá sintetizar e implementar el diseño y finalmente crear el archivo de configuración (.bit), utilizando cualquier aplicación disponible para tal fin, como por ejemplo Vivado.
7. Se deberá implementar una aplicación (código C) para lograr la transferencia de datos entre el micro y el core creado.
8. Se deberá crear un documento que contenga:
 - a. Una breve explicación de lo implementado
 - b. Diagramas en bloques del circuito
 - c. Capturas de las simulaciones realizadas más relevantes
 - d. Tabla de uso de recursos de la FPGA
9. Se deberá configurar la FPGA y validar el funcionamiento del bloque implementado. Este punto podrá no ser realizado, pero esto tendrá impacto en la nota final.
10. La fecha de entrega es la correspondiente a la última clase de la materia, en la que deberán realizar una presentación de 10 minutos, explicando lo realizado y mostrando los resultados.

Entregables

1. Documento en formato PDF, de acuerdo al requerimiento 8.
2. Código VHDL/Verilog de todo lo implementado (no incluir archivos generados por las herramientas).
3. Código C de la aplicación implementada.
4. Presentación.