

---

# Extendiendo el Sistema Embebido dentro de la PL

---

(Adaptado del curso “Embedded System Design Flow” de Xilinx)

# Objetivos

## ➤ Al completar este módulo, el alumno será capaz de:

- Identificar la IP provista como parte de Vivado
- Describir cómo agregar hardware a un proyecto de Vivado existente
- Explicar cómo es agregada la IP para ampliar la funcionalidad del sistema de procesamiento

# Temario

- ***Catálogo IP***
- Directorio de IP
- Archivos de dispositivos IP
- Interfaces GP
- Agregando IP para extender PS dentro de la PL
- Generación del bitstream
- Resumen

# El PS y la PL

## ➤ La arquitectura Zynq-7000 AP SoC consiste en dos secciones principales:

- PS: Processing system
  - Dual ARM Cortex-A9 processor based
  - Múltiples periféricos
  - Core de silicio (hard)
- **PL: Programmable logic**
  - Comparte la misma lógica de la serie 7 como:
    - Dispositivos basados en Artix™: Z-7010, Z-7015 y Z-7020 (sólo bancos de E/S high-range)
    - Dispositivos basados en Kintex™: Z-7030, Z-7035, Z-7045, y Z-7100 (mezcla de bancos de E/S de high-range y high-performance)

# Comunicándose con la PL

## ➤ Processing system master

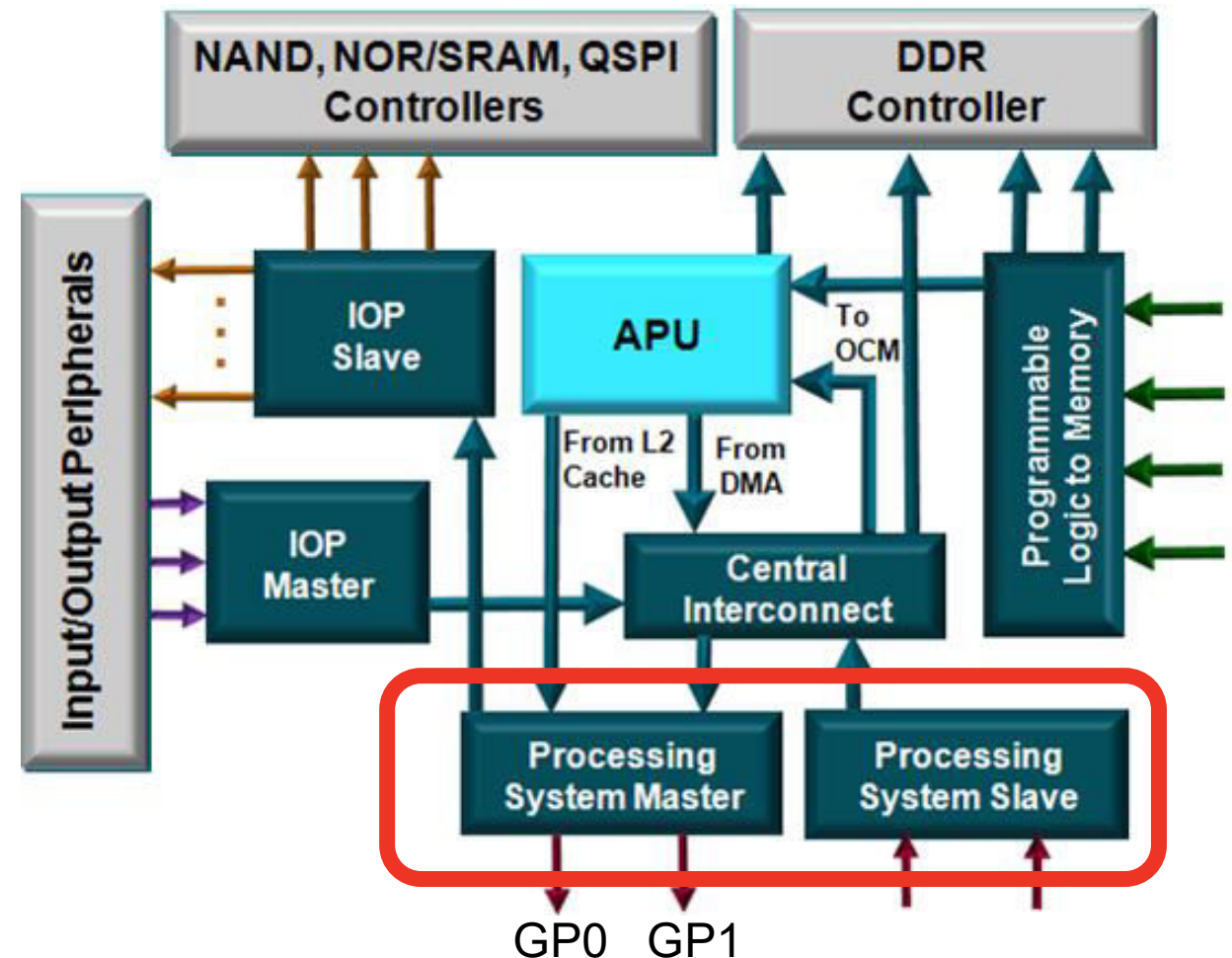
- Dos puertos desde el sistema de procesamiento hacia la lógica programable
- Conecta el CPU a periféricos comunes a través de la central de interconexiones.

## ➤ Processing system slave

- Dos puertos desde la lógica programable hacia el sistema de procesamiento.

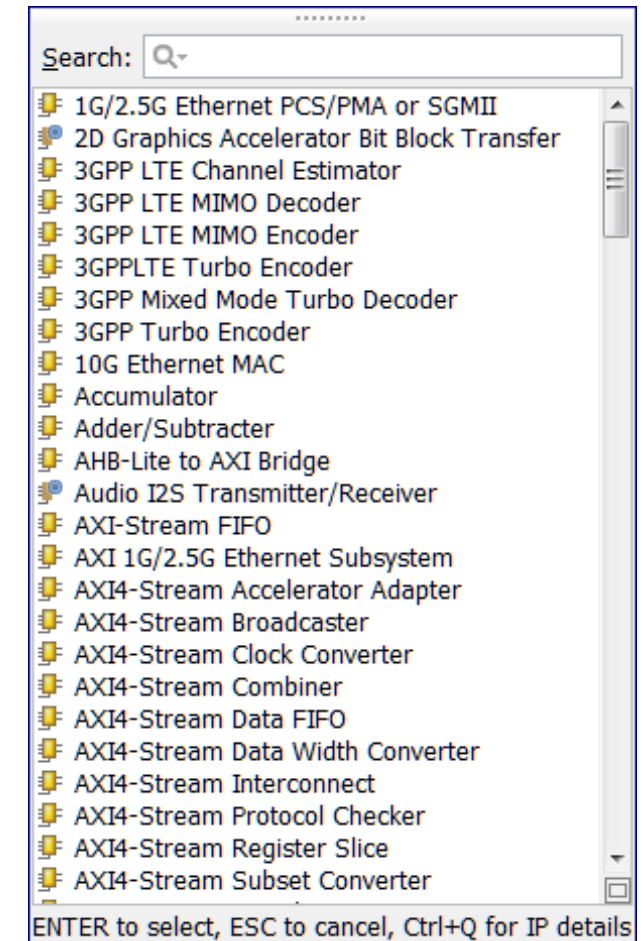
## ➤ Slave PL peripherals address range

- 4000\_0000 and 7FFF\_FFFF (connected to GP0) and
- 8000\_0000 and BFFF\_FFFF (connected to GP1)



# Catálogo IP

- El catálogo de IP contiene una colección de IPs que pueden ser usadas para armar el sistema (embebido)
- Soportado por IPI
- Facilita la construcción rápida del sistema
- Cada bloque IP tiene sus propios parámetros de configuración
- La mayoría de las IPs son libres, algunas requieren licencias
- Almacenadas como código fuente en el directorio de instalación
  - Siempre sintetizadas con las últimas herramientas
  - Algunos códigos propietarios están encriptados
- Los periféricos en el PS están siempre presentes y pueden ser dinámicamente habilitados o deshabilitados a través del wizard de configuración del PS



## Periféricos IP incluidos como fuente (Free)

### ➤ Controladores de bus y bridge

- Conector AXI a AXI
- Local Memory Bus (LMB)
- AXI Chip a Chip
- AHB-Lite a AXI
- AXI4-Lite a APB
- AXI4 a AHB-Lite

### ➤ Debug cores

- Analizador lógico integrado

### ➤ DMA and Timers

- Watchdog, intervalos fijos

### ➤ Comunicación entre-procesadores

### ➤ Controlador de memoria

### ➤ Periféricos de comunicación de alta y baja velocidad

- Controlador ethernet AXI 10/100
- Hard-core tri-mode Ethernet MAC
- AXI IIC
- AXI SPI
- AXI UART

### ➤ Otros cores

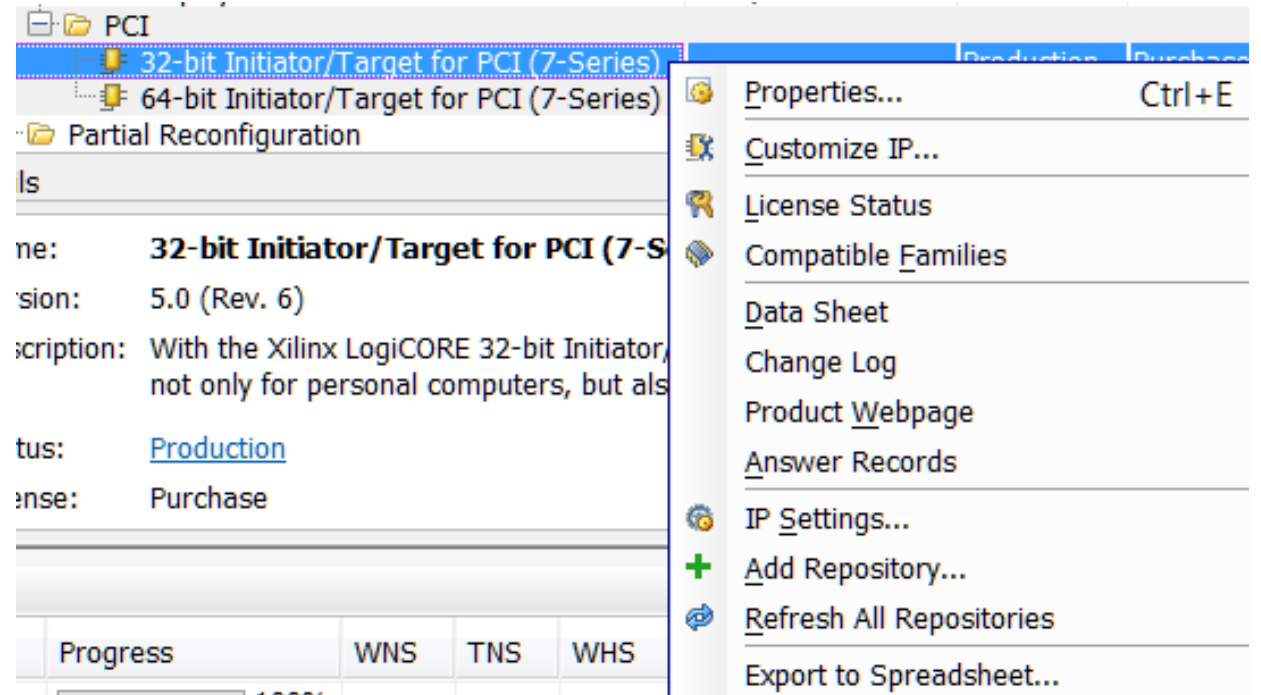
- Monitor de sistema
- Conversor Analógico-a-Digital (XADC)
- Generador de Clock, módulo de reset de sistema
- Controlador de interrupciones
- Generador de tráfico, monitor de performance

# Cores IP

## ➤ Click derecho para

- Agregar/adaptar
- Determinar compatibilidad
- Guía de producto (datasheet) > Document Navigator
- Change Log
- Página web del producto

## ➤ Exportar el catálogo completo de IP a excel





## Información de un IP Core

Hoja de datos provista para cada core (para acceder hacer click-derecho sobre el core en el catálogo IP)

- El tamaño de cada core está disponible en la hoja de datos
- Por ejemplo, la hoja de datos del axi\_timer\_v2\_00\_a contiene la siguiente tabla:

*Table 2-2: Performance and Resource Utilization: Artix-7 FPGA (XC7A355TDIE) and Zynq-7000 Devices*

Parameter Values		Device Resources		
Width of Timer/Counter	Enable Timer2	Slices	Flip-Flops	LUTs
8	False	49	53	96
16	False	61	69	120
32	False	84	101	181
8	True	50	74	123
16	True	74	106	161
32	True	97	170	256

# Temario

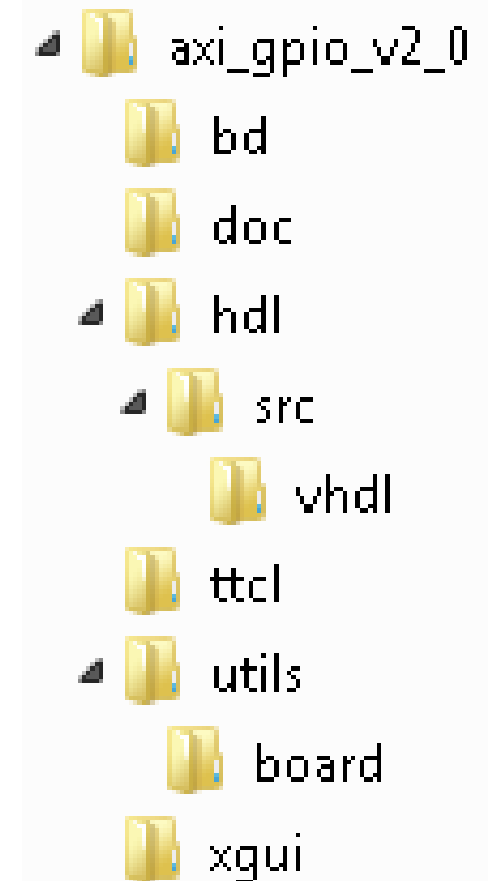
- Catálogo IP
- ***Directorio de IP***
- Archivos de dispositivos IP
- Interfaces GP
- Agregando IP para extender PS dentro de la PL
- Generación del bitstream
- Resumen

# Almacenamiento de periféricos

Los periféricos de usuario pueden ser ubicados en el directorio del proyecto o en un repositorio de periféricos

## ➤ Directorio de los cores de IP (ubicado en el directorio del proyecto)

- {component}.xml
- Directorio MyProcessorIPLib (definido por el usuario)
  - Directorio del repositorio, listado usando la pestaña  
**Project → Project Options → Device and Repository Search**
- %XILINX\_INSTALL%\Vivado\2015.X\data\ip



# Temario

- Catálogo IP
- Directorio de IP
- ***Archivos de dispositivos IP***
- Interfaces GP
- Agregando IP para extender PS dentro de la PL
- Generación del bitstream
- Resumen

# Archivos de los cores de IP

## ➤ component.xml

- Formato XML
- Carpeta Top level
- Provee la descripción de puertos, parámetros y opciones para las IP
- Links a los archivos fuente

## ➤ xgui folder

- Archivo .tcl para la GUI IPI

```
<?xml version="1.0" encoding="UTF-8"?>
<spirit:component xmlns:xilinx="http://www.xilinx.com" xmlns:spirit="http://www.spiritconsortium.org/XMLSchema/SPIRIT/1685-2009" xmlns:xsi="http://www.w3.org/2001/XMLSchema-instance">
  <spirit:vendor>xilinx.com</spirit:vendor>
  <spirit:library>XUP</spirit:library>
  <spirit:name>led_ip</spirit:name>
  <spirit:version>1.0</spirit:version>
  <spirit:busInterfaces>
    <spirit:busInterface>
      <spirit:name>S_AXI</spirit:name>
      <spirit:busType spirit:vendor="xilinx.com" spirit:library="interface" spirit:name="aximm" spirit:version="1.0"/>
      <spirit:abstractionType spirit:vendor="xilinx.com" spirit:library="interface" spirit:name="aximm_rtl" spirit:version="1.0"/>
      <spirit:slave>
        <spirit:memoryMapRef spirit:memoryMapRef="S_AXI"/>
      </spirit:slave>
      <spirit:portMaps>
        <spirit:portMap>
          <spirit:logicalPort>
            <spirit:name>AWADDR</spirit:name>
          </spirit:logicalPort>
          <spirit:physicalPort>
            <spirit:name>s_axi_awaddr</spirit:name>
          </spirit:physicalPort>
        </spirit:portMap>
      </spirit:portMaps>
    </spirit:busInterface>
  </spirit:busInterfaces>

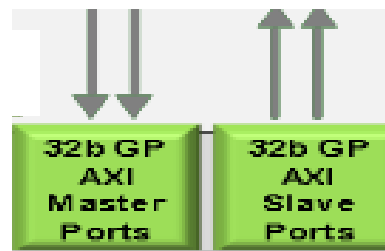
```

# Temario

- Catálogo IP
- Directorio de IP
- Archivos de dispositivos IP
- ***Interfaces GP***
- Agregando IP para extender PS dentro de la PL
- Generación del bitstream
- Resumen

## Puertos de GP

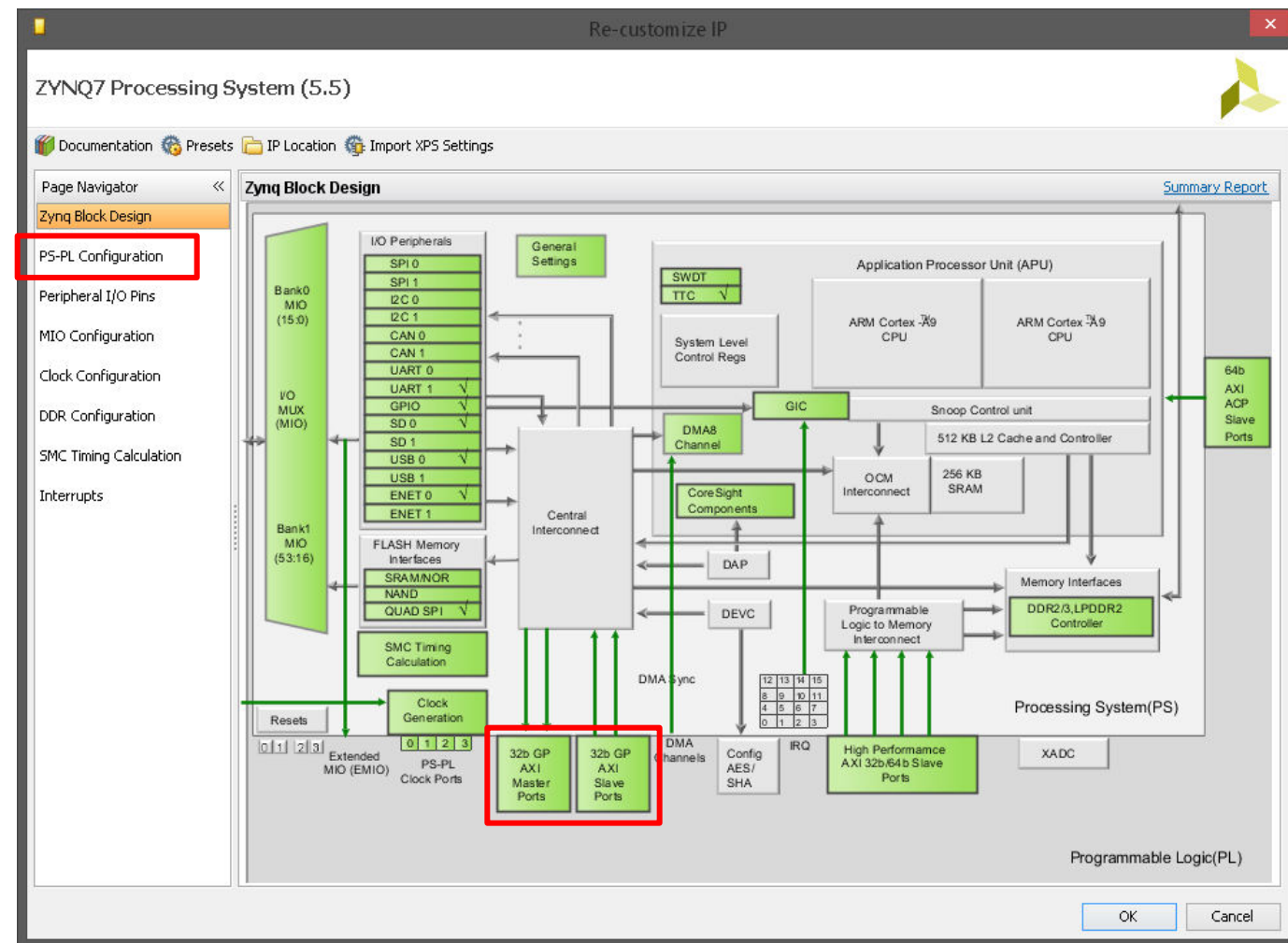
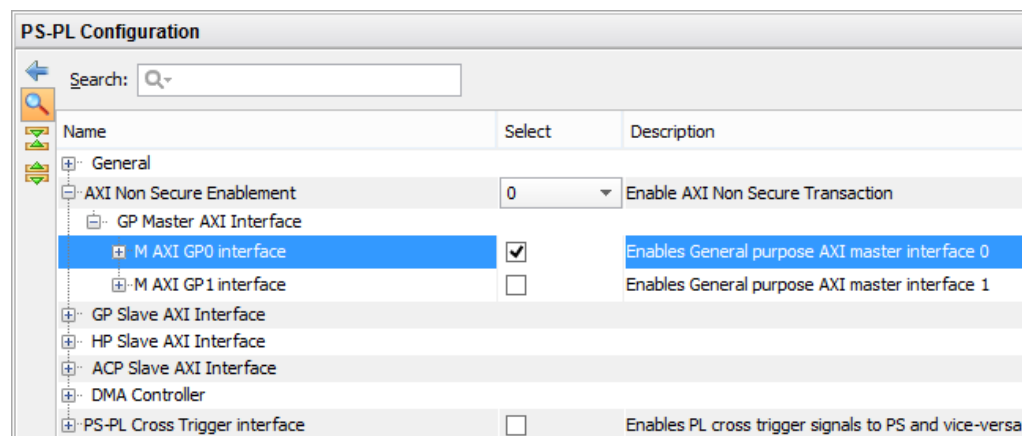
- Por defecto, los puertos de GP maestro y esclavo están deshabilitados



- Habilitar los puertos GP maestro y/o esclavo dependiendo si un periférico esclavo o maestro será agregado en la PL
- El bloque `axi_interconnect` es requerido para conectar la IP a un puerto con diferentes protocolos
  - Conversión automática de protocolos
  - Puede ser automáticamente agregado cuando se usa Block Automation en IPI (IP Integrator)

# Configurando los puertos GP

➤ **Clickear sobre el menu o sobre los bloques GP verdes para configurar**



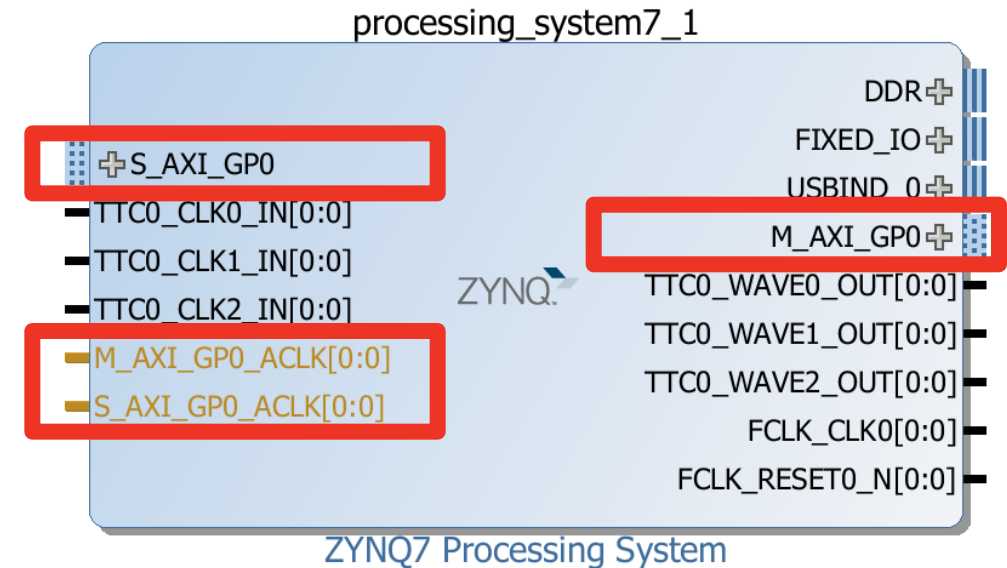


# Temario

- Catálogo IP
- Directorio de IP
- Archivos de dispositivos IP
- Interfaces GP
- ***Agregando IP para extender PS dentro de la PL***
- Generación del bitstream
- Resumen

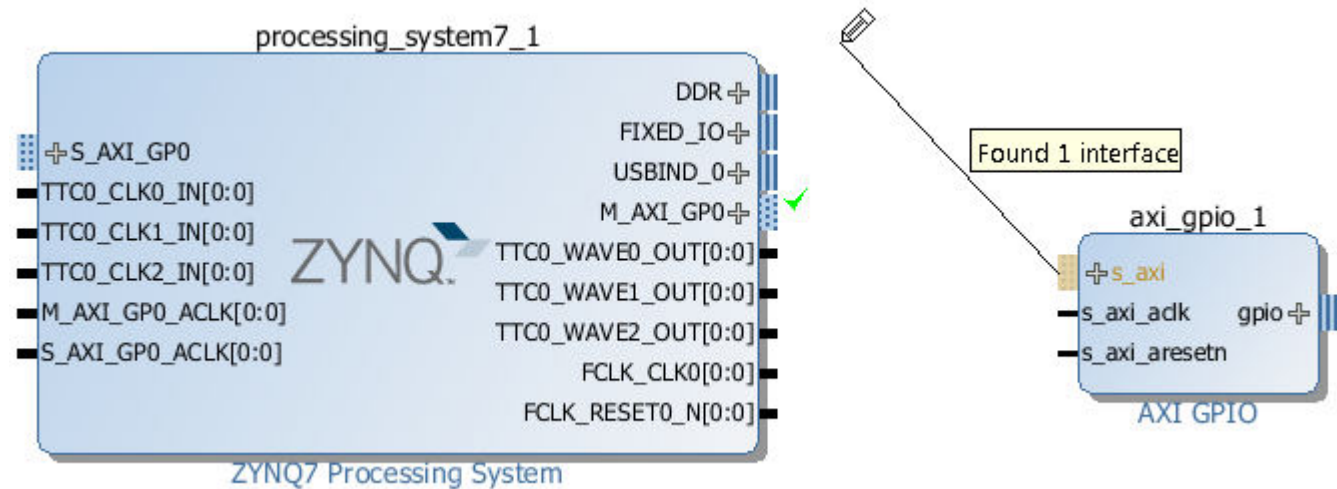
## Agregar IP en la PL

- Configurar los puertos GP desde la interfaz gráfica de personalización del PS
- Configuración PS-PL
  - Ej: Habilitar M\_AXI\_GP0/1 o S\_AXI\_GP0/1
- Los puertos serán entonces habilitados en el diagrama en bloques Zynq
- Conectar la IP agregada al puerto apropiado
- Asignar una dirección al IP agregado, si no está mapeado
- Si es necesario, configurar la IP
- Si es necesario, establecer las conexiones externas
  - Agregar puertos/interfaces externas si la IP agregada interactúa con dispositivos externos



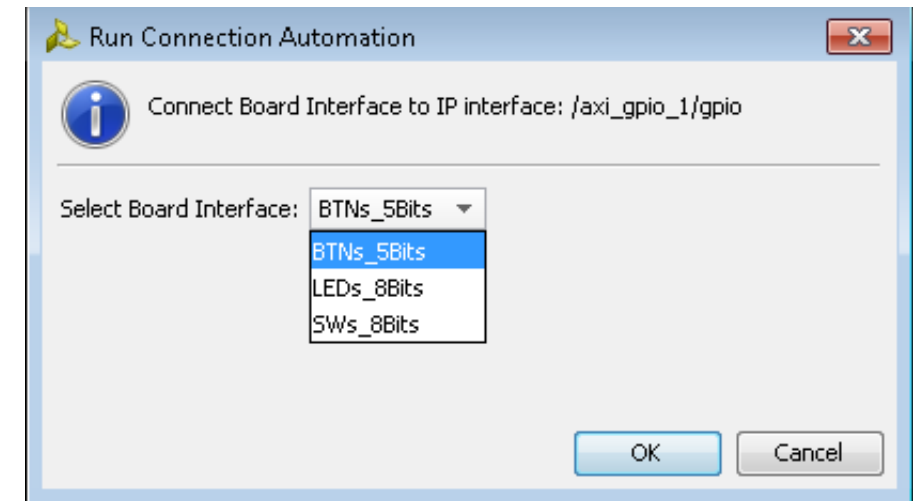
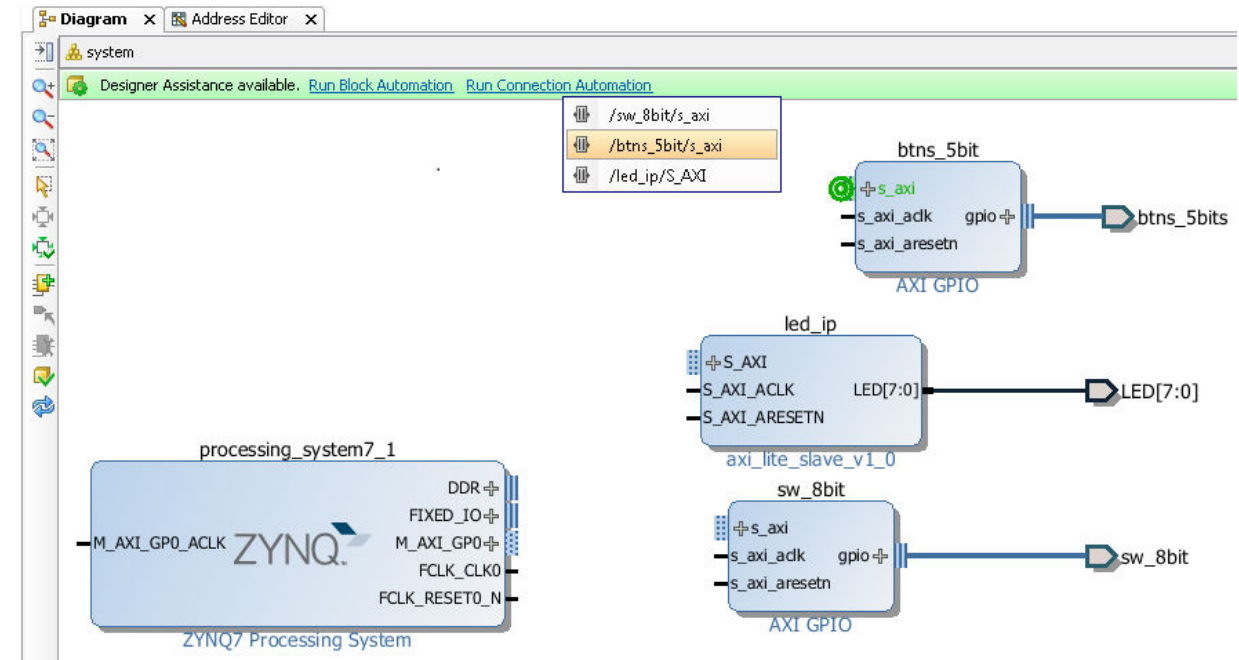
## Connecting IP

- **Agregar IP desde el catálogo de IP**
- **Clickear y arrastrar para encontrar las conexiones**
- **Las conexiones válidas son resaltadas**
- **Asistencia al diseñador, automatización de conexión**
  - Si hay soporte disponible para la placa, la IP puede ser conectada a pines externos
- **O creación y conexión manual de puertos (externos)**



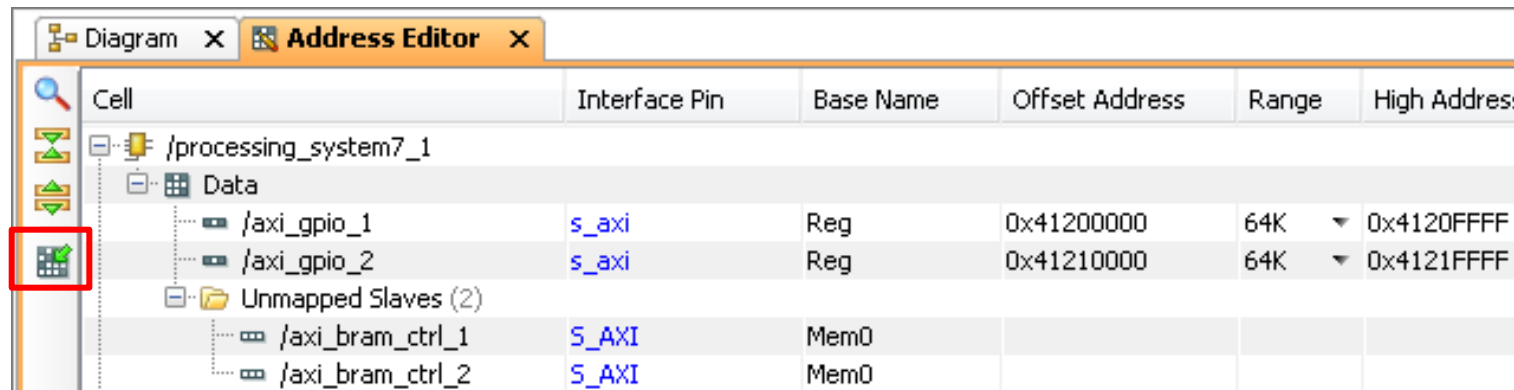
# Asistente al diseñador: Automatización de bloques, Automatización de conexión

- Bloque, Conexión
- Puede automáticamente conectar bloques IP
- Inserta automáticamente bloques requeridos
- Ej: Agregado de BRAM; la automatización insertará y conectará el controlador BRAM y la lógica de reset
- Si hay disponible soporte para la placa (Board support), la IP puede ser conectada automáticamente a los puertos top level



## Asignación de Direcciones

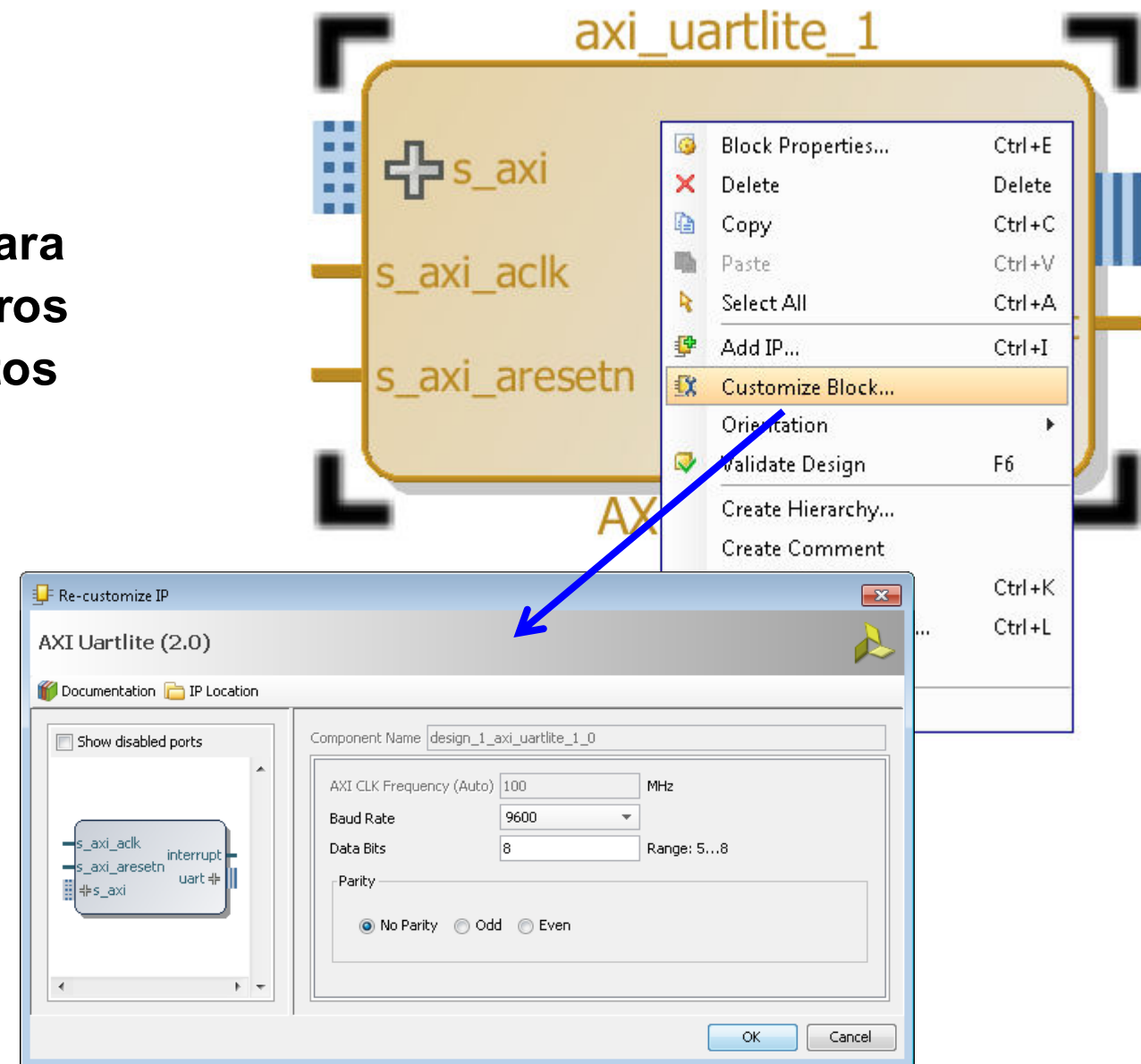
- Los periféricos en el Zynq™ AP SoC PS tienen direcciones fijas y no aparecen en el mapa de direcciones cuando una IP es agregada al sistema
- Para los periféricos del PS Clickear sobre el botón *Auto Assign Addresses*



- La dirección será generada y se mostrarán las direcciones generadas de la IP agregada

## Parametrizar instancias de IP

- **Doble-click o click derecho sobre la instancia y seleccionar *Customize Block* para abrir el cuadro de diálogo de los parámetros configurables (referirse a las hojas de datos de ser necesario)**
- **Se muestran los valores por defecto**
  - Personalizar los parámetros que se requieran



# Ampliando el catálogo IP

## ➤ IP Packager

- Empaquetado dentro del formato IP Integrator

## ➤ Especificar el repositorio (local/global)

## ➤ La IP puede entonces ser usada en IP Integrator

The screenshot shows the 'Package IP - axi\_lite\_slave' window in the IP Packager tool. The left sidebar contains a tree view with the following items:

- ✓ IP Identification (selected)
- ✓ IP Compatibility
- ✓ IP File Groups
- IP Customization Parameters
- ✓ IP Ports
- ✓ IP Interfaces
- ✓ IP Addressing and Memory
- ✓ IP GUI Customization Layout
- IP Licensing and Security
- ✓ Review and Package

The main area displays the 'Identification' tab with the following information:

IP Identification

0 errors 0 warnings 0 info messages

Fill in and modify the information fields below that will be used to identify your IP. Set the categories in which your IP will appear in the IP Catalog by modifying the Taxonomy.

**Identification**

Vendor :	xilinx.com
Library :	user
Name :	axi_lite_slave
Version :	1.0
Display Name :	axi_lite_slave_v1_0
Description :	axi_lite_slave_v1_0
Vendor Display Name :	
Company Url :	
Categories :	/Basic_Elements
Root Directory :	c:/xup/embedded/labs/led_ip
Xml File Name :	c:/xup/embedded/labs/led_ip/component.xml

☐ Show advanced information

# Temario

- Catálogo IP
- Directorio de IP
- Archivos de dispositivos IP
- Interfaces GP
- Agregando IP para extender PS dentro de la PL
- ***Generación del bitstream***
- Resumen



- **Después de haber definido el sistema de hardware, el siguiente paso es crear la netlist de hardware si el sistema de hardware tiene lógica en la PL**
- **Se debe generar un wrapper de HDL para el diagrama en bloques**
  - Se puede agregar lógica adicional al HDL, o el sistema del procesador puede ser usado como un sub-bloque en un diseño HDL
- **El diseño y el diagrama en bloques deben estar abiertos antes de que la síntesis y la implementación puedan llevarse a cabo**
- **Si el sistema tiene hardware en la PL, se debe generar el bitstream**
- **La PL (FPGA) debe ser programada antes de que la aplicación pueda ser descargada y ejecutada**

# Temario

- Catálogo IP
- Directorio de IP
- Archivos de dispositivos IP
- Interfaces GP
- Agregando IP para extender PS dentro de la PL
- Generación del bitstream
- ***Resumen***

- **La funcionalidad del PS puede ser ampliada por medio de la instanciación de periféricos en la PL**
- **Agregar IP en la PL involucra**
  - Habilitar interface(s) en el PS
  - Seleccionar la IP del catálogo IP y configurarla para la funcionalidad deseada
  - Conectar la (PL) IP al PS usando IP Integrator
  - Asignar dirección
  - Conectar los puertos de la IP a puertos de otros periféricos y/o a pines externos
- **Se necesita un Wrapper HDL para el *IP Integrator Block***
- **Se debe generar el bitstream cuando la PL tiene alguna IP**
- **La FPGA debe ser programada con el bitstream de hardware generado antes de que una aplicación pueda correr**