

Paquetes en VHDL (Package)

Microarquitecturas y softcores



Laboratorio de
Sistemas Embebidos



VHDL: Paquetes

Descripción

- ▶ Un paquete es una unidad que agrupa varias declaraciones, que pueden ser compartidas entre varios diseños.
- ▶ Un paquete consiste de una declaración de paquete (mandatorio) y puede tener un cuerpo de paquete (opcional).
- ▶ El propósito de un paquete es declarar tipos, subtipos, constantes, señales, componentes, atributos que se desean compartir
- ▶ Los items declarados dentro de un paquete son visibles en otras unidades de diseño (se utiliza la clausula use)

VHDL: Paquetes

Descripción

- ▶ La declaración de paquete puede contener una declaración de subprograma (función o procedimiento), pero no el cuerpo.
- ▶ El cuerpo de un subprograma debe estar en el cuerpo del paquete

VHDL: Paquetes

Sintaxis simplificada

```
package nombre_paquete is  
    parte_declarativa_paquete  
end package nombre_paquete;
```

```
package nombre_paquete is  
    parte_declarativa_paquete  
end package nombre_paquete;  
package body nombre_paquete is  
    parte_declarativa_cuerpo_paquete  
end package body nombre_paquete;
```

VHDL: Paquetes

Ejemplo

```
library IEEE;  
use IEEE.std_logic_1164.all;  
package auxi is  
    type mux_input is array (integer range<>) of std_logic_vector (0 to 7);  
    type operation_set is (SHIFT_LEFT, ADD);  
    subtype mux_address is positive;  
    function compute_adress (in1 : mux_input) return mux_address;  
    constant deferred_con : integer;  
end auxi;
```

VHDL: Paquetes

Ejemplo

```
package body auxi is  
    function compute_address (in1 : mux_input) return mux_address is  
    begin  
        ....  
    end;  
    constant deferred_con : integer := 177;  
end package body auxi;
```