

Microarquitecturas y Softcores



Laboratorio de
Sistemas Embebidos



**FACULTAD
DE INGENIERIA**
Universidad de Buenos Aires

Objetivos del curso

- Presentar el lenguaje de descripción de hardware Verilog y avanzar en conceptos de VHDL.
- Implementar un sistema embebido básico en FPGA utilizando un hardcore de 32 bits.
- Extender el sistema por medio del agregado de periféricos
 - Agregar periféricos provistos por Xilinx desde el catálogo de IP
 - Crear y agregar un periférico personalizado
- Crear y depurar aplicaciones de software
 - Crear aplicaciones de software con el Software Development Kit
 - Depurar una aplicación on-chip usando el depurador GNU via SDK

Esquema del curso

El curso está basado en el “Vivado Embedded System Design” de Xilinx

Se compone de 8 clases semanales de 3 hs de duración

Es teórico-práctico y se realizan 5 prácticas y ejercicios en VHDL/Verilog

- Verilog. Conceptos básicos. Uso y aplicación del lenguaje.
- VHDL. Conceptos avanzados.
- Introducción al diseño de un Sistema Embebido usando la Zynq junto con Vivado
 - **Lab 1:** Diseño de hardware simple
- Extendiendo el Sistema Embebido a la Lógica Programable (PL)
 - **Lab 2:** Agregando IP en la Lógica Programable

Esquema del curso

- Agregando tu propio periférico.
 - **Lab 3:** Creando y agregando IP personalizada
- Entorno de Desarrollo de Software
 - **Lab 4:** Escribiendo aplicaciones de software básicas.
- Desarrollo de Software y Depuración
 - **Lab 5:** Depuración de Software usando SDK

Conocimientos necesarios

- Uso del entorno de desarrollo Vivado de Xilinx
- Nociones de programación básica en C
- Conocimiento básico de sistemas digitales basados en procesador
- Nociones básicas de HDLs (Verilog/VHDL)

Aspectos administrativos

- Docentes:
 - Nicolás Álvarez: nalvare@gmail.com
- Material:
 - <https://campus.fi.uba.ar/course/view.php?id=1446>
- Certificado de asistencia: 75% (6 de 8 clases)
- Certificado de aprobación: Asistencia + TP final