

# INF01113 - Organização de Computadores B

## Segundo Trabalho Prático

Cristiano Medeiros Dalbem - 173362

Instituto de Informática  
Universidade Federal do Rio Grande do Sul  
`cristiano.dalbem@inf.ufrgs.br`

7 de dezembro de 2009

### 1 Influência do tipo de mapeamento e da política de reposição

			LRU		RANDOM		FIFO
Nº Conj.	Tam. Bloco	Assoc.	Icache(%)	Dcache(%)	Icache(%)	Dcache(%)	Icache(%)
32	32	1	21,29	35,17	21,29	35,17	21,29
16	32	2	21,34	32,59	21,36	34,30	21,34
8	32	4	21,34	32,14	21,36	34,37	21,34
4	32	8	21,34	32,08	21,35	34,35	21,34
2	32	16	21,34	32,07	21,36	34,35	21,34
1	32	32	21,34	32,06	21,37	34,36	21,34

- Dentre os experimentos realizados, qual das políticas de reposição apresenta o melhor resultado para cada uma das caches em sua opinião? Por quê?**

Para Data Cache não notamos nenhuma diferença significativa, para nenhuma taxa de associatividade.

Já para Instruction Cache, podemos notar que a política de reposição LRU obtém uma performance levemente melhor que as outras. Isso se dá pela razão de que o LRU respeita localidade espacial. Isso significa que o algoritmo não substituirá blocos que tenham sido usados recentemente, os quais terão maior probabilidade de serem usados no futuro;

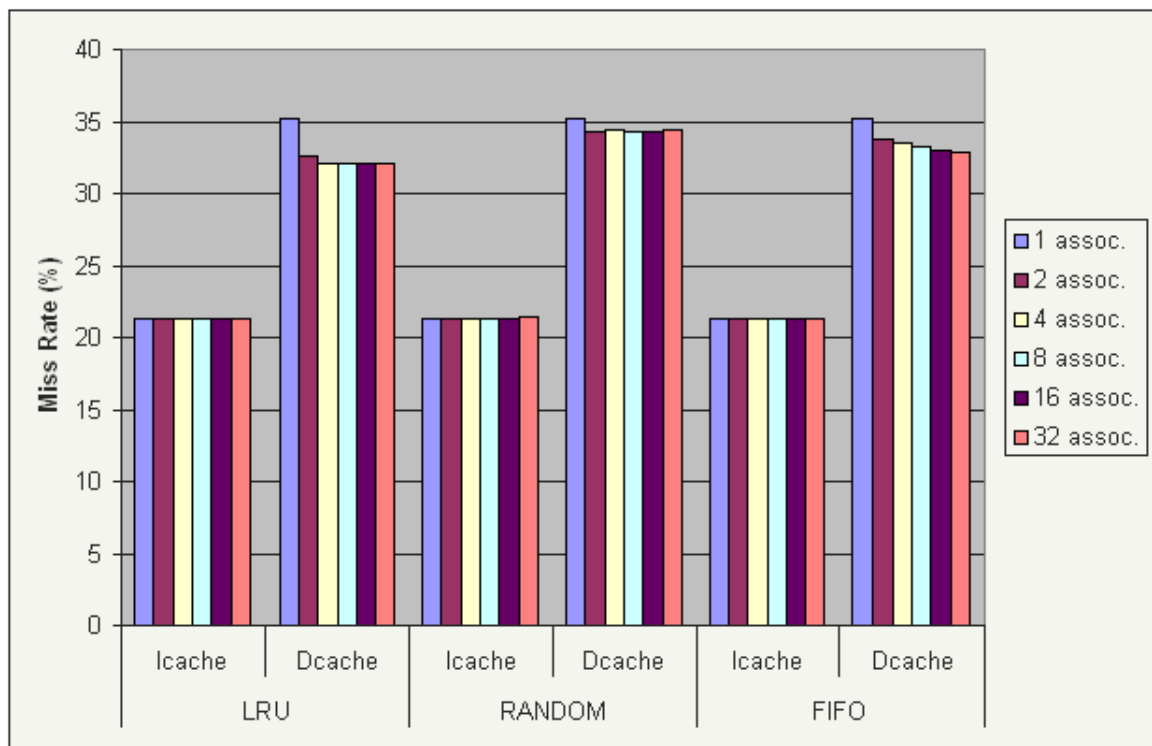


Figura 1: Influência da associatividade (1,2,4,...,32) e da política de reposição (LRU, RANDOM, FIFO)

preocupação esta que não ocorre com o FIFO, que se preocupa apenas com a "idade" do bloco na buffer, e muito menos com o RANDOM, que não se preocupa com nada, no fim das contas.

2. **A primeira linha da tabela acima representa que tipo de cache em termos de mapeamento? Considerando essa mesma linha citada, explique o porquê dos resultados obtidos para as três políticas aplicadas.**

Uma cache 1-way-associative é, no frigor dos ovos, equivalente a uma cache de mapeamento direto. Neste caso teremos sempre os mesmos resultados para qualquer política de reposição, pois na realidade ela nem é exercida: cada endereço de memória é mapeado de apenas uma maneira em uma posição do buffer, e se aquela posição quando requisitada estiver ocupada, ela deverá obrigatoriamente ser substituída.

3. **Considerando-se que as caches de dados instruções estão separadas, qual a melhor combinação (em termos da menor taxa de misses obtida) entre cache de instruções e de dados considerando-se qualquer possibilidade de configuração para ambas (em termos de associatividade, nº de conjuntos e política de reposição)?**

Dados: Totalmente Associativo (assoc. 32) com 1 conjunto e reposição por LRU.

Instruções: Mapeamento Direto (assoc. 1) com 32 conjuntos para qualquer política de reposição.

4. **Qual o comportamento das duas caches quando do aumento da associatividade (e conseqüente diminuição do número de conjuntos)?**

Com o aumento da associatividade e proporcional diminuição do número de conjuntos a cache de dados melhora radicalmente de performance em todas políticas com exceção da RANDOM.

Já a cache de instruções não apresenta diferença substancial, e isso se deve pela alta localidade espacial desta memória. Essa característica faz a política de reposição não ser tão importante para a performance nesse caso.

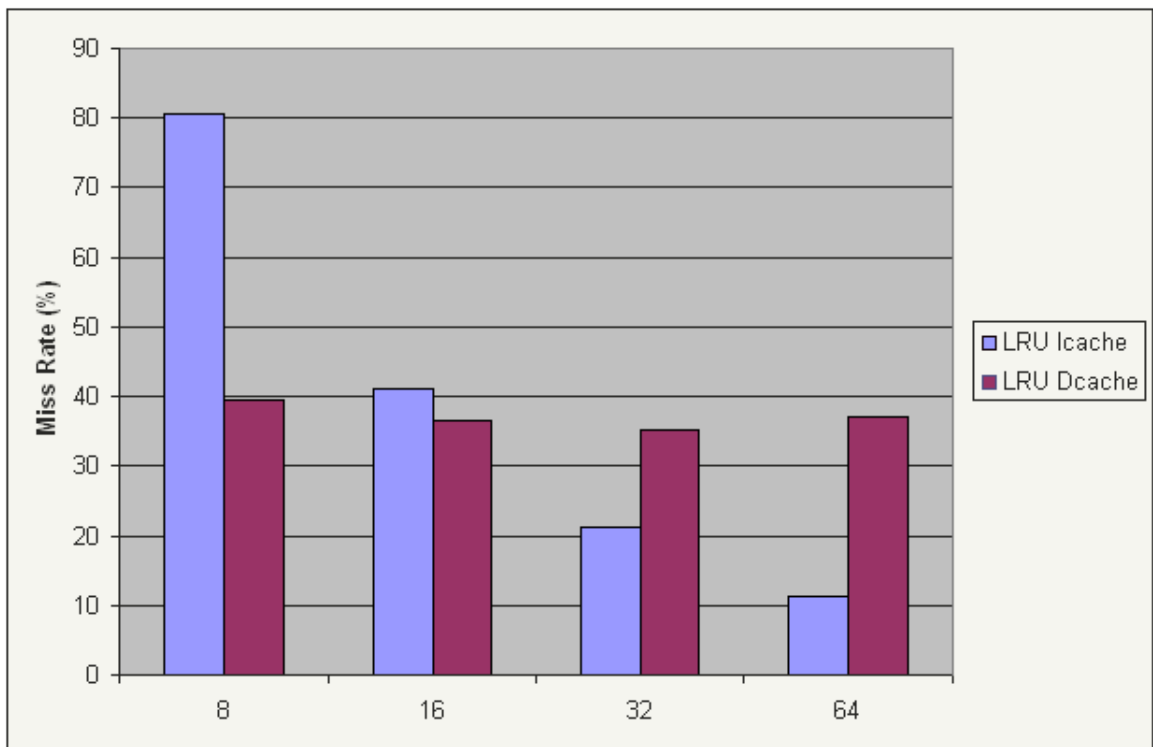


Figura 2: Influência do tamanho de bloco no Miss Rate das cache de Dados e de Instruções. Os valores para blocos maiores de 64Kbytes foram omitidos por serem incongruentes.

## 2 Influência do tamanho de bloco

Nº Conj.	Tam. Bloco	Assoc.	Política	Icache(%)	Dcache(%)
128	8	1	LRU	80,54	39,38
64	16	1	LRU	41,06	36,42
32	32	1	LRU	21,29	35,17
16	64	1	LRU	11,22	37,15
8	128	1	LRU	100,00	100,00
4	256	1	LRU	100,00	100,00
2	512	1	LRU	100,00	100,00
1	1024	1	LRU	100,00	100,00

1. Qual o comportamento observado para as duas caches em termos de percentual de erro no seu acesso?

O percentual de acertos aumenta vertiginosamente para nossa cache de Dados, enquanto não há variação notável para a de Instruções.

Não podemos aferir resultados para blocos maiores de 64KBytes por um provável erro de software (bug) do Sim-Cache nessas simulações.

## 2. Como você explicaria os comportamentos observados para as caches de instruções e de dados?

A cache de dados tem um comportamento tipicamente de cujo localidade espacial é baixa. Em outras palavras, a cache de dados está normalmente acessando endereços de memória distantes entre si, já que não é comum utilizarmos variáveis que estão alocadas fisicamente próximas, o que seria o caso de um algoritmo de multiplicação de matrizes, por exemplo, como o utilizado no trabalho anterior. Por isso, quando aumentamos o tamanho dos blocos e os diminuimos em número, temos maior chance de estar alocando em nossa cache endereços que não serão utilizados futuramente, havendo, assim, maior chance de Miss, e precisarmos substituir o bloco novamente.

Já para instruções, a localidade física é alta, então é vantajoso ter blocos maiores, que funcionaria como o que chamamos nos processadores de "janela de instruções", otimizando a eficiência.

## 3 Influência do tamanho da cache e do tamanho do bloco

Tamanho Total	nº conjuntos	Tam. Bloco	Assoc.	Política	Icache(%)	Dcache(%)
1k	64	16	1	LRU	41,06	36,42
2k	128	16	1	LRU	41,05	28,08
4k	256	16	1	LRU	41,05	12,12
8k	512	16	1	LRU	28,16	6,70
16k	1024	16	1	LRU	3,61	1,20
32k	2048	16	1	LRU	1,74	0,08

Tamanho Total	nº conjuntos	Tam. Bloco	Assoc.	Política	Icache(%)	Dcache(%)
1k	32	32	1	LRU	21,29	35,17
2k	64	32	1	LRU	21,23	26,55
4k	128	32	1	LRU	21,23	11,17
8k	256	32	1	LRU	15,28	6,57
16k	512	32	1	LRU	2,23	1,02
32k	1024	32	1	LRU	1,29	0,09

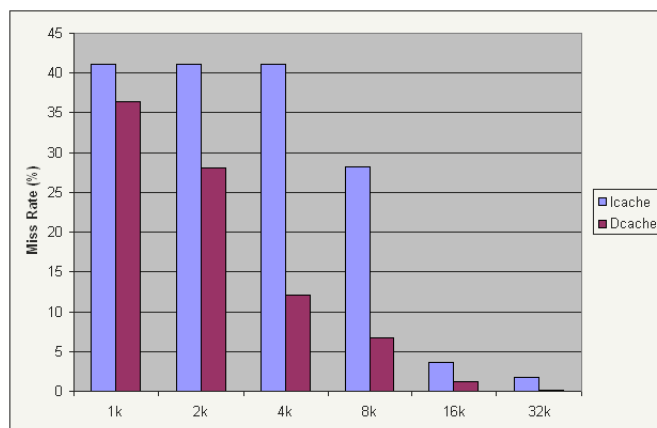


Figura 3: Variação do tamanho total de cache com associatividade 1 e tam. de bloco 16Kbytes.

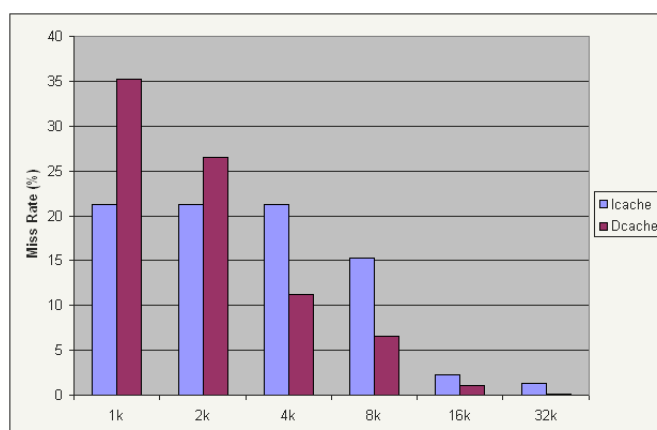


Figura 4: Variação do tamanho total de cache com associatividade 1 e tam. de bloco 32Kbytes.

---

Tamanho Total	nº conjuntos	Tam. Bloco	Assoc.	Política	Icache(%)	Dcache(%)
1k	32	16	2	LRU	41,11	35,14
2k	64	16	2	LRU	41,05	27,75
4k	128	16	2	LRU	41,05	12,07
8k	256	16	2	LRU	32,98	2,28
16k	512	16	2	LRU	2,56	0,80
32k	1024	16	2	LRU	0,02	0,02

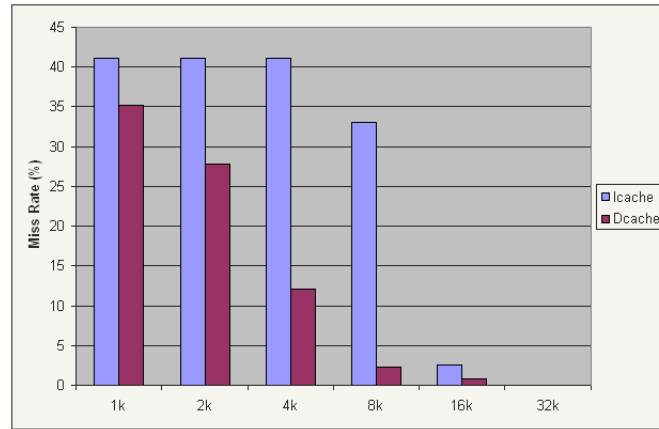


Figura 5: Variação do tamanho total de cache com associatividade 2 e tam. de bloco 16Kbytes.

Tamanho Total	nº conjuntos	Tam. Bloco	Assoc.	Política	Icache(%)	Dcache(%)
1k	16	32	2	LRU	21,34	32,59
2k	32	32	2	LRU	21,28	25,58
4k	64	32	2	LRU	21,23	11,76
8k	128	32	2	LRU	17,51	2,18
16k	256	32	2	LRU	1,91	0,61
32k	512	32	2	LRU	0,01	0,01

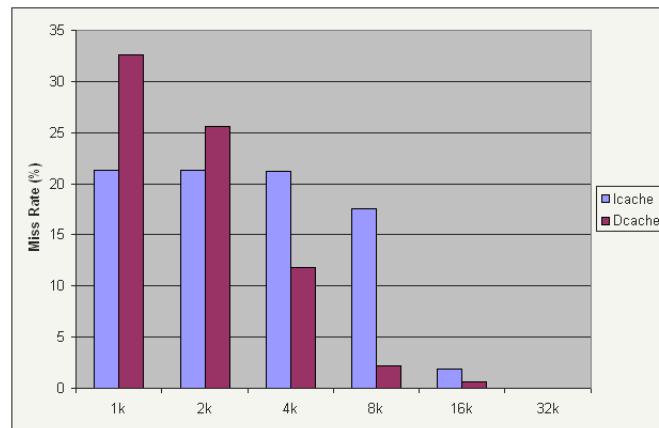


Figura 6: Variação do tamanho total de cache com associatividade 2 e tam. de bloco 32Kbytes.

Tamanho Total	nº conjuntos	Tam. Bloco	Assoc.	Política	Icache(%)	Dcache(%)
1k	16	16	4	LRU	41,11	34,86
2k	32	16	4	LRU	41,05	28,14
4k	64	16	4	LRU	41,05	11,98
8k	128	16	4	LRU	41,05	1,73
16k	256	16	4	LRU	2,16	0,17
32k	512	16	4	LRU	0,01	0,02

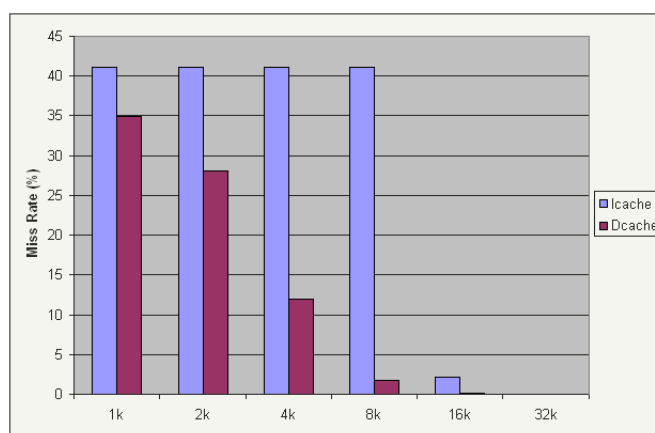


Figura 7: Variação do tamanho total de cache com associatividade 4 e tam. de bloco 16Kbytes.

Tamanho Total	nº conjuntos	Tam. Bloco	Assoc.	Política	Icache(%)	Dcache(%)
1k	8	32	4	LRU	21,34	32,14
2k	16	32	4	LRU	21,28	25,63
4k	32	32	4	LRU	21,23	12,66
8k	64	32	4	LRU	21,23	1,43
16k	128	32	4	LRU	2,13	0,11
32k	256	32	4	LRU	0,00	0,01

1. Compare, linha a linha, os resultados obtidos considerando-se a mesma associatividade (1, 2 e 4), descrevendo o comportamento das caches de instruções e de dados quando comparadas configurações de cache de mesmo tamanho total, porém com tamanhos de blocos diferentes. Existe alguma diferença observável em termos de taxa de faltas?



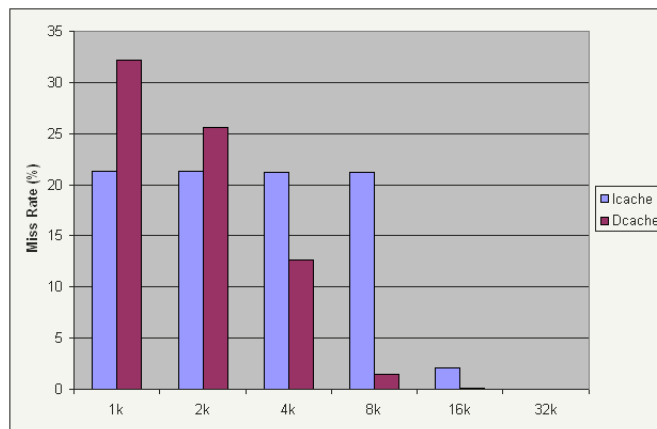


Figura 8: Variação do tamanho total de cache com associatividade 4 e tam. de bloco 32Kbytes.

Há, em todos casos, aumento significativo da eficiência da cache de Instruções com o aumento do tamanho total, mas tal variação é muito maior com blocos de 32 bytes do que com 16 bytes. Tal fato só vem a corroborar com o que temos apresentado até então com relação à significativa localidade espacial da Icache.

No que tange à nossa cache de Dados, também confirmamos características já expostas por experiências anteriores, isto é, que não há diferenças substanciais quando do uso de blocos de 32 ou 16 bytes.

(Figuras 3 a 8)

**2. Compare os resultados obtidos quando do aumento do tamanho da cache através do aumento do n° de conjuntos, mantendo-se o mesmo tamanho de bloco (16 ou 32 bytes) para as 3 associatividades (1, 2 e 4). Existe diferença significativa nas taxas observadas?**

No geral a cache de Dados sempre apresenta melhoras progressivas na eficiência quando aumentamos o tamanho total da memória. Isso se dá pelo mesmo motivo das melhoras dos casos anteriores, e prova que o aumento do tamanho total só contribui para casos de localidade espacial baixa.

Já nas caches de instruções temos um comportamento peculiar, além dos notáveis melhores resultados com blocos de 32Kbytes em relação ao de 16Kbytes. Podemos claramente ver que há uma grande queda da taxa de Misses quando usamos caches de tamanho total maiores que

8k. Isto certamente se dá por uma característica especial do benchmark que utilizamos, e podemos já imaginar o que seja isso: provavelmente é um grande laço de instruções cuja ocupação em memória é de 8 a 16Kbytes; assim, quando temos blocos menores que isso, temos que constantemente substituir áreas que logo seriam utilizadas novamente. (Figuras 9 e 10)

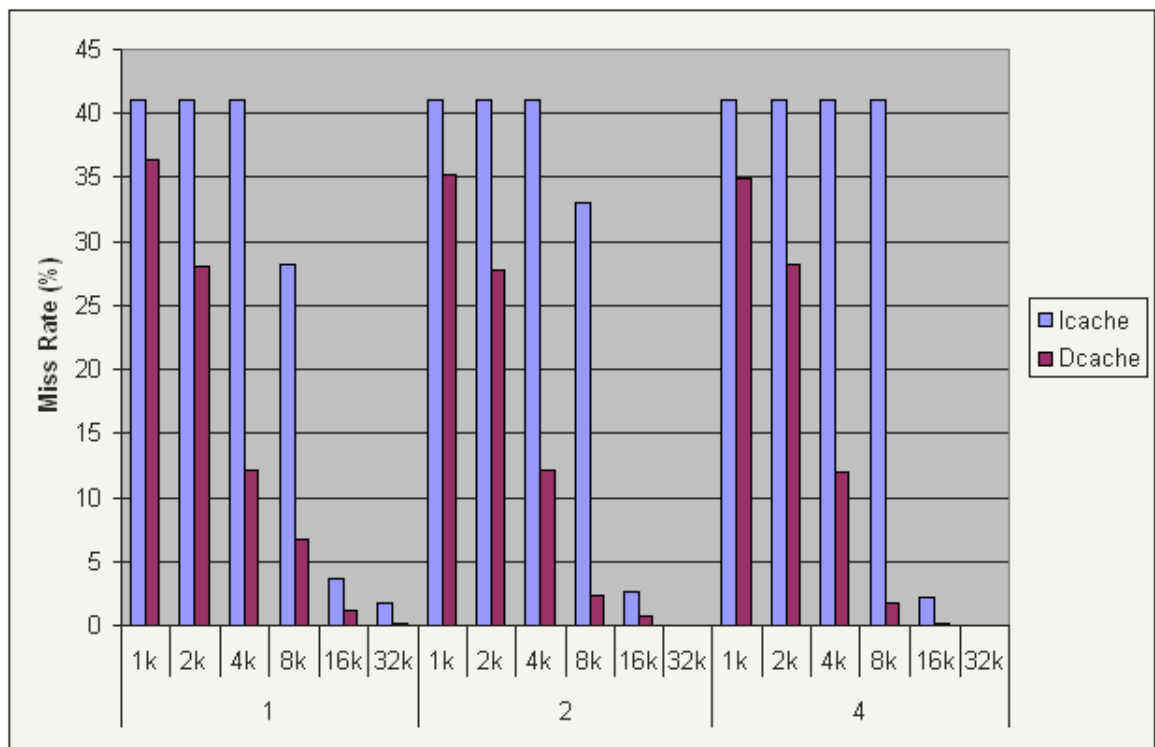


Figura 9: Variação do tamanho total de caches com associatividades 1, 2 e 4, e tam. de bloco 16Kbytes.

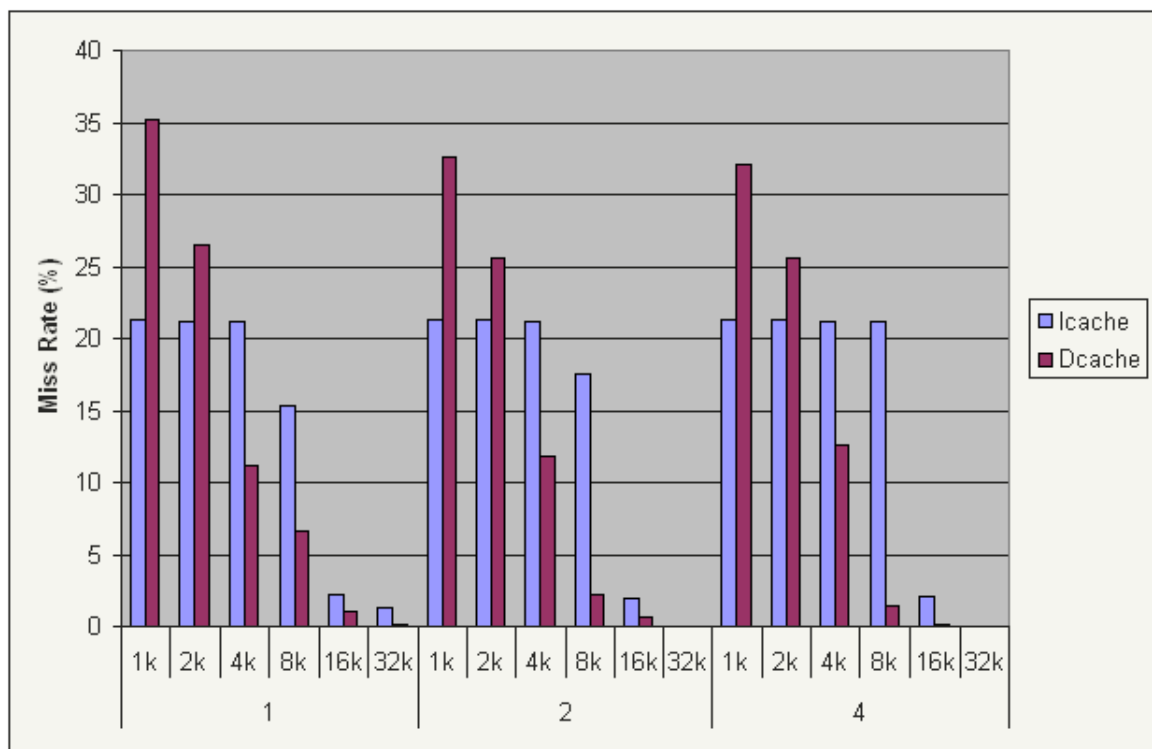


Figura 10: Variação do tamanho total de caches com associatividades 1, 2 e 4, e tam. de bloco 32Kbytes.