# RV1126/RV1109
# 硬件设计指南

Rockchip Confidential

发布版本：V1.1
发布日期：2020年06月24日

# 免责声明

您购买的产品、服务或特性等应受瑞芯微电子股份有限公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，瑞芯微电子股份有限公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

# 商标声明

Rockchip、Rockchip™图标、瑞芯微和其他瑞芯微商标均为福州瑞芯微电子股份有限公司的商标，并归瑞芯微电子股份有限公司所有。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

# 版权所有 © 福州市瑞芯微电子股份有限公司 2020

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

Rockchip Confidential

福州市瑞芯微电子股份有限公司
Fuzhou Rockchip Electronics Co., Ltd.
地址：福建省福州市软件园A区18号
Address: No. 18 Building, A District, No.89,software Boulevard Fuzhou,Fujian,PRC
网址：www.rock-chips.com
Website: www.rock-chips.com
客户服务电话： +86-4007-700-590
Customer service tel.: +86-4007-700-590
客户服务传真：+86-591-83951833
Customer service fax: +86-591-83951833
客户服务邮箱：FAE@rock-chips.com
Customer service e-mail: FAE@rock-chips.com

Rockchip™ 瑞芯微电子™

# 前言

## 概述

本文档主要介绍RV1126/RV1109处理器硬件设计的要点及注意事项，旨在帮助RK客户缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请客户参考本指南的要求进行硬件设计，同时尽量使用RK发布的相关核心模板。如因特殊原因需要更改的，请严格按照高速数字电路设计要求以及RK产品PCB设计要求进行。

## 芯片型号

本文档对应的芯片型号为：**RV1126和RV1109**

## 适用对象

本文档主要适用于以下工程师：

- 产品硬件开发工程师
- 技术支持工程师
- 测试工程师

Rockchip Confidential

# 更新记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

| 版本 | 修改人 | 修改日期 | 修改说明 | 备注 |
|---|---|---|---|---|
| V1.0 | 李炎红 | 2020.04.09 | V1.0版本发布 | |
| V1.1 | 李炎红 | 2020.06.24 | V1.1更改点：<br>1. 增加A7-JTAG_M1的使用说明<br>2. 增加上电时序介绍<br>3. 增加DDR核心模板列表介绍<br>4. 增加LOGIC,ARM,NPU,VEPU峰值电流数据<br>5. 增加提高USB兼容性电路<br>6. 修改Audio DSM电路参考设计<br>7. 增加DDR信号的等长控制表格<br>8. 增加FLASH,eMMC信号等长及总长控制表格<br>9. 增加SDMMC0/SDIO信号等长及总长控制表格<br>10. 增加RGMII信号等长及总长控制表格<br>11. 增加MIPI、RGB、BT1120等长及总长控制表格<br>12. 增加USB等长及总长控制表格 | |
| | | | | |
| | | | | |
| | | | | |

Rockchip Confidential

# 缩略语

缩略语包括文档中常用词组的简称：

| | | |
|---|---|---|
| ARM | Central processing unit | 中央处理器 |
| NPU | Neural network Processing Unit | 神经网络处理器 |
| VPU | Video Processing Unit | 视频处理器 |
| PMU | Power Management Unit | 电源管理单元 |
| PMIC | Power Management IC | 电源管理芯片 |
| DDR | Double Data Rate | 双倍速率同步动态随机存储器 |
| eMMC | Embedded Multi Media Card | 内嵌式多媒体存储卡 |
| FSPI | Flexible Serial Peripheral Interface | 灵活串行外设接口 |
| SPI | Serial Peripheral Interface | 串行外设接口 |
| SDMMC | Secure Digital Multi Media Card | 安全数字多媒体存储卡 |
| SDIO | Secure Digital Input and Output Card | 安全数字输入/输出卡 |
| SD Card | Secure Digital Memory Card | 安全数码卡 |
| TF Card | Micro SD Card(Trans-flash Card) | 外置记忆卡 |
| I2C | Inter-Integrated Circuit | 内部整合电路(两线式串行通讯总线) |
| I2S | Inter-IC Sound | 集成电路内置音频总线 |
| ACODEC | digital audio codec | 数字音频编解码器 |
| PDM | Pulse density modulation | 脉冲密度调制 |
| USB | Universal Serial Bus | 通用串行总线 |
| UART | Universal Asynchronous Receiver/ Transmitter | 通用异步收发传输器 |
| PWM | Pulse width modulation | 脉冲宽度调制 |
| TSADC | Temperature sensing a / D converter | 温度感应模数转换器 |
| SARADC | successive approximation register Analog to digital converter | 逐次逼近寄存器型模数转换器 |
| CAN | Controller Area Network | 控制器局域网络 |
| MIPI | Mobile Industry Processor Interface | 移动产业处理器接口 |
| LVDS | Low-Voltage Differential Signaling | 低电压差分信号 |
| SubLVDS | Sub- Low-Voltage Differential Signaling | 低摆幅差分信号技术 |
| RGB | RGB color mode is a color standard in industry | RGB色彩模式，是工业界的一种颜色标准 |
| ISP | Image Signal Processing | 图像信号处理 |
| JTAG | Joint Test Action Group | 联合测试行为组织定义的一种国际标准测试协议（IEEE 1149.1兼容） |
| LDO | Low Drop Out Linear Regulator | 低压差线性稳压器 |
| Rockchip | Rockchip Electronics Co.,Ltd. | 瑞芯微电子股份有限公司 |

Rockchip Confidential

# 目录

目录 ..... 6
插图目录 ..... 9
插表目录 ..... 11
1 系统概述 ..... 12
1.1 概述 ..... 12
1.2 芯片框图 ..... 13
1.3 应用框图 ..... 14
1.3.1 典型应用框图（PMIC方案） ..... 14
2 原理图设计建议 ..... 15
2.1 最小系统设计 ..... 15
2.1.1 时钟电路 ..... 15
2.1.2 复位功能 ..... 16
2.1.3 系统启动引导顺序 ..... 16
2.1.4 系统初始化配置信号 ..... 17
2.1.5 JTAG Debug电路 ..... 18
2.1.6 系统电源介绍 ..... 19
2.1.7 上电时序介绍 ..... 19
2.1.8 电源管理（PMU）接口介绍 ..... 20
2.1.9 待机电源方案 ..... 21
2.1.10 DDR电路设计 ..... 22
2.1.10.1 DMC介绍 ..... 22
2.1.10.2 DDR的拓扑结构和连接方式 ..... 22
2.1.10.3 DDR上电时序要求 ..... 23
2.1.10.4 DDR支持的型号列表 ..... 24
2.1.11 eMMC电路设计 ..... 25
2.1.11.1 eMMC控制器介绍 ..... 25
2.1.11.2 eMMC拓扑结构与连接方式 ..... 25
2.1.11.3 eMMC上电时序要求 ..... 25
2.1.11.4 eMMC支持的型号列表 ..... 25
2.1.12 SLC Nand Flash电路设计 ..... 26
2.1.12.1 NAND控制器介绍 ..... 26
2.1.12.2 Nand拓扑结构与连接方式 ..... 26
2.1.12.3 Nand上电时序要求 ..... 26
2.1.12.4 Flash支持的型号列表 ..... 27
2.1.13 FSPI电路设计 ..... 27
2.1.13.1 FSPI控制器介绍 ..... 27
2.1.13.2 FSPI拓扑结构与连接方式 ..... 27
2.2 电源设计建议 ..... 28
2.2.1 PMIC RK809-2方案介绍 ..... 29
2.2.1.1 RK809-2框图 ..... 29
2.2.1.2 RK809-2特征 ..... 29
2.2.1.3 RV11XX+RK809-2 电源树 ..... 30
2.2.1.4 2.2.1.4 RK809-2注意事项 ..... 31
2.2.1.5 RK809-2设计说明 ..... 32
2.2.2 电源设计建议 ..... 32
2.2.2.1 PLL电源设计 ..... 32
2.2.2.2 ARM电源设计 ..... 32
2.2.2.3 LOGIC电源设计 ..... 33
2.2.2.4 NPU电源设计 ..... 33
2.2.2.5 VEPU电源设计 ..... 34
2.2.2.6 动态调压 ..... 34
2.2.2.7 DDR电源设计 ..... 35

Rockchip Confidential

2.2.2.8 GPIO电源设计 ..... 36
2.2.3 电源峰值电流表 ..... 37
2.3 外围接口设计建议 ..... 37
2.3.1 SDMMC 接口 ..... 37
2.3.2 SDIO 接口 ..... 38
2.3.3 以太网接口 ..... 38
2.3.4 VI接口 ..... 40
2.3.4.1 MIPI-CSI/LVDS/Sub-LVDS 接口 ..... 40
2.3.4.2 并口输入 ..... 41
2.3.5 VO接口 ..... 42
2.3.5.1 MIPI-DSI ..... 42
2.3.5.2 并行VO接口设计 ..... 42
2.3.6 SPI接口 ..... 43
2.3.6.1 SPI控制器介绍 ..... 43
2.3.6.2 SPI拓扑结构与连接方式 ..... 44
2.3.7 USB ..... 44
2.3.8 SARADC ..... 46
2.3.9 UART和调试 ..... 46
2.3.10 I2C ..... 47
2.3.11 PWM ..... 48
2.3.12 CAN 总线 ..... 48
2.3.13 音频电路 ..... 49
2.3.13.1 I2S0/TDM/PCM ..... 49
2.3.13.2 I2S1/I2S2 ..... 50
2.3.13.3 PDM 接口 ..... 50
2.3.13.4 Audio PWM 接口 ..... 51
2.3.13.5 Audio DSM 接口 ..... 51
2.3.13.6 RV11XX与RK809-2的Codec方案 ..... 52
**3 PCB设计 ..... 55**
3.1 电源与滤波电容设计 ..... 55
3.2 晶振PCB设计 ..... 55
2.1 DDR PCB设计 ..... 56
3.3 FLASH/eMMC电路设计 ..... 57
3.4 SPI电路设计 ..... 58
3.5 SDMMC0/SDIO PCB设计 ..... 58
3.6 RGMII信号PCB设计 ..... 58
3.7 Video input PCB 设计 ..... 59
3.8 Video output PCB设计 ..... 59
3.9 USB PCB设计 ..... 60
**4 热设计建议 ..... 60**
4.1 热仿真结果 ..... 60
4.1.1 结果概要 ..... 60
4.1.2 PCB描述 ..... 61
4.1.3 术语解释 ..... 61
4.2 芯片内部热控制方式 ..... 62
4.2.1 温度控制策略 ..... 62
4.2.2 温度控制配置 ..... 62
**5 ESD/EMI防护设计 ..... 63**
5.1 概述 ..... 63
5.2 术语解释 ..... 63
5.3 ESD防护 ..... 63
5.4 EMI防护 ..... 63

Rockchip Confidential

**6 焊接工艺 ..... 65**
6.1 概述 ..... 65
6.2 术语解释 ..... 65
6.3 回流焊要求 ..... 65
6.3.1 焊膏成分要求 ..... 65
6.3.2 SMT曲线 ..... 65
6.3.3 SMT建议曲线 ..... 66
**7 包装和存放条件 ..... 68**
7.1 概述 ..... 68
7.2 术语解释 ..... 68
7.3 防潮包装 ..... 68
7.4 产品存放 ..... 69
7.4.1 存放环境 ..... 69
7.4.2 暴露时间 ..... 69
7.5 潮敏产品使用 ..... 69

Rockchip Confidential

# 插图目录

图 1–1 RV1126与RV1109的差异 ..... 12
图 1–2 RV11XX芯片功能框图 ..... 13
图 1–3 RV11XX典型应用框图（PMIC方案） ..... 14
图 2–1 RV11XX晶体电路 ..... 15
图 2–2 RV11XX待机时钟输入 ..... 16
图 2–3 RV11XX芯片复位引脚 ..... 16
图 2–4 RK809-2复位引脚 ..... 16
图 2–5 FLASH_VOL_SEL 功能 ..... 17
图 2–6 SDMMC0/DEBUG复用控制管脚 ..... 17
图 2–7 JTAG连接方式 ..... 19
图 2–8上电时序 ..... 20
图 2–9待机电路方案 ..... 21
图 2–10 LPDDR3 拓扑结联接图 ..... 23
图 2–11 DDR_CLK串电阻 ..... 23
图 2–12 DDR3 SDRAM上电时序 ..... 23
图 2–13 LPDDR3 SDRAM上电时序 ..... 24
图 2–14 DDR4 SDRAM上电时序 ..... 24
图 2–15 LPDDR4 SDRAM上电时序 ..... 24
图 2–16 eMMC颗粒上下电时序 ..... 25
图 2–17 Nand FLASH上电时序 ..... 27
图 2–18 RV11XX FSPI控制模块 ..... 28
图 2–19 RK809-2框图 ..... 29
图 2–20 RK809-2电源架构 ..... 31
图 2–21 RK809-2电源时序 ..... 31
图 2–22 RV11XX PLL电源 ..... 32
图 2–23 RV11XX VDD_ARM电源 ..... 33
图 2–24 RV11XX VDD_ARM电源去耦电容 ..... 33
图 2–25 RV11XX VDD_LOGIC电源 ..... 33
图 2–26 RV11XX VDD_LOGIC电源的去耦 ..... 33
图 2–27 RV11XX VDD_NPU电源 ..... 34
图 2–28 RV11XX VDD_NPU电源的去耦 ..... 34
图 2–29 RV11XX VDD_VEPU电源 ..... 34
图 2–30芯片VDD_VEPU电源的去耦 ..... 34
图 2–31 PWM调压 ..... 35
图 2–32 RV11XX VCC_DDR电源 ..... 35
图 2–33 LPDDR3 SDRAM的VREF电源设计 ..... 36
图 2–34 RV11XX TF卡 ..... 37
图 2–35 RV11XX GMAC Clock电路 ..... 39
图 2–36 RV11XX RGMII信号连接示意图 ..... 39
图 2–37 RV11XX RMII信号连接示意图 ..... 39
图 2–38 RV11XX MIPI-CSI/LVDS/sub-LVDS模块 ..... 41
图 2–39 RV11XX CIF 连接口 ..... 41
图 2–40 RV11XX USB模块 ..... 44
图 2–41 RV11XX USB控制器参考电阻 ..... 44
图 2–42 RV11XX USB控制器电源 ..... 45
图 2–43 RV11XX USB预留共模电感 ..... 45
图 2–44 RV11XX USB兼容性提高电路 ..... 45
图 2–45 SARADC_KEY ..... 46
图 2–46 RV11XX 串口配置 ..... 47
图 2–47 RV11XX 音频滤波电路 ..... 51
图 2–48 RV11XX Audio AUDDSM参考设计 ..... 52
图 2–49 RK809-2 Codec电路 ..... 52

Rockchip Confidential

图 2–50喇叭输出电路 ..... 53
图 2–51 MIC方案一 ..... 53
图 2–52 MIC方案二 ..... 54
图 2–53 MIC方案三 ..... 54
图 3–1 PLL电源PCB ..... 55
图 3–2 晶振PCB ..... 56
图 4–1 θJA的定义 ..... 61
图 4–2 θJC的定义 ..... 61
图 4–3 θJB的定义 ..... 62
图 6–1 回流焊曲线分类 ..... 65
图 6–2 无铅工艺器件封装体耐热标准 ..... 66
图 6–3 无铅回流焊接工艺曲线 ..... 66
图 6–4 无铅回流焊接工艺建议曲线参数 ..... 66
图 7–1 芯片干燥真空包装 ..... 68
图 7–2 六点湿度卡 ..... 69

Rockchip Confidential

# 插表目录

表 2–1 24MHz时钟要求 ..... 15
表 2–2 32.768KHz时钟要求 ..... 16
表 2–3系统初始化配置信号描述 ..... 18
表 2–4 JTAG Debug接口信号 ..... 18
表 2–5 A7-JTAG-M1接口信号 ..... 18
表 2–6 DDR核心模板 ..... 22
表 2–7 eMMC接口设计 ..... 25
表 2–8 Nand Flash 接口设计 ..... 26
表 2–9 FSPI接口设计 ..... 27
表 2–10 PLL电源介绍 ..... 32
表 2–11 GPIO电源脚描述 ..... 36
表 2–12 RV11XX 峰值电流表 ..... 37
表 2–13 SDMMC接口设计 ..... 38
表 2–14 RV11XX SDIO接口设计 ..... 38
表 2–15 RV11XX RGMII接口设计 ..... 39
表 2–16 RV11XX MIPIDSI 接口设计 ..... 42
表 2–17信号接口模式与对应引脚 ..... 42
表 2–18并行VO信号设计要求 ..... 43
表 2–19 SPI复用接口 ..... 43
表 2–20 RV11XX SPI接口设计 ..... 44
表 2–21 RV11XX USB2.0接口设计 ..... 45
表 2–22 UART复用表格 ..... 47
表 2–23 RV11XX UART上下拉和匹配设计 ..... 47
表 2–24 I2C复用表格 ..... 48
表 2–25 RV11XX CAN Bus接口设计 ..... 48
表 2–26 RV11XX I2S0接口设计 ..... 49
表 2–27 RV11XX I2S1/2接口设计 ..... 50
表 2–28 RV11XX PDM接口设计 ..... 50
表 3–1 DDR3/DDR4/LPDDR4 Layout Requirements ..... 56
表 3–2 LPDDR3 Layout Requirements ..... 56
表 3–3 SFC Layout Requirements ..... 57
表 3–4 NAND FLASH Layout Requirements ..... 57
表 3–5 eMMC Layout Requirements ..... 57
表 3–6 SPI Layout Requirements ..... 58
表 3–7 SDMMC/SDIO Layout Requirements ..... 58
表 3–8 RGMII Layout Requirements ..... 58
表 3–9 MIPI Layout Requirements ..... 59
表 3–10 BT1120 Layout Requirements（≤74.25Mhz） ..... 59
表 3–11 BT1120 Layout Requirements（148.5Mhz） ..... 59
表 3–12 LCDC Layout Requirements（≤74.25Mhz） ..... 60
表 3–13 LCDC Layout Requirements（148.5Mhz） ..... 60
表 3–14 USB 2.0 Layout Requirements ..... 60
表 4–1芯片热阻仿真报告结果 ..... 60
表 4–2芯片热阻仿真的PCB结构 ..... 61
表 7–1暴露时间参照表（MSL） ..... 69
表 7–2 RV11XX 芯片 Re-bake参考表 ..... 69

Rockchip Confidential

# 1 系统概述

## 1.1 概述

RV1126及RV1109是专用于视觉处理的高性能处理器SoC，可广泛应用于智能门锁、智能门铃、网络摄像头、行车记录仪、游戏互动、网络直播等智能化升级的相关行业。

RV1126及RV1109封装完全兼容，引脚信号定义一致，主要差别在于ARM、NPU、ISP等算力能力的差异,可参考下表或芯片规格书，本文中关于两芯片的接口功能类的描述不再严格区分型号，文中将两者统称为“RV11XX”。

RV1126基于四核 Arm Cortex-A7 32位内核，集成NEON和FPU。RV1109基于双核 Arm Cortex-A7 32位内核，集成NEON和FPU。每个核心都有一个32KB I-cache和32KB D-cache以及512KB的共用二级缓存。内置NPU支持INT8/INT16混合操作，算力强大。另外由于其强大的兼容性，很多网络模型如TensorFlow/MXNet/PyTorch/Caffe等可以很容易地转换。

RV11XX还引入了新一代完全基于硬件的图像信号处理器和后处理器，芯片直接集成了众多算法加速器，可用于IPC和CVR等产品，如HDR、3A功能（AE、AF、AWB）、LSC、3DNR、2DNR、锐化，dehaze、鱼眼校正、gamma校正、特征点检测等功能。芯片集成两个MIPI CSI（或LVDS/SubLVDS）和一个DVP接口，可以支持多摄像头应用。其他各类接口详见下文描述或参考规格书。

| 芯片规格 | RV1126 | RV1109 |
|---|---|---|
| ARM | 4核A7*1.5GHz | 双核A7*1.5GHz |
| NPU | 2.0 Tops | 1.2 Tops |
| ISP | 14M Pixel | 5M Pixel |

图 1–1 RV1126与RV1109的差异

Rockchip Confidential

## 1.2 芯片框图

图 1–2 RV11XX芯片功能框图

Rockchip

## 1.3 应用框图

### 1.3.1 典型应用框图（PMIC 方案）

图 1–3 RV11XX典型应用框图（PMIC方案）

以上是RV11XX芯片采用PMIC芯片RK809-2时的应用框图，详情请参考我司发布的参考设计原理图。

Rockchip

# 2 原理图设计建议

## 2.1 最小系统设计

### 2.1.1 时钟电路

RV11XX芯片内部的反馈电路与外置的24MHz晶体振荡电路一起构成系统时钟电路，推荐的晶振连接方式及器件参数如图2-1所示。

图 2–1 RV11XX晶体电路

**注意**

*选用的电容需要与晶振的负载电容匹配，材质建议采用NPO。建议选用4Pin 贴片晶振，其中2个GND管脚与地充分连接，增强系统时钟抗ESD干扰能力。选用24MHz频偏20ppm。*

系统24MHz时钟使用有源晶体时，从管脚XIN24M输入，管脚XOUT24M悬空，时钟的幅度是1.8V±10%。时钟参数如下表2-1所示：

表 2–1 24MHz时钟要求

| 参数 | 规范. | | | 描述 |
|---|---|---|---|---|
| | 最小Min. | 最大Max. | 单位Unit | |
| 频率 | 24.000000 | | MHz | |
| 频率偏差 | +/-20 | | ppm | |
| 时钟幅度 | 1.8V±10% | | V | |
| 工作温度 | -20 | 70 | ℃ | |
| ESR | / | 40 | Ohm | |

RV11XX芯片在待机时所需要的32.768KHz时钟，可以由PMU内部的PVTM提供，也可以由外部输入32.768KHz时钟。此32.768KHz时钟信号可以从PMIC或外置RTC时钟源获取，输入到引脚pin AA3，如下图所示。

Rockchip Confidential

图 2–2 RV11XX待机时钟输入

外置32.768KHz RTC时钟参数如下表2-2所示：

表 2–2 32.768KHz时钟要求

| 参数 | 规范 | | | 描述 |
|---|---|---|---|---|
| | 最小Min. | 最大Max. | 单位Unit | |
| 频率 | 32.768000 | | kHz | |
| 频率偏差 | +/-30 | | ppm | |
| 时钟幅度 | PMUIO0_VDD±10% | | V | |
| 工作温度 | -20 | 70 | ℃ | |
| 占空比 | 50 | | % | |

## 2.1.2 复位功能

RV11XX硬件复位通过nPOR引脚来实现，低电平有效，为保证芯片稳定工作，所需的最短复位时间为100个24MHz时钟周期，即至少4us以上。

建议复位信号并联100nF电容，靠近芯片引脚放置，增强抗干扰能力，防止误触发导致系统复位。RV11XX芯片配套使用的电源管理芯片为RK809-2，此芯片有固定的上电时序及复位动作，可以保证可靠复位。NPOR引脚所在的IO电源域的电平要保持跟RESET引脚的上拉电平一致。如图2-3，2-4所示。

图 2–3 RV11XX芯片复位引脚

图 2–4 RK809-2复位引脚

## 2.1.3 系统启动引导顺序

RV11XX系统允许多种启动引导方式，在系统复位后，芯片内部集成的启动代码会按如下顺序进行自动判断引导：

- SPI FLASH
- Nand FALSH
- eMMC FLASH
- SDMMC CARD

- USB OTG

### 2.1.4 系统初始化配置信号

RV11XX中有两个信号会影响系统的启动配置，分别是PIN Y8 FLASH_VOL_SEL及PIN U7 SDMMC0_DET。在系统复位释放时，芯片会根据两引脚的输入电平配置相应模块的开机默认功能。

PIN Y8 FLASH_VOL_SEL用来配置存储接口IO的VCCIO1_VDD电源域电平，以保证电平与启动代码的配置相匹配，如果外部存储接口的IO电平是1.8V，则此引脚在复位期间须保持为高电平；反之存储接口的IO电平是3.3V，则此引脚在复位期间须保持为低电平（FLASH_VOL_SEL引脚芯片内部有下拉，可悬空处理）。

PIN Y8的开机电平状态要求务必与存储接口的实际供电相匹配，以免造成系统稳定性风险。

图 2–5 FLASH_VOL_SEL 功能

PIN U7 SDMMC0_DET用来配置系统启动时的默认功能，当检测为高时，切换为JTAG功能，当检测为低（正常SD卡的插入状态）时，切换为SDMMC功能。此功能主要考虑带SD卡功能的机器装整机后，可以在不拆机状态下方便地进行系统底层调试。

图 2–6 SDMMC0/DEBUG复用控制管脚

Pin T8 TVSS 引脚状态决定RV11XX的模式，0接地为正常功能模式，1为测试模式。

管脚的配置方式如下表所示：

表 2–3系统初始化配置信号描述

| 信号名 | 内部上下拉 | 描述 |
|---|---|---|
| FLASH_VOL_SEL | 下拉 | FLASH(VCCIO1)电源域电平配置管脚：<br>0：IO电平模式为3.3V（default）；<br>1：IO电平模式为1.8V； |
| SDMMC0_DET | 上拉 | JTAG管脚复用选择控制信号：<br>0：识别为SD卡插入，SDMMC/JATG/UART管脚复用为SDMMC输出；<br>1：未识别为SD卡插入，SDMMC/JATG/UART管脚复用为JTAG功能（default）； |
| TVSS | NA | 功能模式和测试模式选择：<br>0：功能模式，连接到GND；<br>1：测试模式。 |

### 2.1.5 JTAG Debug 电路

RV11XX芯片的A7_JTAG接口符合IEEE1149.1标准，PC可通过SWD模式（两线模式）连接DSTREAM仿真器，调试芯片内部的ARM Core。RV11XX芯片的MCU_JTAG符合IEEE1149.1标准，PC可通过四线模式，调试芯片内部的MCU。

如上小节所述，PIN U7 SDMMC0_DET引脚为高时（默认为高），系统启动时默认切为A7_JTAG功能。JTAG-A7功能对应的引脚为：

表 2–4 JTAG Debug接口信号

| 引脚 | 信号名 | 描述 |
|---|---|---|
| V13 | A7_JTAG_TCK_M0 | Cortex-A7 JTAG interface clock input/SWD interface clock input |
| U13 | A7_JTAG_TMS_M0 | Cortex-A7 JTAG interface TMS input/SWD interface data out |
| W13 | MCU_JTAG_TRSTn | MCU JTAG reset signal |
| V13 | MCU_JTAG_TCK | MCU JTAG interface TCK input |
| U13 | MCU_JTAG_TMS | MCU JTAG mode selection input signal |
| AA13 | MCU_JTAG_TDO | MCU JTAG interface TDO output |
| Y13 | MCU_JTAG_TDI | MCU JTAG interface TDI input |

A7-JATG也复用在VCCIO5电源域，命名为A7-JTAG_M1。而且A7-JTAG_M1接口跟UART2_M1接口复用，默认的功能是UART2功能，如果把UART2_RX_M1持续拉低一段时间，可以切换到切到A7-JTAG功能。

表 2–5 A7-JTAG-M1接口信号

| 引脚 | 信号名 | 描述 |
|---|---|---|
| G18 | A7_JTAG_TCK_M1/UART2_TX_M1 | Cortex-A7 JTAG interface clock input/SWD interface clock input |
| H16 | A7_JTAG_TMS_M1/UART2_RX_M1 | Cortex-A7 JTAG interface TMS input/SWD interface data out |

注意

*MCU_JTAG_TCK与A7_JTAG_TCK_M0复用同一个引脚V13，默认为A7_JTAG_TCK_M0功能。*
*MCU_JTAG_TMS与A7_JTAG_TMS_M0复用同一个引脚U13，默认A7_JTAG_TMS_M0功能。 所以如果需要A7-JTAG功能，请使用这两个引脚。*

JTAG连接方式及标准连接器管脚定义如下图所示：

Rockchip Confidential

图 2–7 JTAG连接方式

## 2.1.6 系统电源介绍

- PLL的供电：PLL_AVDD_0V8、PLL_AVDD_1V8
- OSC的供电：PMUIO_VDD_0V8、PLL_AVDD_1V8
- ARM供电：ARM_VDD
- LOGIC供电：LOGIC_VDD
- NPU供电：NPU_VDD
- Encode供电：VEPU_VDD
- DDR供电: VCC_DDR
- PMU GPIO：PMUIO_VDD_0V8、PMUIO_VDD_1V8、PMUIO0_VDD、PMUIO1_VDD
- OTP和ADC供电：ADC_AVDD_1V8
- IO PAD PVT供电：VCCIO_VDD_1V8
- USB供电：USB_AVDD_0V8、USB_AVDD_1V8、USB_AVDD_3V3
- MIPI DSI供电:MIPI_DSI_TX0_AVDD_0V8、MIPI_DSI_TX0_AVDD_1V8
- MIPI CSI供电：MIPI_CSI_RX0_AVDD_0V8、MIPI_CSI_RX1_AVDD_0V8、MIPI_CSI_RX0_AVDD_1V8、MIPI_CSI_RX1_AVDD_0V8

## 2.1.7 上电时序介绍

上电时序要求如图所示：

Rockchip Confidential

图 2–8上电时序

上电时序说明如下：

■ 数字VDD需要按照如下的顺序上电：

PMUIO_VDD_0V8/PLL_AVDD_0V8-→LOGIC_VDD/ARM_VDD/NPU_VDD/VEPU_VDD

■ USB 上电说明

USB_AVDD_0V8-→USB_AVDD_1V8-→USB_AVDD_3V3

同时要求这3个电源的上电的上升沿: Tup>200us，三个上电时序的时间间隔Td>0us即可以。

■ MIPI DSI/CSI

要求MIPI_DSI_TX0_AVDD_0V8/ MIPI_CSI_RX0_AVDD_0V8/MIPI_CSI_RX1_AVDD_0V8-→ MIPI_DSI_TX0_AVDD_1V8/ MIPI_CSI_RX0_AVDD_1V8/MIPI_CSI_RX1_AVDD_1V8 即可以，时间间隔Td>0us。

■ DDR PHY

VDDQ（VCC_DDR）跟PLL_AVDD_1V8同时上电，或者比PLL_AVDD_1V8晚上电都可以。

总结：

上电时序遵循：

0.8V（最小系统所有的0.8V电源）→ LOGIC_VDD/ARM_VDD/NPU_VDD/VEPU_VDD→ 1.8V（最小系统所有的1.8V）→ VCC_DDR→3.3V(最小系统的所有3.3V)

要求所有电源的上升沿Tup>200us,时序的时间间隔Td>0us。

分立电源方案电源设计要注意满足上电时序要求。使用RK PMIC方案上电时序出厂前已写好。

### 2.1.8 电源管理（PMU）接口介绍

RV11XX的电源管理（PMU）模块可以对非常供电模块进行使能控制，接收按键信号/上升沿信号

Rockchip Confidential

进行上下电控制以及接受外设输出的唤醒信号，从而实现产品的待机和唤醒的功能。

- PMU模块的供电管脚 PMUIO0_VDD、PMUIO1_VDD、PMUIO_VDD_0V8和PMUIO_VDD_1V8 常供电。
- PMUIO0_VDD和PMUIO1_VDD分别表示各自电源域的IO电平，可以连接1.8V或者3.3V。
- pinW7为nPOR为系统的复位引脚（如2.1.2小节所述），低电平有效。
- Pin W10为 PMIC_INT功能，可以接收PMIC回传的中断信息。
- Pin Y10为PMIC_SLEEP功能，此管脚用于控制非常供电的电源。系统进入待机状态时，此管脚会输出高电平的休眠指示信号，根据软件dts文件的配置，部份电源会关闭，部分电源会调低电压。当系统被唤醒时，PMIC_SLEEP恢复低电平输出状态，恢复各路电源输出。
- Pin Y5为TSADC_SHUT功能，此管脚可用于控制nPOR，可以通过一个0R电阻连接到RESET。芯片温度超出所设置的温度时，此管脚可以输出低电平信号，对RV11XX和RK809-2进行复位、控制电源下电并重新上电，在寄存器清零的同时复位整个系统。

### 2.1.9 待机电源方案

RV11XX系统电源采用低功耗设计，待机状态下可分为常供电区和待机掉电区，两部分独立供电，如图所示。

图 2–9待机电路方案

待机状态下保留如下四组电源不关断：

- DDR：VCC_DDR，为DDR自刷新提供电源；
- PMU：PMUIO0/1_VDD、PMUIO_VDD_0V8和PMUIO_VDD_1V8，提供对应PMU电源域的IO供电及PMU内部硬件逻辑供电；
- PLL：PLL_AVDD_0V8&PLL_AVDD_1V8，为PLL及OSC工作提供电源；
- LOGIC_VDD不掉电

注意

*如果应用上，在待机时有任何一组VCCIO不断电，那么VCCIO_VDD_1V8也不能断电。*

## 2.1.10DDR 电路设计

### 2.1.10.1 DMC介绍

DMC包括DDR协议控制器（PCTL）和DDRPHY，它们是DDR内存子系统的完整内存接口解决方案。

RV11XX DDR控制器接口支持JEDEC SDRAM标准接口，控制器有如下特点：

- 支持DDR3/DDR3L/DDR4/LPDDR3/LPDDR4等标准；
- 支持最多2个RANK，最大4GB容量；
- 支持32位、16位DDR数据总线宽度；
- 低功耗模式，如Power Down和SDRAM自刷新；

### 2.1.10.2 DDR的拓扑结构和连接方式

为了使PCBlayout方便，不同的位宽不同类型的DDR颗粒layout时，采用不同的线序，请参考发布的《RV1126_RV1109_Template》，参照模板的线序和layout。

表 2–6 DDR核心模板

| DDR类型 | 核心模板名称 | 模板特征 |
|---|---|---|
| DDR3 | RV1126_RV1109_Template_DDR3P216DD4_V10_20200617 | **板层**：4层板<br>**DDR数量**：支持贴1颗或2颗DDR颗粒,如果只贴单个颗粒，要使用lane0和lane2（这个颗粒）。<br>**DDR芯片布局** ：D-双面贴 |
| DDR3 | RV1126_RV1109_Template_DDR3P216SD4_V10_20200619 | **板层**：4层板<br>**DDR数量**：支持贴1颗或2颗DDR颗粒,如果只贴单个颗粒，要使用lane0和lane2（这个颗粒）。<br>**DDR芯片布局** ：S-单面贴 |
| DDR3 | RV1126_RV1109_Template_DDR3P216DD6_V10_20200325 | **板层**：6层板<br>**DDR数量**：只支持2颗DDR颗粒。<br>**DDR芯片布局** ：D-双面贴 |
| DDR3 | RV1126_RV1109_Template_DDR3P416DD6_V10_20200423 | **板层**：6层板<br>**DDR数量**：支持4颗DDR颗粒。<br>**DDR芯片布局** ：D-双面贴 |
| DDR4 | RV1126_RV1109_Template_DDR4P216DD6_V10_20200325 | **板层**：6层板<br>**DDR数量**：支持贴1颗或2颗DDR颗粒,如果只贴单个颗粒，要使用lane0和lane2（这个颗粒）。<br>**DDR芯片布局** ：D-双面贴 |
| LPDDR3 | RV1126_RV1109_Template_LP3S178P132SD6_V10_20200325 | **板层**：6层板<br>**DDR数量**：单颗 178 balls LPDDR3 |
| LPDDR4 | RV1126_RV1109_Template_LP4S200P132SD6_V10_20200325 | **板层**：6层板<br>**DDR数量**：单颗 200 balls LPDDR4 |

注意

*DDR的布局完全拷贝《RV1126_RV1109_Template》，相关的设计文件请见发布包中硬件的部分。如果客户自己设计的DDR模板，必须给RK确认。*

以LPDDR3为例:

Rockchip Confidential

图 2–10 LPDDR3 拓扑结联接图

匹配方式设计建议：

- DQ和DQS双向信号：RV11XX应用中DQ，DQS_P/N信号都是点对点拓扑，直接连接即可。
- 差分时钟：在靠近颗粒末端的位置跨界两个49.9ohm电阻。

图 2–11 DDR_CLK串电阻

- 地址信号和命令：比如设计两颗16bit DDR颗粒时，T型拓扑地址和命令直接连接即可，fly-by拓扑结构的地址和命令信号有时候会串电阻，电阻阻值根据仿真和实测数据而定。目前4层板的DDR3 fly-by的模板串49.9Ohm电阻。
- 外部电阻ZQ选择240ohm，精度1%。

### 2.1.10.3 DDR上电时序要求

RV11XX DDR控制器仅有一组电源：

- DDRIO_VDD：DDR控制器的I/O电源。

SDRAM颗粒包括两组电源，上电时序请参考各JEDEC标准：

- DDR3 SDRAM的上电时序如下图所示：

1. Apply power (RESET# is recommended to be maintained below 0.2 x VDD; all other inputs may be undefined). RESET# needs to be maintained for minimum 200 us with stable power. CKE is pulled "Low" anytime before RESET# being de-asserted (min. time 10 ns). The power voltage ramp time between 300 mv to VDDmin must be no greater than 200 ms; and during the ramp, VDD > VDDQ and (VDD - VDDQ) < 0.3 volts.
   - VDD and VDDQ are driven from a single power converter output, AND
   - The voltage levels on all pins other than VDD, VDDQ, VSS, VSSQ must be less than or equal to VDDQ and VDD on one side and must be larger than or equal to VSSQ and VSS on the other side. In addition, VTT is limited to 0.95 V max once power ramp is finished, AND
   - Vref tracks VDDQ/2.

OR

- Apply VDD without any slope reversal before or at the same time as VDDQ.
- Apply VDDQ without any slope reversal before or at the same time as VTT & Vref.
- The voltage levels on all pins other than VDD, VDDQ, VSS, VSSQ must be less than or equal to VDDQ and VDD on one side and must be larger than or equal to VSSQ and VSS on the other side.

图 2–12 DDR3 SDRAM上电时序

- LPDDR3 SDRAM的上电时序如下图所示：

| After... | Applicable Conditions |
|---|---|
| Ta is reached | $V_{DD1}$ must be greater than $V_{DD2}$—200mV |
| | $V_{DD1}$ and $V_{DD2}$ must be greater than $V_{DDCA}$—200mV |
| | $V_{DD1}$ and $V_{DD2}$ must be greater than $V_{DDQ}$—200mV |
| | $V_{Ref}$ must always be less than all other supply voltages |

图 2–13 LPDDR3 SDRAM上电时序

■ DDR4 SDRAM的上电时序如下图所示：

1. Apply power (RESET_n is recommended to be maintained below 0.2 x VDD; all other inputs may be undefined). RESET_n needs to be maintained for minimum 200us with stable power. CKE is pulled " Low" anytime before RESET_n being de-asserted (min. time 10ns) . The power voltage ramp time between 300mV to $V_{DD}$ min must be no greater than 200ms; and during the ramp, $V_{DD} \geq V_{DDQ}$ and $(V_{DD}-V_{DDQ}) < 0.3$volts. VPP must ramp at the same time or earlier than VDD and VPP must be equal to or higher than VDD at all times.
   - $V_{DD}$ and $V_{DDQ}$ are driven from a single power converter output, AND
   - The voltage levels on all pins other than $V_{DD}$,$V_{DDQ}$,$V_{SS}$,$V_{SSQ}$ must be less than or equal to $V_{DDQ}$ and $V_{DD}$ on one side and must be larger than or equal to $V_{SSQ}$ and $V_{SS}$ on the other side. In addition, $V_{TT}$ is limited to TBDV max once power ramp is finished, AND
   - VrefCA tracks TBD.

   or
   - Apply $V_{DD}$ without any slope reversal before or at the same time as $V_{DDQ}$
   - Apply $V_{DDQ}$ without any slope reversal before or at the same time as $V_{TT}$ & VrefCA.
   - Apply VPP without any slope reversal before or at the same time as VDD.
   - The voltage levels on all pins other than $V_{DD}$,$V_{DDQ}$,$V_{SS}$,$V_{SSQ}$ must be less than or equal to $V_{DDQ}$ and $V_{DD}$ on one side and must be larger than or equal to $V_{SSQ}$ and $V_{SS}$ on the other side.

图 2–14 DDR4 SDRAM上电时序

■ LPDDR4 SDRAM的上电时序如下图所示：

The following sequence shall be used to power up the LPDDR4 device. Unless specified otherwise, these steps are mandatory. Note that the power-up sequence of all channels must proceed simultaneously.

1. While applying power (after Ta), RESET_n is recommended to be LOW (≤0.2 x VDD2) and all other inputs must be between VILmin and VIHmax. The device outputs remain at High-Z while RESET_n is held LOW. Power supply voltage ramp requirements are provided in Table 4. VDD1 must ramp at the same time or earlier than VDD2. VDD2 must ramp at the same time or earlier than VDDQ.

**Table 4 — Voltage Ramp Conditions**

| After | Applicable Conditions |
|---|---|
| Ta is reached | VDD1 must be greater than VDD2 |
| | VDD2 must be greater than VDDQ - 200mV |

NOTE 1 Ta is the point when any power supply first reaches 300mV.
NOTE 2 Voltage ramp conditions in Table 4 apply between Ta and power-off (controlled or uncontrolled).
NOTE 3 Tb is the point at which all supply and reference voltages are within their defined ranges.
NOTE 4 Power ramp duration tINIT0 (Tb-Ta) must not exceed 20ms.
NOTE 5 The voltage difference between any of Vss and Vssq pins must not excess 100mV.

图 2–15 LPDDR4 SDRAM上电时序

### 2.1.10.4 DDR支持的型号列表

RV11XX DDR接口最高工作频率支持到1056MHz，DDR颗粒支持列表参看文档《RK DDR Support List》，该文档可在我司的redmine平台上下载：

https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pctim_aiomsg

## 2.1.11eMMC 电路设计

### 2.1.11.1 eMMC控制器介绍

RV11XX eMMC接口支持eMMC 4.51,并兼容4.41，控制器有如下特点：

- 与标准INAND接口兼容；
- 支持1-bit，4-bit和8-bit三种数据总线宽度；
- 最高速率150MB/s；

### 2.1.11.2 eMMC拓扑结构与连接方式

eMMC接口支持接口上下拉和匹配设计推荐如表2-5所示。

表 2–7 eMMC接口设计

| 信号 | 内部上下拉 | 连接方式 | 描述（芯片端） |
|---|---|---|---|
| eMMC_DQ[7:0] | 上拉 | 直连，D0外部用4.7K电阻上拉 | eMMC数据发送/接收 |
| eMMC_CLK | 上拉 | 串联22ohm电阻 | eMMC时钟发送 |
| eMMC_CMD | 上拉 | 直连，外部用4.7K电阻上拉 | eMMC命令发送/接收 |

### 2.1.11.3 eMMC上电时序要求

RV11XX芯片eMMC控制器属于VCCIO1_VDD电源域：

- VCCIO1_VDD：eMMC控制器的I/O电源，注意此电源须与上文提及的FLASH_VOL_SEL的电平配置相匹配。

eMMC颗粒有两组电源，上电时序请参考JEDEC标准：

- VCC与VCCQ在上电时序上没有先后要求；
- VCC与VCCQ必须在RV11XX的CMD命令发出前上电，并保持稳定的工作电压；
- 在颗粒进入睡眠模式后，RV11XX可以关断VCC电源以降低功耗；
- 在颗粒从睡眠模式被唤醒前，VCC电源必须先上电，并保持稳定的工作电压；

图 2–16 eMMC颗粒上下电时序

### 2.1.11.4 eMMC支持的型号列表

RV11XX eMMC器件支持列表可参考文档《RK eMMCSupportList》，该文档可在我司的redmine平台上下载：

https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pctim_aiomsg

Confidential

## 2.1.12 SLC Nand Flash 电路设计

### 2.1.12.1 NAND控制器介绍

NANDC支持以下特性:

- 仅支持SLC FLASH，不支持MLC,TLC Nand Flash；
- 支持8位数据宽度的异步闪存接口。
- 仅支持单片选器件。
- 支持16位BCH/ECC。

### 2.1.12.2 Nand拓扑结构与连接方式

Nand接口上下拉和匹配设计推荐如所示。

表 2–8 Nand Flash 接口设计

| 信号 | 内部上下拉 | 连接方式method | 描述（芯片端） |
|---|---|---|---|
| Flash_DQ[7:0] | 上拉 | 直连 | NAND FLASH data |
| Flash_CS0n | 上拉 | 直连 | CS signal of NAND FLASH |
| Flash_WRn | 上拉 | 直连 | NAND FLASH Write enable |
| Flash_CLE | 下拉 | 直连 | NAND FLASH command latch enable |
| Flash_ALE | 下拉 | 直连 | NAND FLASH address latch enable |
| Flash_RDYn | 上拉 | 直连，4.7K电阻上拉 | NAND FLASH Ready/busy |
| Flash_RDn | 上拉 | 直连 | NAND FLASH Read enable |
| Flash_WPn | 下拉 | 直连 | NAND FLASH Write protect |

### 2.1.12.3 Nand上电时序要求

RV11XX芯片Nand Flash 控制器属于VCCIO1_VDD电源域：

- VCCIO1_VDD：Nand Flash控制器的I/O电源，请注意须与上文提及的FLASH_VOL_SEL的电平配置相匹配。

Nand Flash颗粒有两组电源，上电时序请参考JEDEC标准：

Once $V_{CC}$ and VccQ reach the $V_{CC}$ minimum and VccQ minimum values, respectively, listed in Table 5 and power is stable, the R/B_n signal shall be valid after RB_valid_Vcc and shall be set to one (Ready) within RB_device_ready, as listed in Table 16. R/B_n is undefined until 50 µs has elapsed after $V_{CC}$ has started to ramp. The R/B_n signal is not valid until both of these conditions are met.

| Parameter | Raw NAND | EZ NAND |
|---|---|---|
| RB_valid_Vcc | 10 µs | 250 µs |
| RB_device_ready | 1 ms | 2 ms |

**Table 16 R/B_n Power-on Requirements**

During power-on, VccQ shall be less than or equal to Vcc at all times. Figure 19 shows VccQ ramping after Vcc, however, they may ramp at the same time.

Confidential

**Figure 19 R/B_n Power-On Behavior**

Ready/Busy is implemented as an open drain circuit, thus a pull-up resistor shall be used for termination. The combination of the pull-up resistor and the capacitive loading of the R/B_n circuit determines the rise time of R/B_n.

图 2–17 Nand FLASH上电时序

#### 2.1.12.4 Flash支持的型号列表

RV11XX NAND **Flash**器件支持列表可参考文档《RK SpiNor and SLC Nand SupportList》，该文档可在我司redmine平台上下载：

https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pctim_aiomsg

### 2.1.13FSPI 电路设计

#### 2.1.13.1 FSPI控制器介绍

FSPI是一种灵活的串行外围接口主机控制器，与外部设备接口。

FSPI支持以下特性：

- 支持串行NOR及NAND FLASH;
- 支持SDR模式,支持单/双/四线模式;
- 支持2个片选；

VCCIO1_VDD：SPI Flash控制器的I/O电源，请注意须与上文提及的FLASH_VOL_SEL的电平配置相匹配。

#### 2.1.13.2 FSPI拓扑结构与连接方式

FSPI接口上下拉和匹配设计推荐如表所示。

表 2–9 FSPI接口设计

| 信号 | 内部上下拉 | 连接方式 | 描述（芯片端） |
|---|---|---|---|
| FSPI_DQ0/SI | 上拉 | 直连 | Data0 of SPI FLASH |
| FSPI_DQ1/SO | 上拉 | 直连 | Data1 of SPI FLASH |
| FSPI_DQ2/WP# | 上拉 | 直连，10K电阻上拉到VCC | Data2 of SPI FLASH |
| FSPI_DQ3/HOLD# | 下拉 | 直连，10K电阻上拉到VCC | Data3 of SPI FLASH |
| FSPI_CS0n/CS1n | 下拉 | 直连 | CS signal of SPI FLASH |
| FSPI_CLK | 上拉 | 串22ohm 电阻直连 | Clock signal of SPI FLASH |

Rockchip Confidential

图 2–18 RV11XX FSPI控制模块

注意

*如图2-16所示，FSPI_CS1N的 跟EMMC_D5复用，FSPI的其他引脚跟EMMC没有复用关系，在某种应用场景下，EMMC和SPI FLASH可以同时使用。*

## 2.2 电源设计建议

RV11XX芯片电源设计参数请参见《Rockchip RV1126 Datasheet》电性能参数章节。RV11XX搭配PMIC RK809-2 电源方案。如果使用其他电源方案，上电时序请参考小节2.1.7上电时序介绍。

Rockchip Confidential

## 2.2.1 PMIC RK809-2 方案介绍

### 2.2.1.1 RK809-2框图

图 2–19 RK809-2框图

### 2.2.1.2 RK809-2特征

- 电源输入范围：2.7V-5.5V
- 具有两个独立的电池电压和电流ADC的精准电量计
- 内置实时时钟（RTC）
- 16uA的极低待机电流(在32KHz时钟频率下)
- 实地输出的耳机驱动
- 不含滤波电感的1.3W Class D类功放
- 固定及可编程可选择的电源启动时序控制
- 内置高性能音频编解码器

Rockchip Confidential

- 内置独立PLL
- 支持麦克风输入
- DAC和ADC都支持I2S数字输入
- 支持ALC，限幅器和噪声门
- 支持可编程的数字与模拟增益
- 支持16bits-32bits的比特率
- 采样率高达192kHz
- 软件支持master和slave两种工作模式配置
- 支持3种I2S格式（标准，左对齐，右对齐）
- 支持PDM模式（外部输入PCLK）

■ 电源通道:
- 通道1：同步降压DC-DC转换器，2.5A max
- 通道2：同步降压DC-DC转换器，2.5A max
- 通道3：同步降压DC-DC转换器，1.5A max
- 通道4：同步降压DC-DC转换器，1.5A max
- 通道5：同步降压DC-DC转换器，2.5A max
- 通道6-7、9-14：低压差线性稳压器，500mA max
- 通道8：低噪声、高电源抑制比的低压差线性稳压器，100mA max
- 通道15：开关，3A max
- 通道16：开关，1.5A max

■ 封装：7mmx7mm QFN68

### 2.2.1.3 RV11XX+RK809-2 电源树

Confidential

图 2–20 RK809-2电源架构

## The reference power on sequence of RK809-2 and discrete BUCK

| Power Name | PMIC Channel | Time (step=2ms) | Default voltage | Supply Limit | Default ON/OFF | Sleep ON/OFF | Peak Current |
|---|---|---|---|---|---|---|---|
| VCC_BUCK5 | RK809-2 BUCK5 | Slot: 1 | 2.2V | 2.5A | ON | ON | |
| VCC0V8_PMU | RK809-2 LDO3 | Slot: 2 | 0.8V | 0.1A | ON | ON | |
| VCC_0V8 | RK809-2 LDO1 | Slot: 2 | 0.8V | 0.4A | ON | OFF | |
| VDD_ARM | RK809-2 BUCK2 | Slot: 2 | 0.8V | 2.5A | ON | OFF | 0.73A@1.8GHz |
| VDD_NPU | RK809-2 BUCK1 | Slot: 2 | 0.8V | 2.0A | ON | OFF | 1.34A@934MHz |
| VDD_VEPU | RK809-2 BUCK1 | Slot: 2 | 0.8V | 2.0A | ON | OFF | 0.77A@700MHz |
| VDD_LOGIC | Ext(SY8089AAC) | Slot 1+3ms | 0.8V | 2.5A | ON | ON | 1.75A |
| VCC_DDR | RK809-2 BUCK3 | Slot: 3 | 1.5V | 1.5A | ON | ON | |
| VCC1V8_PMU | RK809-2 LDO2 | Slot: 3 | 1.8V | 0.4A | ON | ON | |
| VCC_1V8 | RK809-2 LDO4 | Slot: 3 | 1.8V | 0.4A | ON | OFF | |
| VCC3V3_SYS | RK809-2 BUCK4 | Slot: 4 | 3.3V | 1.5A | ON | ON | |
| VCC_3V3 | RK809-2 SWOUT2 | Slot: 4 | 3.3V | 1.5A | ON | OFF | |
| VCCIO_SD | RK809-2 LDO8 | Slot: 4 | 3.3V | 0.4A | ON | OFF | |
| VCC3V3_SD | RK809-2 LDO9 | Slot: 4 | 3.3V | 0.4A | ON | OFF | |
| VCC1V8_DOVDD | RK809-2 LDO5 | | 1.8V | 0.4A | OFF | OFF | |
| VCC_DVDD | RK809-2 LDO6 | | 1.2V | 0.4A | OFF | OFF | |
| VCC_AVDD | RK809-2 LDO7 | | 2.8V | 0.4A | OFF | OFF | |
| VCC5V0_HOST | RK809-2 SWOUT1 | | 5V | 2.1A | ON | OFF | |
| RESET | RK809-2 sent out Reset signal for soc(SLOT:5(10ms)) | | | | | | |

NOTE:VCC_DVDD and VCC_AVDD according to camera sensor voltage

图 2–21 RK809-2电源时序

### 2.2.1.4 2.2.1.4 RK809-2注意事项

- 32.768晶体的匹配电容推荐值为22pF，用户可根据所用晶体的具体规格微调此参数；

注意

*为了降低功耗PMIC RTC的晶体振荡都做的比较弱，在XOUT或XIN的管脚上用普通的示波器是测不到振荡信号的，或示波器探头一碰上去就会停振，要测32.768k信号请测试CLK32K管脚。VCC_RTC必须第一个供电，且其电压数值必须是供给RK809-2的输入电源中最高的。*

- VCC_RTC必须第一个供电，且其电压数值必须是供给RK809-2的输入电源中最高的；
- BUCK1,BUCK2的输出电容必须大于30uF以上才能保证有比较好的去耦效果，特别是大电流高动态的负载情况下，可以适当加大输出去耦电容；
- RK809-2自带USB OTG供电功能，有短路保护功能，可配置1.0-1.5A的输出限流；
- 直接由输入电源控制的开机逻辑如下：当存在电源输入时，初级DCDC降压输出VCC5V0_SYS和VCC_RTC，电源通过外部分压电路后输入到VDC的电平大于0.55V，此时

PMIC开始工作、输出电压；

- 通过按键控制的开关机逻辑如下：PWRON脚内置上拉电阻，上拉到VCCRTC，当检测到低电平时间超过500ms就会自动开机；开机后如果PWRON脚被拉低超过6s就会强制关机（通常用于系统死机后的强制关机，再开机）；在休眠以及唤醒操作时，PWRON脚的低电平需维持20ms以上。
- RK809-2工作的基本条件：
  - VCC_RTC供电；
  - VCC5V0_SYS供电，；
  - 检测到了如下三种情况之中的一种，RK809-2自动开机：PWRON脚为低电平并维持500mS；VDC电平超过0.55V；内部RTC Alarm开机使能且定时时间到。
  - 开启上电流程，每个时序间隔是2mS,上面一个时序电压输出符合要求后才会继续下一个时序，直到所有时序上电结束，并释放reset，完成上电流程；
- RK809-2检测到如下两种情况之一，会自动关机：
  - I2C写DEVICE_OFF=1；
  - PWRON脚为低超过6s。
- RK809-2开始下电流程后，会在1个RTC时钟周期后（约30.5us后）拉低reset，再经过2ms以后同时关断所有电源输出，完成下电流程；

#### 2.2.1.5 RK809-2设计说明

RK809-2具体设计说明，请参考RK PMIC相关设计文档《AN_RK809_V1.1_20200310 》。

### 2.2.2 电源设计建议

LOGIC，ARM，NPU，VEPU，PLL，DDR的电容容值及数量，要求完全参照参考设计。

#### 2.2.2.1 PLL电源设计

RV11XX芯片PLL电源：

表 2–10 PLL电源介绍

| | 电源 | 待机状态 |
|---|---|---|
| PLL | PLL_AVDD_0V8，PLL_AVDD_1V8 | 不可关断电源 |

PLL的电源有两个，分别是PLL_AVDD_0V8和PLL_AVDD_1V8，设计上必须使用去耦电容，并靠近管脚的位置摆放。电源上建议使用LDO为PLL单独供电，特别是DDR工作频率较高时，稳定的PLL电源有助于提高SOC的工作稳定性，注意去耦电容应靠近管脚摆放。

图 2–22 RV11XX PLL电源

#### 2.2.2.2 ARM电源设计

RV11XX ARM电源的典型值为0.8V，实际电压根据SDK动态调压参数控制，频率越高电压越高，根据参考设计来设计，不建议跟其他的电源合并。电源芯片选型要求其供电能力不小于1A。请不要删减参考原理图中的电容。Layout时将大电容尽可能放置在RV11XX芯片背面（单面贴时请靠近芯片放置），电容如下图所示：

Rockchip Confidential

图 2–23 RV11XX VDD_ARM电源

图 2–24 RV11XX VDD_ARM电源去耦电容

### 2.2.2.3 LOGIC电源设计

RV11XX LOGIC电源的典型值为0.8V，不允许动态调压，不建议跟其他电源合并，请按照参考图设计。电源芯片选型要求其供电能力不小于2A。请不要删减参考原理图中的电容。Layout时请将大电容放置在RV11XX芯片背面（单面贴时请靠近芯片放置），电容如下图所示：

图 2–25 RV11XX VDD_LOGIC电源

图 2–26 RV11XX VDD_LOGIC电源的去耦

### 2.2.2.4 NPU电源设计

RV11XX NPU电源的典型值为0.8V，实际电压根据SDK动态调压参数控制，可以根据实际产品情况，NPU和VEPU电源合并。NPU电源芯片选型要求其供电能力不小于2A.请不要删减参考原理图中的电容。Layout时请将大电容放置在RV11XX芯片背面（单面贴时请靠近芯片放置），电容如下图所示：

Rockchip Confidential

图 2–27 RV11XX VDD_NPU电源

图 2–28 RV11XX VDD_NPU电源的去耦

### 2.2.2.5 VEPU电源设计

RV11XX VEPU电源的典型值为0.8V，实际电压根据SDK动态调压参数控制，可以根据实际产品情况，NPU和VEPU电源合并。VEPU电源芯片选型要求其供电能力不小于1.0A.请不要删减参考原理图中的电容。Layout时请将大电容放置在RV11XX芯片背面（单面贴时请靠近芯片放置），避免大负载情况下引起电源纹波偏大，电容如下图所示：

图 2–29 RV11XX VDD_VEPU电源

图 2–30芯片VDD_VEPU电源的去耦

### 2.2.2.6 动态调压

RX11XX的ARM/NPU/VEPU电源增加动态调压的功能，实现方法如下：

- 如果由RK809-2供电，动态调压可由PMIC来完成；
- 如果ARM、NPU和VEPU由分立电源供电，动态调压可以通过PWM波形输出管脚，经过RC滤波后输出0~3.3V不同的电压的直流电平，该直流电平经过电阻网络叠加到DCDC的反馈电

压输入处，实现DC-DC输出电压的调节。通过RV11XX相关的寄存器可以改变PWM的频率和占空比，最终可以实现动态调节DC-DC的输出电压。

图 2–31 PWM调压

设计中需要注意事项如下：

- VCC_3V3电源的直流电压值误差不要超过±50mV。
- 计算出来是参考值，实际阻值可以在计算值的左右波动，尽量接近。
- 所有电阻的精度均要求1%。
- 要求选用的DC-DC参考电压Vref小于0.65V，DCDC的Vref精度偏差不能超过2%。

### 2.2.2.7 DDR电源设计

- RV11XX芯片的DDR控制器接口支持DDR3/DDR3L/DDR4/LPDDR3/LPDDR4。
- DDR3典型电压值为1.5V，DDR3L典型电压值为1.35V，LPDDR3典型电压值为1.2V，DDR4典型电压值为1.2V，LPDDR4典型电压值为1.1V。DDR颗粒的电源要求与RV11XX的DDR IO电源采用同一电源网络。请不要删减参考原理图中的电容。
- RV11XX的DDR控制器内部集成Vref电路，可以给控制器或颗粒供应VREF电压。应用中根据不同颗粒运行的不同状态，软件驱动上会动态调整VREF电压值。每个参考电源管脚旁放置一个1nF的去耦电容。
- Vref_CA由VCC_DDR通过分压电阻产生，电阻精度要求1%。

举例：LPDDR3 SDRAM端的Vref_CA可由电阻分压电路产生，其中Vref_CA=VCC_DDR/2，而Vref_DQ则需要根据ODT策略来调整，可以根据驱动强度和ODT值调整对应的Vref电压。800MHz频率下，芯片端的驱动强度为34.3ohm，SDRAM端ODT为240ohm，因此ODT enable时，根据公式算出来的SDRAM Vref=0.56*VCC_DDR。这个电压可以由Pin M6直接提供。

图 2–32 RV11XX VCC_DDR电源

图 2–33 LPDDR3 SDRAM的VREF电源设计

注意

*关于不同颗粒Vref_DQ的设计：*

*DDR4 Vref_DQ可以通过组件内的软件进行调整，DDR3/DDR3L的ODT功能enable时内部会同时上下拉，Vref_DQ=Vref_CA=VCC_DDR/2；LPDDR4没有Vref 电压;所以只有LPDDR3需要单独调节Vref_DQ。*

### 2.2.2.8 GPIO电源设计

在RV11XX中，GPIO类型为1.8V/3.3V可配置。

RV11XX中，有两种类型的GPIO，其中一种类型的GPIO提供4档驱动强度可调，另一种类型的GPIO提供16档驱动强度可调。根据GPIO的类型不同，初始默认驱动强度也不同，请参考芯片TRM进行配置修改，也可以参考《RV1126_RV1109_PINOUT_EN》文档中表3“Pin Control Registers”和表4“Pin Default Status”。

- IO电源管脚名，如VCCIO1_VDD表示，VCCIO1电源域的电平，支持3.3V/1.8V。其他的IO电源管脚名分别为：VCCIO2_VDD，VCCIO3_VDD，VCCIO4_VDD，VCCIO5_VDD，VCCIO6_VDD，VCCIO7_VDD。
- VCCIO1/2/3/4/5/6/7_VDD可以支持3.3V/1.8V。
- VCCIO_VDD_1V8是VCCIO1/2/3/4/5/6/7电源域的公共电源，只要用到VCCIO1~VCCIO7电源域的GPIO，这个引脚必须供电。
- PMUIO0电源域的IO电平（管脚名 PMUIO0_VDD）：支持3.3V/1.8V。
- PMUIO1电源域的IO电平（管脚名 PMUIO1_VDD）：支持3.3V/1.8V。
- PMUIO_VDD_1V8是PMUIO0和PMUIO1电源域的公共电源，必须供电1.8V。
- PMUIO0_VDD_0V8是PMUIO和PMUIO1电源域的公共电源，必须供电0.8V。
- 建议电源域的每个供电管脚上放置一个100nF去耦电容，并靠近供电管脚摆放。详细设计请参考RV11XX芯片参考原理图。
- 实际的IO电平要与对接芯片的接口电平保持一致。

表 2–11 GPIO电源脚描述

| 电源域 | GPIO类型 | 管脚名 | 描述 |
|---|---|---|---|
| PUMIO0/PMUIO1 | 0.8V | PMUIO_VDD_0V8 | 0.8V logic power for PMUIO0/PMUIO1 domain (group). |
| | 1.8V | PUMIO_VDD_1V8 | 1.8V power for PMUIO0/PMUIO1 domain (group). |
| PUMIO0 | 1.8V/3.3V | PMUIO0_VDD | 1.8V or 3.3V IO supply for this GPIO domain (group). |
| PMUIO1 | 1.8V/3.3V | PMUIO1_VDD | 1.8V or 3.3V IO supply for this GPIO domain (group). |
| VCCIO1~VCCIO7 | 1.8V | VCCIO_VDD_1V8 | 1.8V power for all VCCIO domain (group). |

Rockchip Confidential

| | | | |
|---|---|---|---|
| VCCIO1 | 1.8V/3.3V | VCCIO1_VDD | 1.8V or 3.3V IO supply for this GPIO domain (group). |
| VCCIO2 | 1.8V/3.3V | VCCIO2_VDD | 1.8V or 3.3V IO supply for this GPIO domain (group). |
| VCCIO3 | 1.8V/3.3V | VCCIO3_VDD | 1.8V or 3.3V IO supply for this GPIO domain (group). |
| VCCIO4 | 1.8V/3.3V | VCCIO4_VDD | 1.8V or 3.3V IO supply for this GPIO domain (group). |
| VCCIO5 | 1.8V/3.3V | VCCIO5_VDD | 1.8V or 3.3V IO supply for this GPIO domain (group). |
| VCCIO6 | 1.8V/3.3V | VCCIO6_VDD | 1.8V or 3.3V IO supply for this GPIO domain (group). |
| VCCIO7 | 1.8V/3.3V | VCCIO7_VDD | 1.8V or 3.3V IO supply for this GPIO domain (group). |

### 2.2.3 电源峰值电流表

下表为RV11XX峰值电流评估结果，仅供参考。测试条件如下：

表 2–12 RV11XX 峰值电流表

| Power Supply | Voltage | | | 电流值（单位mA） | 备注 |
|---|---|---|---|---|---|
| | Min(V) | Typical(V) | Max(V) | | |
| ARM_VDD | TBD | 0.8V | TBD | 730 | |
| LOGIC_VDD | TBD | 0.8V | TBD | 1750 | |
| VEPU_VDD | TBD | 0.8V | TBD | 770 | |
| NPU_VDD | TBD | 0.8V | TBD | 1340 | |
| DDR_VDD | TBD | TBD | TBD | TBD | 取决了DDR颗粒类型 |

## 2.3 外围接口设计建议

### 2.3.1 SDMMC 接口

RV11XX集成的SDMMC接口控制器，可支持SD V3.0以及MMC V4.51协议，如图所示：

- SDMMC控制器采用单独的电源域供电；
- SDMMC与UART2、JTAG等功能复用在一起，通过SDMMC0_DET进行功能选择，具体请参考2.1.4小节；
- VCCIO2_VDD为IO电源，需要外部提供3.3V供电（SD 2.0模式）或3.3V/1.8V可调供电（SD 3.0模式）；
- SDMMC_DATA,SDMMC_CMD和SDMMC_CLK 串22ohm电阻，如果走线较短可删除电阻。
- ESD器件请选择结电容小于1p的型号
- TF卡的3.3V电源的去耦电容靠近卡座摆放。

图 2–34 RV11XX TF卡

SDMMC接口上下拉和匹配设计推荐如表2-11所示。

Rockchip Confidential

表 2–13 SDMMC接口设计

| 信号 | 内部上下拉 | 连接方式 | 描述（芯片端） |
|---|---|---|---|
| SDMMC_DQ[3:0] | 上拉 | 串联22ohm电阻<br>走线较短时可删除 | SD数据发送/接收 |
| SDMMC_CLK | 上拉 | 串联22ohm电阻 | SD时钟发送 |
| SDMMC_CMD | 上拉 | 串联22ohm电阻<br>走线较短时可删除 | SD命令发送/接收 |

### 2.3.2 SDIO 接口

RV11XX支持SDIO 3.0接口的WIFI/BT模组，需要注意RV11XX SDIO的供电必须与模组的IO电平保持一致。

SDIO接口上下拉和匹配设计推荐如下表所示：

表 2–14 RV11XX SDIO接口设计

| 信号 | 内部上下拉 | 连接方式 | 描述（芯片端） |
|---|---|---|---|
| SDIO_DQn[0:3] | 上拉 | 串联22ohm电阻走线较短时可删除 | SDIO数据发送/接收 |
| SDIO_CLK | 下拉 | 串联22ohm电阻 | SDIO时钟发送 |
| SDIO_CMD | 下拉 | 串联22ohm电阻，走线较短时可删除 | SDIO命令发送/接收 |

WIFI/BT 模组的设计请参看参考图纸。

### 2.3.3 以太网接口

- RV11XX芯片内置GMAC控制器，提供RMII接口和RGMII接口，兼容以太网物理层的完整以太网接口。
- 10/100/1000M以太网控制器：
  - 支持10/1000/Mbps数据传输速率的RGMII接口；
  - 支持10/100 Mbps数据传输速率的RMII接口；
  - 支持全双工和半双工操作；
  - 支持TCP分段卸载（TSO）和UDP分段卸载（UFO）网络加速。
- **RGMII功能引脚复用在两个电源域中**，RGMII_M0的电源域是VCCIO6, RGMII_M1的电源域是VCCIO5（注意此电源域内有部分引脚无GPIO功能），每次只能用其中一组接口。GMAC的电源VCCIO5或者VCCIO6可以使用1.8V或者3.3V供电，须保持跟PHY的IO电平一致。
- RGMII接口收发信号线上，TX_CLK和RX_CLK是125MHz，为了达到1000Mbps的传输速率，TXdata和RXdata信号线在时钟的双边沿都进行采样，数据使能信号(RGMII_TXEN、RGMII_RXDV)必须在数据发出有效前使能。
- 复位：RGMII对PHY的复位方式用GPIO来控制，也可以使用RC硬件复位电路，需要注意的是，若是采用RC硬件复位电路，则PHY的电源必须是可控的.默认使用GPIO来控制。
- MAC层和PHY之间传送控制和状态信息为MDIO接口,时钟MDC信号和数据MDIO信号，需要注意的是MDIO信号需要上拉。
- 10/100M原理和接法与1000M类似，不同的是RGMII_CLK=50M；需要注意的是10/100M的PHY_CRS_DV是接RGMII_RXDV，而不是MAC_CRS管脚。
- RGMII接口可以连接不同的以太网PHY，实现100M/1000M网络功能，具体的设计请参考PHY原厂的设计文档。

RMII可以提供的时钟方案如下图所示：

- 第一种：外部晶振提供25MHz clock信号给以太网PHY， PHY返回一个125MHz clock信号到

Rockchip Confidential

RGMII_CLK引脚。注意PHY和GAMC控制器电平要一致。

- 第二种：CLK_OUT_ETHERNET引脚提供25MHz clock信号给以太网PHY，然后PHY返回一个125MHz clock信号到RGMII_CLK引脚。注意PHY和RGMII控制器电平要一致。
- 第三种：CLK_OUT_ETHERNET引脚提供25MHzclock信号给以太网PHY，主控输出125MHz clock信号作为RGMII_TXCLK,不需要从PHY返回clock信号,RGMII_CLK脚不使用。
- 第四种：外部晶振提供25MHz clock信号给以太网PHY，主控输出125MHz clock信号作为RGMII_TXCLK,不需要从PHY返回clock信号, RGMII_CLK脚不使用。

图 2–35 RV11XX GMAC Clock电路

图 2–36 RV11XX RGMII信号连接示意图

图 2–37 RV11XX RMII信号连接示意图

表 2–15 RV11XX RGMII接口设计

| 信号 | 内部上下拉 | 连接方式 | 描述（芯片端） |
|---|---|---|---|
| CLK_OUT_ETHERNET | 下拉 | 串联22ohm电阻 | 给PHY输出参考时钟 |
| RGMII_CLK | 下拉 | 串联22ohm电阻 | MAC时钟输出或外部输入一个时钟 |

| | | | |
|---|---|---|---|
| RGMII_MDIO | 下拉 | 串联22ohm电阻 | MDIO数据 |
| RGMII_MDC | 下拉 | 串联22ohm电阻 | MDIO 时钟 |
| RGMII_CRS | 下拉 | 串联22ohm电阻 | 物理CRS信号，这个引脚一般不用到，只是预留 |
| RGMII_COL | 下拉 | 串联22ohm电阻 | 检测到物理碰撞，这个引脚一般不用到，只是预留 |
| RGMII_RXER | 下拉 | 串联22ohm电阻 | MAC接收错误，一般100MPHY才用到这个引脚 |
| RGMII_RXDV | 下拉 | 串联22ohm电阻 | RMII的RX数据有效性和载波检测信号，有的100M phy的CRS_DV功能引脚连接到RXDV这个引脚上（具体要看PHY的引脚定义）。 |
| RGMII_RXCLK | 下拉 | 串联22ohm电阻 | GMAC接收时钟 |
| RGMII_RXD0~D3 | 下拉 | 串联22ohm电阻 | GMAC接收数据 |
| RGMII_TXD0~D3 | 下拉 | 串联22ohm电阻 | GMAC发射数据 |
| RGMII_TXEN | 下拉 | 串联22ohm电阻 | GMAC TX数据有效信号 |
| RGMII_TXCLK | 下拉 | 串联22ohm电阻 | GMAC发射时钟 |

设计注意：
以太网PHY的电路设计请参看参考图。

- RX_DATA、RX_DV、RX_CLK串接电阻靠近主控
- TX_DATA、TX_EN、TX_CLK串接电阻靠近PHY

## 2.3.4 VI 接口

### 2.3.4.1 MIPI-CSI/LVDS/Sub-LVDS 接口

RV11XX有两组MIPI-CSI/LVDS/Sub-LVDS输入，内置ISP处理器。其中MIPI-CSI/LVDS/Sub-LVDS引脚是复用的，MIPI-CSI/LVDS/Sub-LVDS这3种功能不能同时使用，每次只能使用其中一种功能。

差分接口输入一组差分时钟信号和4组差分数据信号，支持2lane MIPI RX 和4lane MIPI RX输入。

- 4Lane MIPI RX规格时，MIPI_RX_CLKP/N对MIPI_RX_D0P/N、MIPI_RX_D1P/N、MIPI_RX_D2P/N、MIPI_RX_D3P/N进行采样；
- 2Lane MIPI RX规格时，MIPI_RX_CLKP/N对MIPI_RX_D0P/N、MIPI_RX_D1P/N、进行采样。
- 为提高MIPI-CSI性能，控制器电源的去耦电容请靠近管脚放置。
- PinW21 MIPI_CSI_CLK1和Pin V21 MIPI_CSI_CLK0 可以给MIPI/LVDS camera提供时钟信号。

Rockchip Confidential

图 2–38 RV11XX MIPI-CSI/LVDS/sub-LVDS模块

### 2.3.4.2 并口输入

RV11XX内有一组VICAP控制器，VIACAP功能引脚命名为CIF_D0~D15, CIF_HSYNC, CIF_VSYNC, CIF_CLKOUT,CIF_CLKIN。

VICAP引脚复用在两个电源域内，分别在VCCIO6和VCCIO5电源域，每次只能用其中一组。实际产品设计中，需要根据产品Camera的实际IO供电要求（1.8V or 3.3V），选择对应的供电，同时I2C上拉电平必须与其保持一致，否则会造成Camera工作异常或无法工作。复用引脚可参考发布的《RV1126_RV1109_PINOUT》。

并口VICAP控制器接口支持 RAWData、BT1120、BT656，BT601格式的数据,接口速率可达148.5MHz。

- 当对接信号是RAWdata时，要从VICAP的高位对齐连接，如12bit RawData从高位开始对应CIF_D15~D4。
- 当对接的信号是BT1120时，8bit数据接Y, 8bit数据接UV,只支持内同步。
- 当对接信号是BT656或者BT601时，从VICAP的高位按照顺序连接。
- CIF_CLKOUT给外设输出clock信号。
- CIF_CLKIN接受外设输入的clock信号。

CIF接口BT1120以及12bit/10bit/8bit的对应关系：

| Correspondence CIF data and BT1120/12bit/10bit/8bit CIF | | | | |
|---|---|---|---|---|
| 16bit CIF data | BT1120 | 12bit CIF camera | 10bit CIF camera | 8bit CIF camera |
| CIF_D0 | BT1120_D0 | | | |
| CIF_D1 | BT1120_D1 | | | |
| CIF_D2 | BT1120_D2 | | | |
| CIF_D3 | BT1120_D3 | | | |
| CIF_D4 | BT1120_D4 | D0 | | |
| CIF_D5 | BT1120_D5 | D1 | | |
| CIF_D6 | BT1120_D6 | D2 | D0 | |
| CIF_D7 | BT1120_D7 | D3 | D1 | |
| CIF_D8 | BT1120_D8 | D4 | D2 | D0 |
| CIF_D9 | BT1120_D9 | D5 | D3 | D1 |
| CIF_D10 | BT1120_D10 | D6 | D4 | D2 |
| CIF_D11 | BT1120_D11 | D7 | D5 | D3 |
| CIF_D12 | BT1120_D12 | D8 | D6 | D4 |
| CIF_D13 | BT1120_D13 | D9 | D7 | D5 |
| CIF_D14 | BT1120_D14 | D10 | D8 | D6 |
| CIF_D15 | BT1120_D15 | D11 | D9 | D7 |

图 2–39 RV11XX CIF 连接口

Rockchip Confidential

## 2.3.5 VO 接口

RV11XX芯片内置了视频控制器，支持RGB/BT1120/MIPI DSI四种视频输出模式。分辨率可达1080P@60fps. RGB/BT1120信号在VCCIO5_VDD电源域。

### 2.3.5.1 MIPI-DSI

MIPI-DSI控制器，一个4 lane MIPI-DSI接口，速率可达1Gbps per lane。
设计中请注意：

- MIPI-DSI性能，控制器电源的去耦电容请靠近管脚放置；
- 四个差分数据参考差分时钟采样。
- 详细的原理图设计请参考发布原理图。

表 2–16 RV11XX MIPIDSI 接口设计

| 信号 | 连接方式 | 说明 |
|---|---|---|
| MIPI_DSI_TX0_CLKP | 直连 | MIPI DSI CLKP |
| MIPI_DSI_TX0_CLKN | 直连 | MIPI DSI CLKN |
| MIPI_DSI_TX0_D0P | 直连 | MIPI DSI data0P |
| MIPI_DSI_TX0_D0N | 直连 | MIPI DSI data0N |
| MIPI_DSI_TX0_D1P | 直连 | MIPI DSI data1P |
| MIPI_DSI_TX0_D1N | 直连 | MIPI DSI data1N |
| MIPI_DSI_TX0_D2P | 直连 | MIPI DSI data2P |
| MIPI_DSI_TX0_D2N | 直连 | MIPI DSI data2N |
| MIPI_DSI_TX0_D3P | 直连 | MIPI DSI data3P |
| MIPI_DSI_TX0_D3N | 直连 | MIPI DSI data3N |

### 2.3.5.2 并行VO接口设计

RV11XX的并行VO（video output）接口支持BT1120和RGB输出。

RGB输出用于对接LCD屏，支持6/8bit串行RGB和16bit,18bit,24bit并行RGB。

表 2–17信号接口模式与对应引脚

| 信号接口模式 | 引脚对应关系 |
|---|---|
| BT1120TX | DATA：LCDC_DATA[15:0]<br>Y[0:7]:LCDC_DATA[8:15]<br>Cb[0:7]:LCDC_DATA[0:7]<br>CLOCK:LCDC_CLK |
| 6bit Serial RGB | DATA: LCDC_DATA[5:0]<br>CLOCK:LCDC_CLK<br>HSYNC:LCDC_HSYNC<br>VSYNC:LCDC_VSYNC<br>DE:LCDC_DEN |
| 8bit Serial RGB | DATA: LCDC_DATA[7:0] |

Rockchip Confidential

| | |
|---|---|
| | CLOCK:LCDC_CLK<br>HSYNC:LCDC_HSYNC<br>VSYNC:LCDC_VSYNC<br>DE:LCDC_DEN |
| 16bit Parallel RGB(RGB565) | R[4:0]: LCDC_DATA[15:11]<br>G[5:0]: LCDC_DATA[10:5]<br>B[4:0]: LCDC_DATA[4:0]<br>CLOCK:LCDC_CLK<br>HSYNC:LCDC_HSYNC<br>VSYNC:LCDC_VSYNC<br>DE:LCDC_DEN |
| 18bit Parallel RGB(RGB666) | R[5:0]: LCDC_DATA[17:12]<br>G[5:0]: LCDC_DATA[11:6]<br>B[5:0]: LCDC_DATA[5:0]<br>CLOCK:LCDC_CLK<br>HSYNC:LCDC_HSYNC<br>VSYNC:LCDC_VSYNC<br>DE:LCDC_DEN |
| 24bit Parallel RGB(RGB888) | R[7:0]: LCDC_DATA[23:16]<br>G[7:0]: LCDC_DATA[15:8]<br>B[7:0]: LCDC_DATA[7:0]<br>CLOCK:LCDC_CLK<br>HSYNC:LCDC_HSYNC<br>VSYNC:LCDC_VSYNC<br>DE:LCDC_DEN |

表 2–18并行VO信号设计要求

| 信号 | 设计方法 |
|---|---|
| BT1120_CLK | 在RV11XX端串22R电阻 |
| BT1120_DATA | 直连 |
| LCDC_CLK | 在RV11XX端串22R电阻 |
| LCDC_DATA | 直连 |

## 2.3.6 SPI 接口

### 2.3.6.1 SPI控制器介绍

RV11XX芯片有2个SPI控制器，分别是SPI0（2CS），SPI1（2CS）。

SPI0和SPI1均支持master和slave两种模式。SPI0和SPI1分别有3组复用关系，原理图中带有后缀“_M0/1/2”的标志即为对应功能的复用编号说明，注意因控制器限制，此类复用功能只能从复用关系中挑选一组使用，应用上需要对资源做好分配，可参考发布的《RV1126_RV1109_PINOUT》文档进行前期设计。

表 2–19 SPI复用接口

Rockchip Confidential

| 信号 | 对应电源域 | 信号 | 对应电源域 |
|---|---|---|---|
| SPI0_M0 | PMUIO0_VDD | SPI1_M0 | VCCIO6_VDD |
| SPI0_M1 | VCCIO4_VDD | SPI1_M1 | VCCIO2_VDD |
| SPI0_M2 | VCCIO5_VDD | SPI1_M2 | VCCIO5_VDD |

#### 2.3.6.2 SPI拓扑结构与连接方式

SPI接口上下拉和匹配设计推荐如下表所示：

表 2–20 RV11XX SPI接口设计

| 信号 | 连接方式 | 描述（芯片端） |
|---|---|---|
| SPI_MOSI | 直连 | SPI数据输出 |
| SPI_MISO | 直连 | SPI数据输入 |
| SPI_CLK | 串联22ohm电阻 | SPI 时钟信号 |
| SPI_CS0 | 直连 | SPI 片选信号0 |
| SPI_CS1 | 直连 | SPI 片选信号1 |

### 2.3.7 USB

RV11XX芯片拥有两组USB 2.0接口，OTG_DM/DP支持OTG模式， HOST_DM/DP仅支持HOST模式。

图 2–40 RV11XX USB模块

设计中请注意：

- USB OTG接口默认为系统固件烧写端口，在调试过程中必须要预留此接口；
- USB_ID内部上拉到USB_AVDD_1V8，所以OTG默认为Device模式；
- OTG_VBUS1V8通过一个18K电阻和一个10K电阻分压VCC5V0_USB做输入检测，检测电压为1.62V～2.08V，检测为高电平说明有USB插入。
- USB控制器参考电阻200ohm请选用1%精度的电阻，该电阻关系到USB幅度并影响眼图质量，请勿更改；

图 2–41 RV11XX USB控制器参考电阻

- 为提高USB性能，控制器电源的去耦电容请靠近管脚放置；

图 2–42 RV11XX USB控制器电源

- 为抑制电磁辐射，可以考虑在信号线上预留共模电感（Common mode choke），在调测过程中根据实际情况选择使用2.2R电阻或者共模电感。

图 2–43 RV11XX USB预留共模电感

- 为了提高USB兼容性，请增加这个电路，并注意USB_CTRL 一定要使用GPIO0_C1（PinAA4）来控制。

图 2–44 RV11XX USB兼容性提高电路

- USB2.0的信号上要有ESD保护措施，ESD器件的寄生电容要求小于1pF,ESD 器件靠近USB端口放置。

  USB2.0接口上下拉和匹配设计推荐如下表所示。

表 2–21 RV11XX USB2.0接口设计

| 信号 | 连接方式 | 说明 |
|---|---|---|
| OTG_DP/DM | 串联2.2ohm电阻 | USB OTG 输入/输出 |
| OTG_ID | 直连（内部有1.8V上拉） | USB OTG ID识别，Micro-B接口时需要使用 |
| OTG_VBUS1V8 | 电阻分压检测 | USB OTG 插入检测 |
| OTG_EXTR | 200ohm电阻接地 | USB PHY 配置参考电阻，200ohm接地 |
| HOST_DP/DM | 串联2.2ohm电阻 | USB HOST 输入/输出 |

| | | |
|---|---|---|
| HOST_EXTR | 200ohm电阻接地 | USB PHY 配置参考电阻，200ohm接地 |

### 2.3.8 SARADC

RV11XX芯片采用SARADC的ADC_IN0做为键值输入采样接口。

软件把ADC_IN0为0V时定义为recovery按键功能，当系统已经烧录固件的前提下，若系统启动期间保持ADC_IN0为低电平（0V），则RV11XX进入Rockusb烧写模式，此状态下通过PC更新固件。如果客户不需要这个recovery按键，则要软件删除这个功能才可以。

RV11XX上，SARADC采样范围为0-1.8V，采样精度为10bits。按键阵列采用并联型，可以通过增减按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求。设计中建议任意两个按键采样键值必须大于+/-35,即中心电压差必须大于123mV。

设计中请注意：

- 控制器电源的去耦电容请靠近管脚放置；
- ADC为模拟信号，须做好走线保护，与其他信号的间距尽量遵循3W原则.
- SARADC接按键时，要有ESD保护和防抖功能。

图 2–45 SARADC_KEY

### 2.3.9 UART 和调试

RV11XX集成6个UART接口，与其他接口类似，考虑产品的多样性，UART控制器也做了多路复用，原理图中带有后缀“_M0/1/2”的标志即为对应功能的复用编号说明，设计时须做好资源分配。

UART控制器支持以下功能：

- 支持6个独立的UART控制器：UART0-UART5均包含两个64字节的FIFO用于数据接收和传输；
- 除支持115.2Kbps、460.8Kbps、921.6Kbps、1.5Mbps、3Mbps、4Mbps外，均支持自动流量控制.
- 支持可编程波特率，即使使用非整数时钟分频器，标准异步通信位（启动、停止和奇偶校验。
- 支持基于中断或基于DMA的模式
- 支持5-8位宽度传输

UART0~UART5的介绍：

- UART0参考设计上用于连接BT,所属于的电源域是VCCIO3，IO电平要与BT模块的电平保持一致。
- UART1复用在2个不同的电源域，UART1_M0在PMUIO1电源域，UART1_M1在VCCIO3电源域，设计时只能选择其中一组应用。
- UART2复用在2个不同的电源域，UART2_M0在VCCIO2电源域，UART2_M1在VCCIO5电源域，设计时只能选择其中一组应用。如图为UART2_M1接口所在位置，默认应用为debug接口，请尽量与我司设计保持一致。产品上可外接UART转USB转接小板进行调试。UART2_M0所在位置参看《RV1126_RV1109_PINOUT》文档。调试时端口号请根据实际连接进行选择，默认调试日志输出的波特率为1.5M，流控RTS/CTS不要勾选。产品设计上推荐使

用UART转USB的芯片进行转接，建议使用FT232RL。

图 2–46 RV11XX 串口配置

- UART3复用在3个不同的电源域，UART3_M0复用VCCIO6电源域，UART3_M1复用在VCCIO2电源域, UART3_M2复用在VCCIO5电源域，据实际应用情况选用其中一组。
- UART4复用在3个不同的电源域，UART4_M0复用VCCIO6电源域，UART4_M1复用在VCCIO5电源域, UART4_M2复用在VCCIO4电源域，根据实际应用情况选用其中一组。
- UART5复用在3个不同的电源域，UART5_M0复用VCCIO6电源域，UART5_M1复用在VCCIO5电源域, UART5_M2复用在VCCIO4电源域，根据实际应用情况选用其中一组.

表 2–22 UART复用表格

| 信号 | 对应电源域 | 信号 | 对应电源域 |
|---|---|---|---|
| UART0 | VCCIO3_VDD | UART3_M2 | VCCIO5_VDD |
| UART1_M0 | PMUIO1_VDD | UART4_M0 | VCCIO6_VDD |
| UART1_M1 | VCCIO3_VDD | UART4_M1 | VCCIO5_VDD |
| UART2_M0 | VCCIO2_VDD | UART4_M2 | VCCIO4_VDD |
| UART2_M1 | VCCIO5_VDD | UART5_M0 | VCCIO6_VDD |
| UART3_M0 | VCCIO6_VDD | UART5_M1 | VCCIO5_VDD |
| UART3_M1 | VCCIO2_VDD | UART5_M2 | VCCIO4_VDD |

表 2–23 RV11XX UART上下拉和匹配设计

| 信号Signal | 连接方式 | 描述（芯片端） |
|---|---|---|
| UART_RX | 直连 | UART数据输入 |
| UART_TX | 直连 | UART数据输出 |
| UART_CTSn | 直连 | UART允许发送信号 |
| UART_RTSn | 直连 | UART请求发送信号 |

## 2.3.10 I2C

Inter-Integrated Circuit（I2C）是一种两线制（SCL和SDA）双向串行总线，为设备间的信息交换提供了一种高效、简单的方法。该I2C总线控制器支持主从模式，作为AMBA协议和通用I2C总线系统之间的桥梁。

I2C控制器支持以下功能：

- 支持5个独立的I2C:I2C0/1/3/4/5
- 支持I2C总线主模式

Rockchip Confidential

- 软件可编程时钟频率和传输速率高达400Kbit/sec
- 持7位和10位寻址模式

I2C也有多路复用，原理图中带有后缀“_M0/1/2”的标志即为对应功能的复用编号说明。

I2C0~I2C5的介绍：

- I2C0属于PMUIO1电源域，参考设计里I2C0默认用于连接PMIC。
- I2C1属于VCCIO4电源域，参考设计里默认用于连接camera。
- I2C3引脚复用在3个电源域，分别是I2C3_M0属于VCCIO6电源域，I2C3_M1属于VCCIO5电源域，I2C3_M2属于VCCIO4电源域，根据实际的应用情况选用其中一组。
- I2C4引脚复用在2个电源域，分别是I2C4_M0属于VCCIO5电源域，I2C4_M1属于VCCIO7电源域，根据实际的应用情况选用其中一组。
- I2C5引脚复用在3个电源域，分别是I2C5_M0属于VCCIO5电源域，I2C5_M1属于VCCIO6电源域, I2C5_M2属于VCCIO7电源域。根据实际的应用情况选用其中一组。

表 2–24 I2C复用表格

| 信号 | 对应电源域 | 信号 | 对应电源域 |
|---|---|---|---|
| I2C0 | PMUIO1_VDD | I2C4_M0 | VCCIO5_VDD |
| I2C1 | VCCIO4_VDD | I2C4_M1 | VCCIO7_VDD |
| I2C2 | PMUIO1_VDD | I2C5_M0 | VCCIO5_VDD |
| I2C3_M0 | VCCIO6_VDD | I2C5_M1 | VCCIO6_VDD |
| I2C3_M1 | VCCIO5_VDD | I2C5_M2 | VCCIO7_VDD |
| I2C3_M3 | VCCIO4_VDD | | |

## 2.3.11PWM

在产品设计中，脉冲宽度调制（PWM）技术的应用非常广泛，常用于控制伺服电机或数模转换等应用上。RV11XX集成3个PWM控制器，每个控制器有4个通道，所以可用PWM通道共有12个。

脉宽调制模块支持以下特性：

- 支持捕获模式。
- 支持连续模式或单发模式。
- 支持二级分频。
- 可用的低功耗模式，在通道处于非活动状态时降低功耗。

其中PWM3、PWM7、PWM11可用于红外接收解码应用，芯片内部集成专用的硬件解码器，效率更高。

PWM0~PWM11的引脚有两组复用关系，分散在不同的电源域内。举例PWM0_M0和PWM0_M1实际是属于同一个PWM，只是复用在不同的引脚上，所以每次只能选择其中的一个。PWM0~PWM11是独立的，互不影响。

PWM_M0/PWM_M1所在位置参看《RV1126_RV1109_PINOUT》文档。

## 2.3.12CAN 总线

CAN（Controller Area Network）总线是一种应用广泛的现场总线 ,它允许微控制器和设备在没有主机的应用程序中相互通信。CAN总线在工业测控和工业自动化等领域有很大的应用前景，特别是汽车内部的测控通讯应用。

RV11XX的CAN接口复用到两个不同的电源域，请根据实际应用情况选用其中的一组，如下图所示。

表 2–25 RV11XX CAN Bus接口设计

| 信号 | 连接方式 | 描述（芯片端） |
|---|---|---|
| CAN_RXD | 直连 | CAN Bus 数据输入 |
| CAN_TXD | 直连 | CAN Bus数据输出 |

Rockchip Confidential

## 2.3.13音频电路

RV11XX提供三组标准I2S接口，均支持master或slave模式、最高采样率至192kHz，比特率从16bits到32bits。RV11XX还支持一组PDM数字音频接口，最多支持8路PDM格式音频输入，最高采样率至192kHz，比特率从16bits到32bits。

### 2.3.13.1 I2S0/TDM/PCM

I2S0控制器包含3种功能：I2S/PCM/TDM功能,以下统称为I2S0.

I2S0接口包含独立的8通道输出和8通道输入，为满足播放和录音的异采样率的需求，位时钟和帧时钟也对应提供两组(SCLKTX\LRCKTX,SCLKRX\LRCKRX)；需要注意的是，对于SDOx和SDIx只参考一组位/帧时钟的情形，优先使用SCLKTX\LRCKTX作为它们的共同时钟。

I2S0接口支持主从工作模式，软件可配置；支持3种I2S格式（常规、左对齐、右对齐）；支持4种PCM格式（early、late1、late2、late3）；I2S和PCM,TDM模式不能同时使用。

需要注意的是，该组I2S0引脚复用在两个不同的电源域，原理图中带有后缀“_M0/1/2”的标志即为对应功能的复用编号说明。I2S0_M0属于VCCIO7电源域，默认设置为VCC_1V8供电。I2S0_M1属于VCCIO6电源域，默认电压也是VCC_1V8。I2S0_M0和I2S0_M1不能同时使用，每次只能用其中一组。如I2S外设IO电平为3.3V，需调整对应的电源域的供电，与相关IO的电平相匹配。

I2S0接口上下拉和匹配设计推荐,以及I2S0,PCM,TDM的对应关系如下表所示。

表 2–26 RV11XX I2S0接口设计

| 信号Signal | 内部上下拉 | 连接方式 | 描述（芯片端） |
|---|---|---|---|
| I2S0_MCLK | 下拉 | 串联22ohm电阻 | I2S0系统时钟输出 |
| I2S0_SCLK_TX<br>(PCM_CLK)<br>(TDM_CLK) | 下拉 | 串联22ohm电阻 | I2S0连续串行时钟(TX，关联SDOx) |
| I2S0_LRCK_TX<br>(PCM_SYNC)<br>(TDM_FSYNC) | 下拉 | 串联22ohm电阻 | I2S0帧时钟，用于声道选择(TX，关联SDOx) |
| I2S0_SDO0<br>(PCM_OUT)<br>(TDM_SDO0) | 下拉 | 串联22ohm电阻 | I2S0串行数据0输出 |
| I2S0_SDO1_SDI3 | 下拉 | 串联22ohm电阻 | I2S0串行数据1输出,或者串行数据输入3 |
| I2S0_SDO2_SDI2 | 下拉 | 串联22ohm电阻 | I2S0串行数据2输出,或者串行数据输入2 |
| I2S0_SDO3_SDI1 | 下拉 | 串联22ohm电阻 | I2S0串行数据3输出,或者串行数据输入1 |
| I2S0_SCLK_RX | 下拉 | 串联22ohm电阻 | I2S0连续串行时钟(RX，关联SDIx) |
| I2S0_LRCK_RX | 下拉 | 串联22ohm电阻 | I2S0帧时钟，用于声道选择(RX，关联SDIx) |
| I2S0_SDI0<br>(PCM_IN)<br>(TDM_IN) | 下拉P | 串联22ohm电阻 | I2S0串行数据0输入 |

Rockchip Confidential

### 2.3.13.2 I2S1/I2S2

I2S1/I2S2控制器包含I2S及PCM功能。

I2S2支持2通道输出与2通道输入，参考设计中默认连接BT模块的PCM接口，在HFP协议下作为蓝牙通话功能的通讯口使用。

I2S1/2支持2通道输入与2通道输出；支持主从工作模式，软件可配置；支持3种I2S格式（常规、左对齐、右对齐）；支持4种PCM格式（early、late1、late2、late3）；I2S和PCM,TDM模式不能同时使用。

该组I2S1引脚复用在三个不同的电源域，原理图中带有后缀"_M0/1/2"的标志即为对应功能的复用编号说明。I2S1_M0属于VCCIO1电源域，I2S1_M1属于VCCIO4电源域，I2S1_M2属于VCCIO5电源域，据实际应用情况选用其中一组。

该组I2S2引脚复用在两个不同的电源域，原理图中带有后缀"_M0/1"的标志即为对应功能的复用编号说明。I2S2_M0属于VCCIO3电源域，I2S2_M1属于VCCIO5电源域，根据实际应用情况选用其中一组。

所在位置参看《RV1126_RV1109_PINOUT》文档。

表 2–27 RV11XX I2S1/2接口设计

| 信号 | 内部上下拉 | 连接方式 | 描述（芯片端） |
|---|---|---|---|
| I2S1/2_MCLK | 下拉 | 串联22ohm电阻 | I2S1系统时钟输出 |
| I2S1/2_SCLK (PCM_CLK) | 下拉 | 串联22ohm电阻 | I2S1连续串行时钟 |
| I2S1/2_LRCK (PCM_SYNC) | 下拉 | 串联22ohm电阻 | I2S1帧时钟，用于声道选择时钟 |
| I2S1/2_SDO (PCM_OUT) | 下拉 | 串联22ohm电阻 | I2S1串行数据0输出 |
| I2S1/2_SDI (PCM_IN) | 下拉P | 串联22ohm电阻 | I2S1串行数据0输入 |

### 2.3.13.3 PDM 接口

RV11XX提供一组PDM数字音频接口，最多支持8路PDM格式音频输入，最高采样率至192kHz，比特率从16bits到32bits。支持PDM master接收模式。

PDM引脚复用在两个不同的电源域，原理图中带有后缀"_M0/1"的标志即为对应功能的复用编号说明。PDM_M0属于VCCIO7电源域，PDM_M1属于VCCIO6电源域，根据实际应用情况选用其中一组。

当使用PDM MIC作为语音采集时，为简化软件对音频录音数据的处理，回采建议也使用PDM接口。这样对于常见应用涉及的2-6个PDM MIC录音加上1-2路回采通道的情况，仅由一个完整的4-8通道录音音频即可完成输入，软件无需进行额外的拼接处理。

若需要连接8通道PDM MIC输入，那么只能使用I2S接口作为回采通道的采集，软件需进行额外的音频拼接处理以满足算法对数据同步性的要求。

表 2–28 RV11XX PDM接口设计

| 信号 | 内部上下拉 | 连接方式 | 描述（芯片端） |
|---|---|---|---|
| PDM_CLK0 | 下拉 | 串联22ohm电阻 | PDM时钟0 |
| PDM_CLK1 | 下拉 | 串联22ohm电阻 | PDM时钟1，与PDM时钟0同源 |
| PDM_SDI0 | 下拉 | 串联22ohm电阻 | PDM数据0输入 |
| PDM_SDI1 | 下拉 | 串联22ohm电阻 | PDM数据1输入 |

Rockchip Confidential

| | | | |
|---|---|---|---|
| PDM_SDI2 | 下拉 | 串联22ohm电阻 | PDM数据2输入 |
| PDM_SDI3 | 下拉 | 串联22ohm电阻 | PDM数据3输入 |

### 2.3.13.4 Audio PWM 接口

RV11XX内置Audio PWM功能，支持将PCM转换为PWM格式，支持2x/4x/8x/16x过采样的线性插值，支持8/9/10/11位可屏蔽的L/R通道PWM输出，适用于音质要求不高的提示音之类的应用，较高要求且未配备高性能音频DAC的应用方案推荐使用Audio DSM功能。

AUDPWM有两组复用引脚，原理图中带有后缀"_M0/1"的标志即为对应功能的复用编号说明。AUDPWM_M0和AUDPWM_M1的电源域都是VCCIO7，据实际应用情况选用其中一组。

### 2.3.13.5 Audio DSM 接口

RV11XX内置Audio DSM功能，支持将PCM数据进行直接比特流数字编码（Direct Stream Digital）转换为1bit信号流，提供128x以上的过采样，以及16x/32x/64x的升采样插值。在未配备高性能音频的DAC又需要音频输出的设计中，AUDDSM可经由一阶RC低通滤波得到音频信号，采用差分输出时可使音频质量得到最大限度的优化。

外部一阶RC低通滤波器设计以及参数选取：

1） 电路如下：

图 2–47 RV11XX 音频滤波电路

2） Vin是来自Audio DSM的输出，其信号最大峰峰值可达到接近VCCIO7的电源电压，这个幅度可能超过一些音频功放的输入范围，导致严重失真。在电路中引入R2进行分压之后便于Vout与功放的输入范围相匹配，避免失真。

3） 参数选择：

AUDSM输出串联的R1在1Kohm～10Kohm区间选择，R1、R2的精度1%，滤波器的低通截至频率：

$$f_{(-3dB)} = \frac{R_1+R_2}{2\pi R_1 R_2 C_1} \text{.....式(1)}$$

整理可得：

$$C_1 = \frac{R_1+R_2}{2\pi R_1 R_2 f_{(-3dB)}} \text{.....式(2)}$$

根据VCCIO7以及音频功放的输入范围来确定R1,R2分压比，假设VCCIO7的电压与功放的输入电压比为 n，那么：

$$R_2 = \frac{R_1}{n-1} \text{.....式(3)}$$

式(3)代入式(2)整理可以得到：

$$C_1 = \frac{n}{2\pi R_1 f_{(-3dB)}} \text{.....式(4)}$$

例如，VCCIO7供电电压为3.3V，音频功放的输入幅度为0.5 Vpp，那么可得 n=6.6，一般建议$f_{(-3dB)}$在22KHz～40KHz区间，若这里取$f_{(-3dB)} = 33KHz$，取R1=5.6 Kohm，由式(3)、式(4)计算可得：

$$R_2 = \frac{R_1}{n-1} = \frac{5.6}{6.6-1} = 1(Kohm)$$

$$C_1 = \frac{n}{2\pi R_1 f_{(-3dB)}} = \frac{6.6}{2\pi \times 5.6 \times 33 \times 10^6} \approx 5.6(nF)$$

Audio AUDDSM 参考设计,如下图：

图 2–48 RV11XX Audio AUDDSM参考设计

### 2.3.13.6 RV11XX与RK809-2的Codec方案

RK809-2芯片集成Codec，通过I2S接口与RV11XX连接。

图 2–49 RK809-2 Codec电路

RK809-2 HP_SNS用于音频地回路的补偿，走线时要求在耳机座子处与GND相连，可提升左右声道的隔离度，另外注意HPR/HPL并非差分信号，走线时须各自做好包地处理，避免受其他信号干扰或相互串扰。

Codec内置单声道免滤波喇叭驱动电路，可提供1.3W@8ohm的驱动能力，满足对小功率单声道的应用场景，可节省额外的外部功放成本。

图 2–50喇叭输出电路

RK809-2集成2路MIC输入，即可以配置为一路差分MIC输入，也可以配置成两路单端MIC输入。产品上可以根据实际需求进行选择。参考设计上提供了3种组合方案。

方案一：产品无双工通话或打断唤醒需求的，可以采用差分MIC+单声道喇叭的低成本方案，如下图，MIC为模拟小信号走线请注意做好保护。

图 2–51 MIC方案一

方案二：产品有通话或打断唤醒需求的，需要增加回采电路，低成本方案建议使用单端MIC+单端回采。此类方案常用于IPC方案，回采功能主要用于通话时的消侧音处理。单端MIC及回采的走线容易受干扰，走线请注意做好包地处理，板上需避开大电流及干扰区域。

图 2–52 MIC方案二

方案三：产品有双工通话或远距离打断唤醒需求的，高阶些的产品建议使用PDM MIC+差分回采的方案。PDM MIC的数量需要根据算法和产品的实际需求选择，如2MIC，4MIC等。喇叭输出部分如RK809的输出功率无法满足产品需求，可以外部增加模拟或数字功放，此处不赘述。

图 2–53 MIC方案三

Rockchip Confidential

# 3 PCB设计

## 3.1 电源与滤波电容设计

注意

*主控下方的电源包括ARM,NPU,VEPU，LOGIC，PLL，MIPI等的滤波电容类型、数量和布局，请按照参考设计。*

- 主控下方ARM滤波电容组合：10uF+1uF+100nF*2
- 主控下方NPU滤波电容组合：10uF+1uF*2+100nF*3
- 主控下方VEPU滤波电容组合：10uF+1uF+100nF*2
- 主控下方LOGIC滤波电容组合：10uF+1uF*2+100nF*2
- 主控下方DDRIO滤波电容组合：10uF+1uF*3+100nF,请保持跟参考设计一样。其他位置的电容容值和数量和布局有差异。

滤波电容的位置请参考发布的《RV1126_RV1109_Template》。

PLL电源设计：

PLL的滤波电容摆放在PLL电源球位附近。

图 3–1 PLL电源PCB

## 3.2 晶振 PCB 设计

晶体的XIN、XOUT信号走线全程做包地处理，并保证这些信号有完整的参考地，晶体电路下方不能有高速信号穿过。晶体放在主控附近。

Rockchip Confidential

图 3–2 晶振PCB

## 2.1 DDR PCB 设计

DDR信号设计要求如下：

请参考《RV1126_RV1109_Template》。

表 3–1 DDR3/DDR4/LPDDR4 Layout Requirements

| Parameter | Requirement |
|---|---|
| single-ended impedance | 50 Ohm ±10% |
| Differential impedance | 100 Ohm ±10% |
| DQ to DQS matching (within a byte) | under 30mil |
| DM to DQS matching (within a byte) | under 30mil |
| （Command /Address ）to CLK matching | under 60mil |
| DQS_P to DQS_N matching (within a byte) | under 12mil |
| CLK_P to CLK_N matching | under 12mil |
| DQS to CLK matching | under 900mil |
| Byte-to-byte spacing | ≥2 times the width of the trace |
| DQ to DQ spacing within a byte | ≥2 times the width of the trace |
| DQ to DQS spacing within a byte | Recommend≥3 times the width of the trace<br>At least 2 times the width of the trace |
| （Command /Address ） to （Command / Address ） spacing | ≥2 times the width of the trace |
| CLK to all others spacing | Recommend≥3 times the width of the trace<br>At least 2 times the width of the trace |

表 3–2 LPDDR3 Layout Requirements

| Parameter | Requirement |
|---|---|

Rockchip Confidential

| | |
|---|---|
| single-ended impedance | 50 Ohm ±10% |
| Differential impedance | 100 Ohm ±10% |
| DQ to DQS matching (within a byte) | under 30mil |
| DM to DQS matching (within a byte) | under 30mil |
| （Command /Address ）to CLK matching | under 30mil |
| DQS_P to DQS_N matching (within a byte) | under 12mil |
| CLK_P to CLK_N matching | under 12mil |
| DQS to CLK matching | under 900mil |
| Byte-to-byte spacing | ≥2 times the width of the trace |
| DQ to DQ spacing within a byte | ≥2 times the width of the trace |
| DQ to DQS spacing within a byte | Recommend≥3 times the width of the trace<br>At least 2 times the width of the trace |
| （Command /Address ） to （Command / Address ） spacing | ≥2 times the width of the trace |
| CLK to all others spacing | Recommend≥3 times the width of the trace<br>At least 2 times the width of the trace |

## 3.3 FLASH/eMMC 电路设计

FLASH信号设计要求如下：

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- FSPI CS和DATA 的线长以FSPI_CLK的线长为基准，误差控制在300mil以内。
- NAND FLASH的等长误差控制在200mil以内。
- 封装+PCB信号长度不超过4inches。

表 3–3 SFC Layout Requirements

| Parameter | Requirement |
|---|---|
| Trace Impedance | 50Ω ±10% single ended |
| Data to clock matching | <300mil |
| Max trace length | <4 inches |
| The minimum spacing of SFC Signals | At least 2 times the width of SFC trace. |

表 3–4 NAND FLASH Layout Requirements

| Parameter | Requirement |
|---|---|
| Trace Impedance | 50Ω ±10% single ended |
| Data to clock matching | <200mil |
| Max trace length | 4 inches |
| The minimum spacing of NAND FLASH Signals | Recommend 2 times the width of FLASH trace. |

eMMC信号设计要求如下：

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- eMMC_DATA、eMMC_CMD的线长以eMMC_CLK的线长为基准，误差控制在120mil以内。
- 封装+PCB线长不超过4inches。

表 3–5 eMMC Layout Requirements

| Parameter | Requirement |
|---|---|
| Trace Impedance | 50Ω ±10% single ended |
| Data to clock matching | <120mil |
| Max trace length | <4 inches |
| The minimum spacing of eMMC Signals | At least 2 times the width of eMMC trace. |
| The minimum spacing between eMMC and other Signals | Recommend 3 times the width of eMMC trace.<br>At least 2 times the width of eMMC trace. |

Rockchip Confidential

## 3.4 SPI 电路设计

SPI信号设计要求如下：

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- SPI CS和DATA 的线长以FSPI_CLK的线长为基准，误差控制在300mil以内。
- 封装+PCB信号长度不超过6inches。

表 3–6 SPI Layout Requirements

| Parameter | Requirement |
|---|---|
| Trace Impedance | 50Ω ±10% single ended |
| Data to clock matching | <300mil |
| Max trace length | <6 inches |

## 3.5 SDMMC0/SDIO PCB 设计

SDMMC0/SDIO信号设计要求如下：

- SDMMC0_DATA/SDIO_DATA、SDMMC0_CMD/ SDIO_CMD的线长以SDMMC0_CLK/ SDIO_CLK的线长为基准，偏差控制在120mil以内。
- 信号以GND为参考平面，并保持参考平面的完整性。
- SDMMC0接TF卡，ESD器件选择结电容小于1pF的器件。
- 封装+PCB线长不超过4inches。

表 3–7 SDMMC/SDIO Layout Requirements

| Parameter | Requirement |
|---|---|
| Trace Impedance | 50Ω ±10% single ended |
| Data to clock matching | <120mil |
| Max trace length | <4 inches |
| The minimum spacing of SDMMC Signals | At least 2 times the width of SDMMC trace. |

## 3.6 RGMII 信号 PCB 设计

RGMII的信号设计要求：

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- RGMII_TXD、RGMII_TX_EN的线长以TX_CLK的线长为基准，误差控制在120mil以内；
- RGMII_RXD、RGMII_RX_DV的线长以RX_CLK的线长为基准，误差控制在120mil以内；
- MDI0+、MDI0-、MDI1+、MDI1-、MDI2+、MDI2-、MDI3+、MDI3-、差分对长度控制在10mil，差分阻抗控制在100ohm±10%；
- RGMII的线越短越好；
- RJ45靠近PHY放置；
- CLK信号包地处理。
- 封装+PCB的线长不超过5inches。

表 3–8 RGMII Layout Requirements

| Parameter | Requirement |
|---|---|
| Trace Impedance | 50Ω ±10% single ended |
| (TXD0,TXD1,TXD2,TXD3,TXEN ) to TXCLK matching | <120mil |
| (RXD0,RXD1,RXD2,RXD3,RXDV ) to RXCLK matching | <120mil |
| Max trace length | <5 inches |
| The minimum spacing of RGMII Signals | At least 2 times the width of RGMII trace. |

Rockchip Confidential

| | |
|---|---|
| The minimum spacing between RGMII and other Signals | Recommend 3 times the width of RGMII trace.<br>At least 2 times the width of RGMII trace. |

## 3.7 Video input PCB 设计

MIPI RX信号设计要求：

- 差分信号以GND为参考平面，并保持参考平面完整；
- PCB走线长度建议7.2inches以内，差分对P/N等长控制在24mil内，对间以采样差分时钟为参考，等长控制在42mil以内（封装+PCB联合控制等长）。
- MIPI RX差分对的PCB走线控制差分阻抗100ohm±10%。
- 差分信号经过连接器时，相邻差分信号对之间必须使用GND管脚进行隔离。
- 为提高MIPI-CSI性能，控制器电源的去耦电容请靠近管脚放置；
- 差分对与其他信号的间距遵循3W原则。

Parallel CIF接口信号设计要求：

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 相邻信号走线间距保持“3W”原则；
- CIF_DATA、CIF_HSYNC、CIF_VSYNC的线长以CIF_CLKOUT、CIF_CLKIN的线长为基准，偏差控制在±50mil以内。

## 3.8 Video output PCB 设计

MIPI TX信号设计要求：

- 差分信号以GND为参考平面，并保持参考平面完整；
- MIPI TX差分对的PCB走线控制差分阻抗100ohm±10%。
- 如果使用FPC连接，建议PCB+FPC的总长度不超过6inches。
- 差分对P/N等长控制在24mil内，对间以CLK做等长，等长控制在42mil以内。

表 3–9 MIPI Layout Requirements

| Parameter | Requirement |
|---|---|
| Trace Impedance | 100Ω ±10% differential |
| Max intra-pair skew | <24mil |
| Data to clock matching | <42mil |
| Max trace length | <6 inches |
| Maximum allowed via | 4 |
| Minimum pair to pair spacing | Recommend >3 times the width of MIPI trace.<br>At least 2 times the width of MIPI trace .<br>Try to increase Spacing between pairs whenever it is possible. |
| The minimum spacing between MIPI and other Signals | Recommend >3 times the width of MIPI trace.<br>At least 2 times the width of MIPI trace . |

Video output BT1120和LCDC信号设计要求如下：

表 3–10 BT1120 Layout Requirements（≤74.25Mhz）

| Parameter | Requirement |
|---|---|
| Trace Impedance | 50Ω ±10%　single ended |
| Data to clock matching | <180mil |
| Max trace length | <5 inches |
| The minimum spacing of LCDC Signals | Recommend 2 times the width of LCDC trace. |

表 3–11 BT1120 Layout Requirements（148.5Mhz）

| Parameter | Requirement |
|---|---|
| Trace Impedance | 50Ω ±10%　single ended |
| Data to clock matching | <180mil |

Rockchip Confidential

| | |
|---|---|
| Max trace length | <4 inches |
| The minimum spacing of LCDC Signals | Recommend 2 times the width of LCDC trace. |

表 3–12 LCDC Layout Requirements（≤74.25Mhz）

| Parameter | Requirement |
|---|---|
| Trace Impedance | 50Ω ±10% single ended |
| Data to clock matching | <180mil |
| Max trace length | <5 inches |
| The minimum spacing of LCDC Signals | Recommend 2 times the width of LCDC trace. |

表 3–13 LCDC Layout Requirements（148.5Mhz）

| Parameter | Requirement |
|---|---|
| Trace Impedance | 50Ω ±10% single ended |
| Data to clock matching | <180mil |
| Max trace length | <3 inches |
| The minimum spacing of LCDC Signals | Recommend 2 times the width of LCDC trace. |

## 3.9 USB PCB 设计

USB信号设计要求如下：

- 差分信号组内走线长度偏差控制在±30mil以内，差分阻抗控制在90ohm±10%。
- 差分信号必须以GND为参考平面，并保持信号参考平面的完整性。
- RV11XX的USB2.0差分信号线走线长度不大于6inch,过孔数量不超过6个。USB信号过孔附近需要放置一个GND过孔，以获得更好的信号质量。
- 避免邻近其他信号，并保证与其他信号的间距大于20mil。
- REXT电阻要求靠近主控放置。
- ESD器件寄生电容建议小于1pF。

表 3–14 USB 2.0 Layout Requirements

| Parameter | Requirement |
|---|---|
| Trace Impedance | 90Ω ±10% differential |
| Max intra-pair skew | <30mil |
| Max trace length on carrier board | <6 inches |
| Maximum allowed via | Recommend less than 4 vias<br>Cannot exceed 6 vias |

# 4 热设计建议

## 4.1 热仿真结果

可靠性和可操作性问题，绝对最大结温度必须低于125℃。

注意

*热阻是在PCB没有外加散热条件下的参考值，具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。*

### 4.1.1 结果概要

热阻仿真结果如下：

表 4–1芯片热阻仿真报告结果

Rockchip Confidential

| Parameter | Symbol | Typical | Unit |
|---|---|---|---|
| Junction-to-ambient thermal resistance | $\theta_{JA}$ | 33.3 | (℃/W) |
| Junction-to-board thermal resistance | $\theta_{JB}$ | 7.3 | (℃/W) |
| Junction-to-case thermal resistance | $\theta_{JC}$ | 3.7 | (℃/W) |

### 4.1.2 PCB 描述

热阻仿真用的PCB结构如下表：

表 4–2芯片热阻仿真的PCB结构

| | | |
|---|---|---|
| PCB | PCB Dimension（L x W） | 45 x 45mm |
| | PCB Thickness | 1.6mm |
| | Number of Cu Layer | 4-layers |

### 4.1.3 术语解释

本章中的的术语解释如下：

- $T_J$: 最高结温；
- $T_A$: 外界环境温度；
- $T_C$: 封装壳体最高温度；
- $T_B$: PCB结合面最高温度；
- P: 总输入功率

The thermal parameter can be define as following

**1.** *Junction to ambient thermal resistance, $\theta_{JA}$,* **defined as:**

$$\theta_{JA} = \frac{T_J - T_A}{P} \quad ; \qquad (1)$$

**Thermal Dissipation of EHS-FCBGA**

图 4–1 θJA的定义

**2.** *Junction to case thermal resistance, $\theta_{JC}$,* **defined as:**

$$\theta_{JC} = \frac{T_J - T_C}{P} \quad ; \qquad (2)$$

**Attach a block with constant temperature onto package.**

图 4–2 θJC的定义

**3.** *Junction to board thermal resistance,* $\theta_{JB}$, **defined as:**

$$\theta_{JB} = \frac{T_J - T_B}{P} \quad ; \qquad (3)$$

图 4–3 θJB的定义

## 4.2 芯片内部热控制方式

### 4.2.1 温度控制策略

在Linux内核中，定义一套温控框架linux Generic Thermal System Drivers，它可以通过不同的策略控制系统的温度，目前常用的有以下三种策略：

- Power_allocator：引入PID（比例-积分-微分）控制，根据当前温度，动态给各模块分配power，并将power转换为频率，从而达到根据温度限制频率的效果。
- Step_wise ：根据当前温度，逐级限制频率；
- Userspace：不限制频率。

主控芯片内部有T-sensor检测片内温度，默认使用Power_allocator的策略，工作状态分以下几种情况：

- 当温度超过设定的温度值：
  - 温度趋势上升，允许的最高频率将降低；
  - 温度趋势下降，允许的最高频率将升高；
- 当温度低于设定的温度值：
  - 允许的最高频率为默认值，不受Thermal控制；
- 在降频后芯片依旧过温（比如散热不良）超过一定的温度时软件会触发重启；当deadlock或其他引起重启不了，导致芯片超过一定的温度度，则会触发芯片内部的otp_out给PMIC直接关机。具体的温度要看最终的软件策略的设置。

注意

*温度趋势是通过采集到的前后两个温度做对比得出的。设备温度未超过阀值时，每1秒采集一次温度；当设备温度超过阀值时，每20ms采集一次温度并限制频率。*

### 4.2.2 温度控制配置

系统SDK中可以针对ARM和NPU,VEPU分别提供温控策略，具体配置请参考我司《Rockchip thermal开发指南》。

Rockchip Confidential

# 5 ESD/EMI防护设计

## 5.1 概述

本章对于产品设计中的ESD/EMI防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

## 5.2 术语解释

本章中的术语解释如下：：

- ESD（Electro-Static discharge）：静电释放；
- EMI（Electromagnetic Interference）：电磁干扰，包括传导干扰和辐射干扰两部分；

## 5.3 ESD 防护

- 保证合理的模具设计；端口和插接件需预留抗ESD器件；
- 在PCB布局时做好敏感器件的保护，隔离；
- 布局时尽量将主控芯片及核心部件放在PCB中间，不能放在PCB中间的需要保证屏蔽罩离板边至少2MM以上的距离，且要保证屏蔽罩能够可靠接地；
- 应该按功能模块及信号流向来布局PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放应对ESD的器件，一般要求摆在源头，即ESD器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB设计时要保证良好的内外层地回路，以保证静电回路的通畅，避免静电进入时产生较大的电势差造成系统控制异常；
- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- PCB板合理露GND铜皮，以便整机组装时与导电结构件做好连接，加强静电释放效果，；

## 5.4 EMI 防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。我们不能处理敏感设备，所以处理EMI就只能从干扰源跟耦合通道入手了。解决EMI问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；
- PCB上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接）等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；
- 常用应对EMI材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；
- 滤波器选择原则:若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如SDIO,RGB,CIF等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其SI许可范围。差分接口一般使用共模电感来抑制EMI；
- PCB上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- 核心器件展频功能的使用：如果辐射干扰可以明确频点及产生的源头，可以通过相关时钟的展频来降低辐射的能量，原则上可以满足设计要求的情况下，展频幅度越小越好，以降低风险。；
- EMI跟ESD对LAYOUT的要求有高度一致性，前述ESD的LAYOUT要求，大部分适用于EMI防护。另外增加下面的要求；
  - 尽量保证信号的完整性，参考平面的完整；
  - 差分线要做好等长及紧密耦合，保证差分信号的对称性，尽量减少差分信号的错位，避免相

Rockchip Confidential

位不匹配引起EMI问题；

- 有插件电解电容等带金属壳器件的元件，应避免耦合干扰信号从而向外辐射。也要避免器件的干扰信号从壳体耦合到其他信号线；

Rockchip Confidential

# 6 焊接工艺

## 6.1 概述

RV1126/RV1109芯片为ROHS指令认证产品，即均是Lead-free产品。本章规范了客户端在使用主控芯片SMT时各个时间段温度的基本设置，主要介绍客户在使用RV1126/RV1109芯片回流焊时的工艺控制：主要是无铅工艺和混合工艺两类。

## 6.2 术语解释

本章中的术语解释如下：

- Lead-free：无铅工艺；
- Pb-free：无铅工艺，所有器件（主板、所有IC、电阻电容等）均为无铅器件，并使用无铅锡膏的纯无铅工艺；
- Reflow profile：回流焊；
- Restriction of Hazardous Substances（ROHS）：关于限制在电子电器设备中使用某些有害成分的指令；
- Surface Mount Technology（SMT）：表面贴装技术；
- Sn-Pb：锡铅混合工艺，指使用有铅锡膏和既有无铅BGA也有有铅IC的混合焊接工艺；

## 6.3 回流焊要求

### 6.3.1 焊膏成分要求

Solder 合金与flux 比重为90%：10%；体积比为：50%：50%，锡膏冷藏温度2~10°C，使用前应常温下回温，回温时间3~4小时并做好时间记录。

刷板前锡膏需要搅拌，手工搅拌3～5分钟或机械搅拌3分钟，搅拌后呈自然垂流状。

### 6.3.2 SMT 曲线

由于RK芯片均采用环保材料，建议使用Pb-Free工艺。下图回流焊曲线仅为JEDEC J-STD-020D工艺要求推荐值，客户端需根据实际生产情况进行调整。

| Profile Feature | Sn-Pb Eutectic Assembly | Pb-Free Assembly |
|---|---|---|
| **Preheat & Soak**<br>Temperature min ($T_{smin}$)<br>Temperature max ($T_{smax}$)<br>Time ($T_{smin}$ to $T_{smax}$) ($t_s$) | <br>100 °C<br>150 °C<br>60-120 seconds | <br>150 °C<br>200 °C<br>60-120 seconds |
| Average ramp-up rate ($T_{smax}$ to $T_p$) | 3 °C/second max. | 3 °C/second max. |
| Liquidous temperature ($T_L$)<br>Time at liquidous ($t_L$) | 183 °C<br>60-150 seconds | 217 °C<br>60-150 seconds |
| Peak package body temperature ($T_p$)* | See classification temp in Table 4.1 | See classification temp in Table 4.2 |
| Time ($t_p$)** within 5 °C of the specified classification temperature ($T_c$) | 20** seconds | 30** seconds |
| Average ramp-down rate ($T_p$ to $T_{smax}$) | 6 °C/second max. | 6 °C/second max. |
| Time 25 °C to peak temperature | 6 minutes max. | 8 minutes max. |
| * Tolerance for peak profile temperature ($T_p$) is defined as a supplier minimum and a user maximum.<br>** Tolerance for time at peak profile temperature ($t_p$) is defined as a supplier minimum and a user maximum. | | |

图 6–1 回流焊曲线分类

Rockchip Confidential

| Package Thickness | Volume mm³ <350 | Volume mm³ 350 - 2000 | Volume mm³ >2000 |
|---|---|---|---|
| <1.6 mm | 260 °C | 260 °C | 260 °C |
| 1.6 mm - 2.5 mm | 260 °C | 250 °C | 245 °C |
| >2.5 mm | 250 °C | 245 °C | 245 °C |

图 6–2 无铅工艺器件封装体耐热标准

图 6–3 无铅回流焊接工艺曲线

### 6.3.3 SMT 建议曲线

我司建议的SMT曲线如图5-4所示：

| Step 1 Board Preheat | Step 2 Soak Time | Step 3 Peak Reflow & Time Above 220 °C | Step 4 Cool Down |
|---|---|---|---|
| Start with solder joint temp ≤ 40°C | After nozzle is lowered prior to peak reflow (Soak Time: Paste dependant; consult paste manufacturer) | Solder Joint Temp 230 – 250°C Above ≥217°C 60 – 90 sec Max delta-t of solder joint temperature at peak reflow ≤10°C | Substrate MAX Temperature ≤260°C Die Peak Temperature ≤300°C |
| Rising Ramp Rate 0.5 – 2.5° C/ Sec. | Solder Joint Temp: 200 to 220°C | | Cooling Ramp Rate -0.5 to – 2.0°C/sec |
| Board Preheat Solder Joint Temp: 125 – 150°C | Critical Ramp Rate (205 to 215°C): 0.35 – 0.75°C/sec. | Peak Temp Range, and Time Above ≥217°C spec's met. | PCB land/pad temperature needs to be at 100 – 130°C ±5°C when removing board from rework machine bottom heater at end of component removal operation or ≤80°C when using stand alone PCB Pre-Heater for PCB land/pad site dress operation. |
| Preheat with bottom heater, before nozzle is lowered | Nozzle has lowered to reflow component | Nozzle is down during peak reflow | Nozzle raises to home position when solder joint reaches peak temp range |

图 6–4 无铅回流焊接工艺建议曲线参数

Rockchip Confidential

# 7 包装和存放条件

## 7.1 概述

本章规定了芯片的存放和使用规范，以确保产品的安全和正确使用。

## 7.2 术语解释

本章中的术语解释如下：

- Desiccant：干燥剂，用于吸附潮气的一种材料；
- Floor life：产品允许暴露在环境中的最长时间，从在拆开防潮包装到回流焊之前；
- Humidity Indicator Card(HIC)：湿度指示卡；
- Moisture Sensitivity Level(MSL)：潮敏等级；
- Moisture Barrier Bag(MBB)：防潮包装袋；
- Rebake：重新烘烤；
- Solder Reflow：回流焊；
- Shell Life：存储期限；
- Storage environment：存放环境；

## 7.3 防潮包装

产品的干燥真空包装材料如下：

- 干燥剂；
- 六点湿度卡；
- 防潮袋，铝箔，银色不透明，带有湿敏等级的标识；

图 7–1 芯片干燥真空包装

Confidential

图 7–2 六点湿度卡

## 7.4 产品存放

### 7.4.1 存放环境

产品真空包装存放，在温度≦40℃且相对湿度＜90％时，保存期限可达12个月。

### 7.4.2 暴露时间

在环境条件＜30℃和湿度60％下，请参照如下表7－1。

RV1126/RV1109芯片MSL等级为3，对湿度较为敏感。如果拆开包装后没有及时使用，且长时间放置后未烘烤贴片，会大概率出现芯片失效。

表 7–1暴露时间参照表（MSL）

| MSL等级 | 暴露时间<br>工厂环境条件：≦30 ℃ /60 ％RH |
|---|---|
| 1 | Unlimited at ≤300 ℃/85 ％RH |
| 2 | 1年 |
| 2a | 4周 |
| 3 | 168小时 |
| 4 | 72小时 |
| 5 | 48小时 |
| 5a | 24小时 |
| 6 | 使用前必须烘烤，必须在标签上规定的时间内回流 |

## 7.5 潮敏产品使用

RV1126/RV1109芯片在包装袋被打开后，芯片回流焊前必须符合如下条件：

- 连续或累计暴露时间在168小时内，且工厂环境为≦30℃/60％ RH；
- 保存在＜10％ RH环境下的；

在下述情况下，芯片必须进行烘烤去除内部湿气，以避免回流焊时产生分层或爆米花问题：

- 湿度指示卡在23±5℃时，＞10％的点已变色。（颜色变化请参考湿度指示卡标示）；
- 未符合2a或2b的规范；

芯片重新烘烤的时间请参考如下表6-2所示：

表 7–2 RV11XX 芯片 Re-bake参考表

| Package Body | MSL | High Temp Bake @125℃+10/-0℃ | | Medium Temp Bake @90℃+8/-0℃ | | Low Temp Bake @40℃+5/-0℃ | |
|---|---|---|---|---|---|---|---|
| | | Exceeding Floor Life | Exceeding Floor Life by | Exceeding Floor Life | Exceeding Floor Life | Exceeding Floor Life | Exceeding Floor Life |

Rockchip Confidential

| | | by > 72h | ≤ 72h | by > 72h | by ≤ 72h | by > 72h | by ≤ 72h |
|---|---|---|---|---|---|---|---|
| Thickness ≤1.4mm | 3 | 9 hours | 7 hours | 33 hours | 23 hours | 13 days | 9 days |

注意

*此表中显示的均是受潮后，必须的最小的烘烤时间。*
*重新烘烤优先选择低温烘烤。*

Rockchip Confidential