

HyperVenus

RISC-V 软硬件集成开发调试平台

无锡亚科鸿禹电子有限公司

<http://www.hypersilicon.com/>

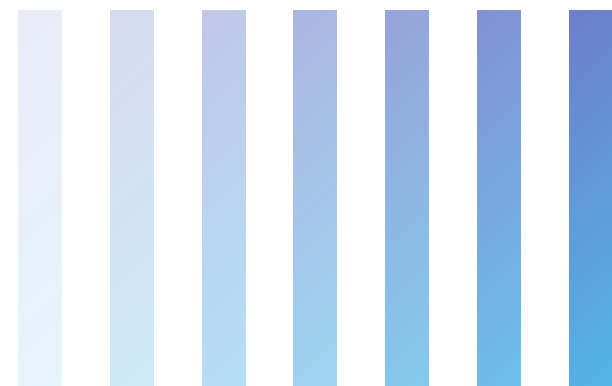
hypersilicon@hypersilicon.com

- **HyperVenus概述**
- **HyperVenus结构**
- **HyperVenus特性**
- **HyperVenus优势**
- **HyperVenus应用**



1

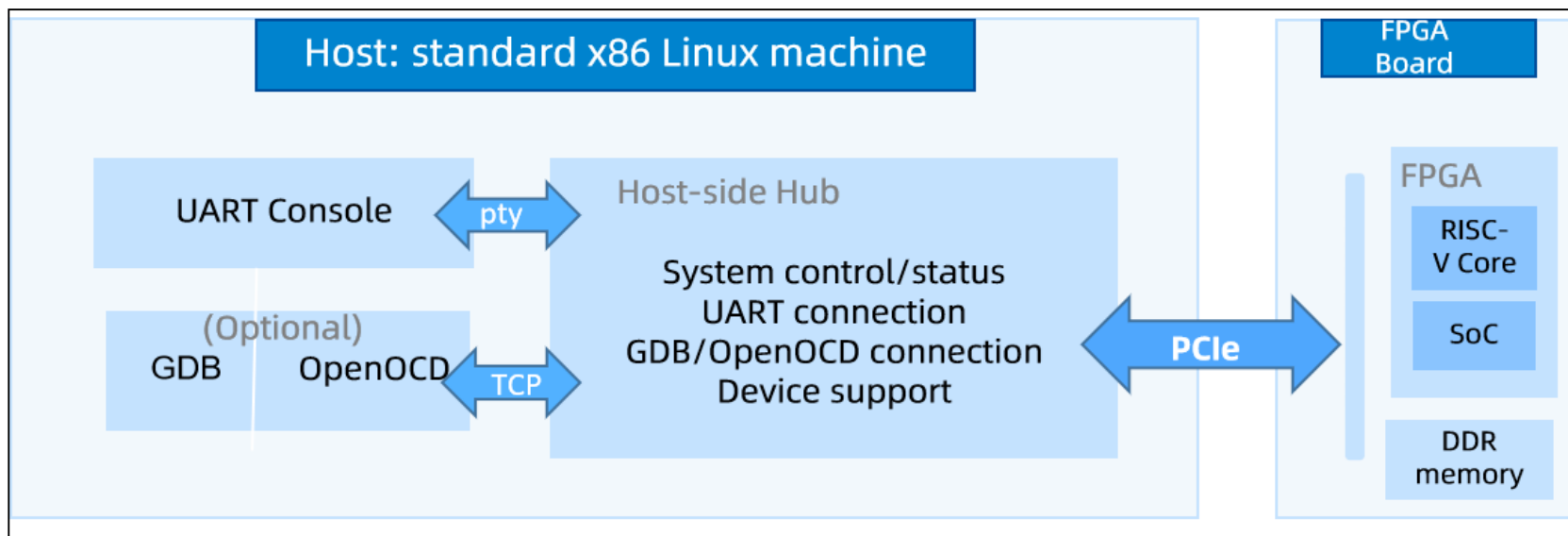
HyperVenus概述



1 HyperVenus概述

什么是HyperVenus?

HyperVenus是无锡亚科鸿禹电子有限公司基于VeriTiger系列FPGA原型验证平台，专为RISC-V客户定制开发的SoC软硬件联合仿真开发环境，支持各种常见RISC-V型号。使用者可以快速将设计部署到HyperVenus，用户可以快速地运行ISA测试，运行C程序，启动Linux内核，调试Linux系统应用程序，完成系统级开发。

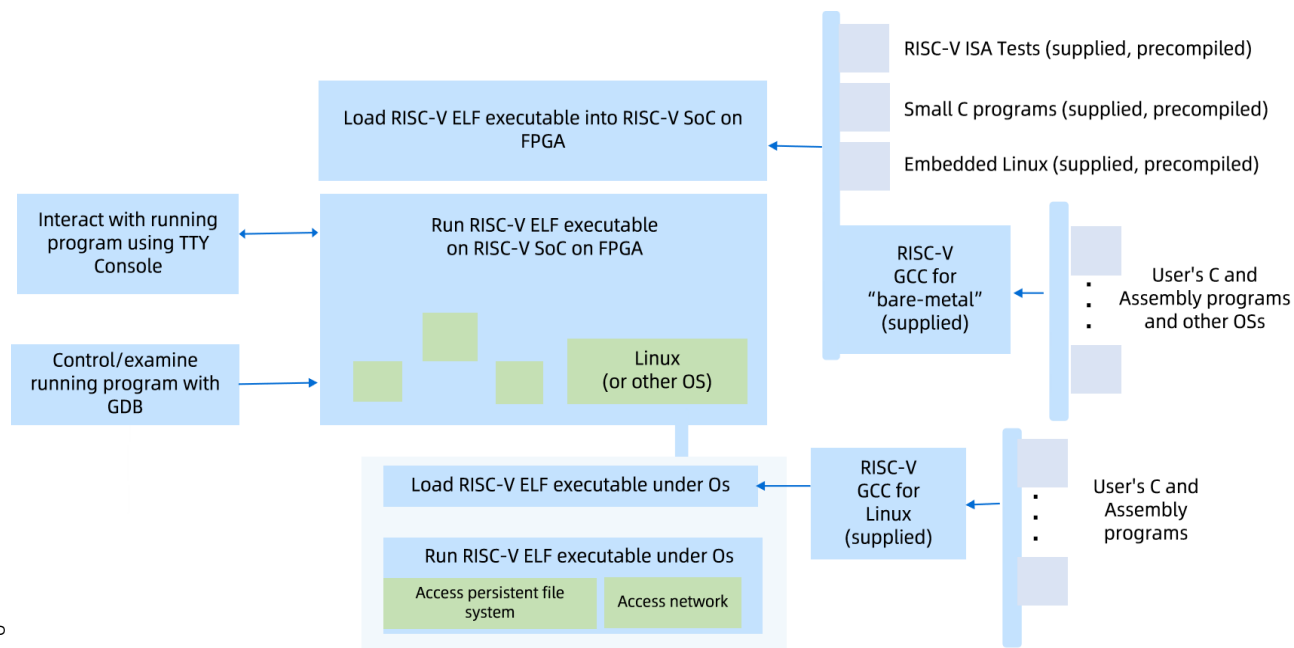


1 HyperVenus概述

HyperVenus可以做什么？

使用提供的包含开源RISC-V核预构建bitfile，甚至可以无需二次综合，用户直接可以：

- 加载并运行ISA测试；
- “裸机”程序启动开发；
- 在RISC-V内核上启动Linux内核；
- 使用gcc来编译自己的C程序；
- 启动自己的操作系统和Kernels；
- 在gdb的控制下运行调试这些程序。

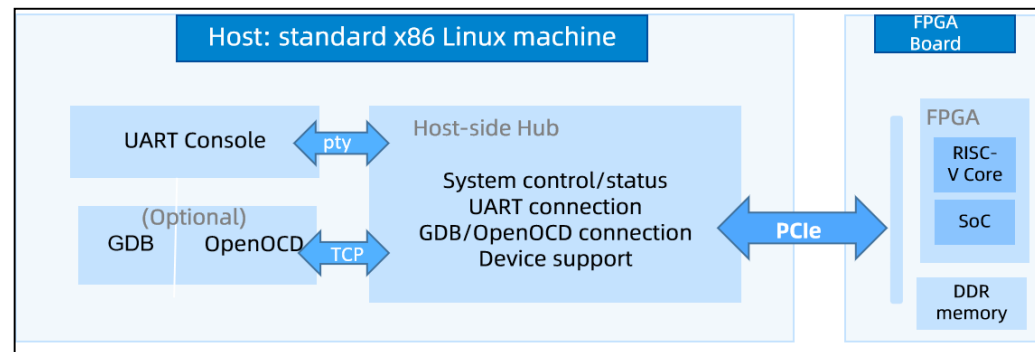


1 HyperVenus概述

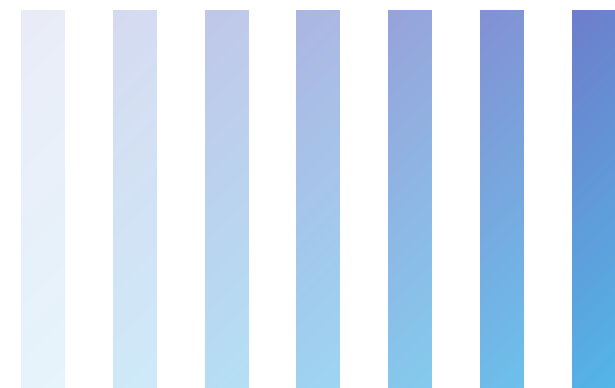
■ 谁是HyperVenus的用户群体？

亚科鸿禹的HyperVenus的典型用户包含以下：

- ◆ RISC-V上裸核和嵌入式应用程序的开发人员；
- ◆ RISC-V嵌入式操作系统和实时操作系统的开发人员；
- ◆ RISC-V微内核和管理程序的开发人员；
- ◆ 其他大型操作系统的开发人员（不同版本的Linux、FreeBSD、NetBSD等）
- ◆ 希望在其特定软件负载上比较不同RISC-V核的SoC产品开发工程师
- ◆ 其他学习或研究RISC-V的人员；



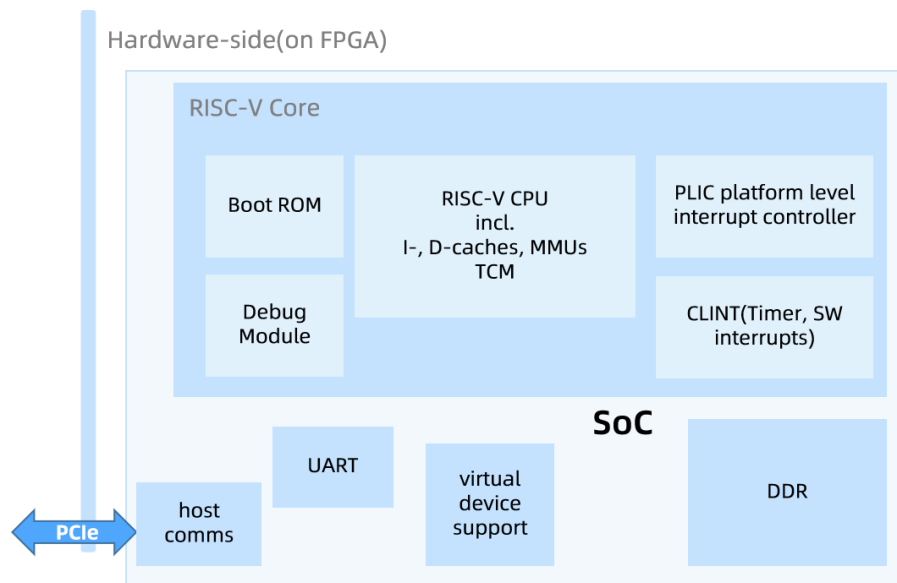
HyperVenus结构



2 HyperVenus结构

HyperVenus硬件侧

硬件侧在亚科鸿禹VeriTiger系列FPGA原型验证平台上运行，该平台与运行Linux的标准X86主机通过PCIe互联。HyperVenus提供预先编译的FPGA bitfile，其中包含开源RISC-V内核，支持各种RISC-V的替换移植，从小到大，从Bare-metal到Linux系统（RV32I、RV64I、可选RISC-V扩展M、A、F、D、C），从简单到高级的无序、超标量、分支预测处理器和多核。



该环境可以支持CPU和高速缓存的最小内核，以及同构或异构多核。

如：

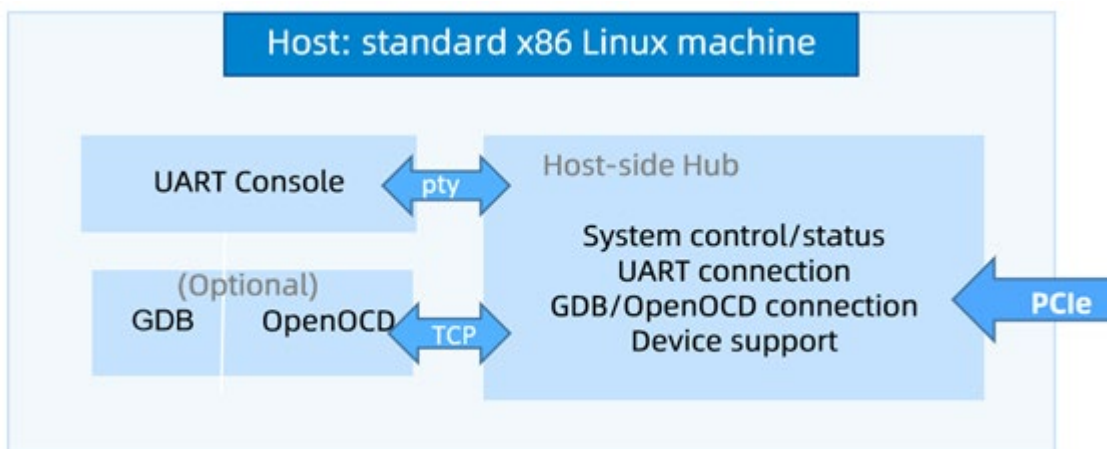
- 多级缓存和MMU
- 平台级中断控制器
- CLINT（实时定时器和定时器中断，软件中断）
- 调试模块
- 启动ROM

2 HyperVenus结构

HyperVenus软件侧

在主机端，有Host-Side Hub程序控制硬件端并与之通信。可以将RISC-V ELF文件加载到RISC-V内存中，并重置RISC-V Core，使其开始运行加载的程序。用户可以与RISC-V核上运行的程序进行交互。

当RISC-V内核运行Linux时，HSH为RISC-V核提供虚拟设备服务，提供的RISC-V GNU工具链包括GNU调试器GDB和OpenOCD，后者充当GDB和FPGA上硬件RISC-V调试模块之间的中介。



- 硬件端UART和在终端窗口中运行的UART控制台之间的连接，用作RISC-V的TTY控制台。
- RISC-V硬件侧调试模块与在终端窗口中运行的GDB之间的连接，用于RISC-V的远程控制和调试。
- “Virtio” 设备仿真和对RISC-V的支持。
- Command输入端，从中可以加载RISC-V可执行文件将内容下载到硬件中的DRAM中，并执行代码。

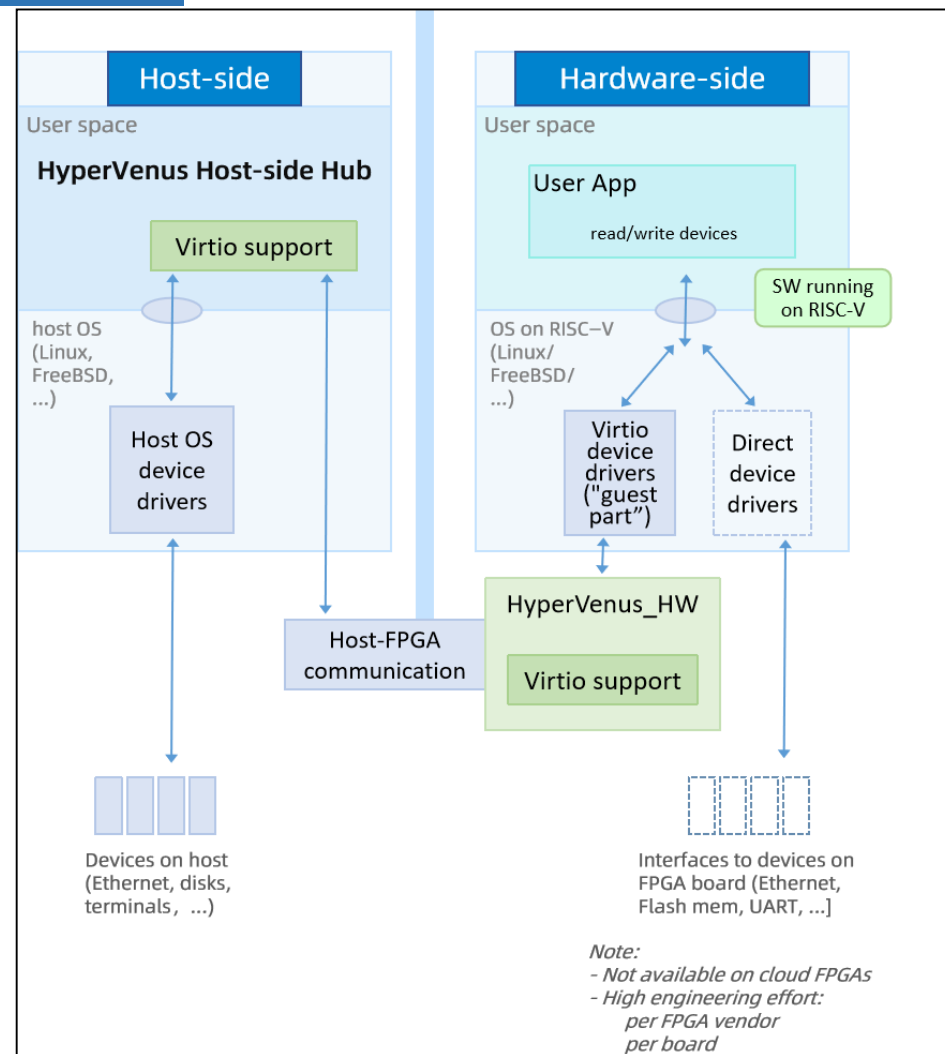


2 HyperVenus结构

HyperVenus虚拟外设

HyperVenus不使用真正的FPGA实际外设器件或者电路板，而是使用虚拟设备，以便主机端可以向FPGA端提供设备服务。

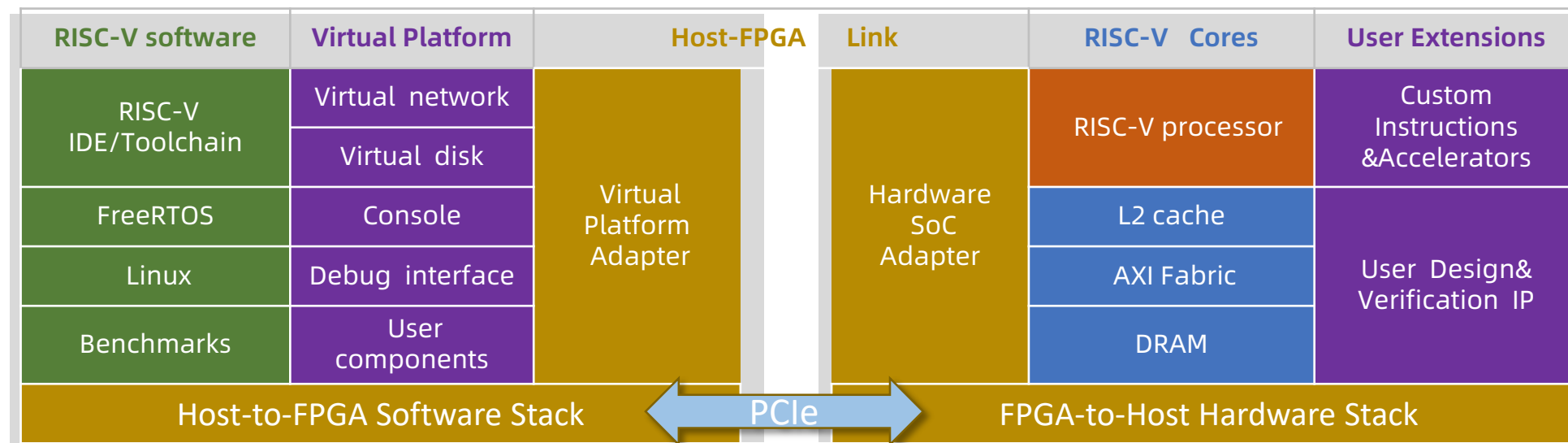
所谓的实际外设FPGA原型验证平台中常常以子卡或者外设电路板卡的形式存在，Virtio是一个用于支持各种“虚拟”设备的开放标准。在HyperVenus中，主机端扮演管理程序的角色，通过Virtio协议向运行在硬件端FPGA上的操作系统提供设备服务。



2 HyperVenus结构

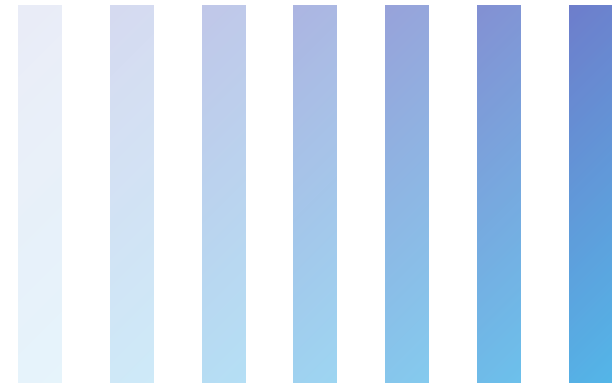
HyperVenus典型调试过程

1. 将包含RISC-V核的bitfile加载到FPGA中；
2. 启动UART和主机端程序，进入一个交互式循环；
3. 在出现提示时在RISC-V核上断言复位；
4. 将RISC-V ELF文件加载到RISC-V核的内存中；
5. 在RISC-V核上重置Deassert，使其开始执行加载的RISC-V代码；
6. 使用UART与RISC-V核进行交互。当加载Linux内核时，可以访问虚拟存储和网络。





HyperVenus特性





HyperVenus参数

RISC-V 核:

- pre-built RV32/64 cores
- IMAFDC extensions
- User-defined instructions
- 3-stage, 5-stage, multi-cycle
- TCM, L1, L2 memory
- Physical & virtual memory
- PLIC interrupt controller
- CLINT timer
- Debug Module

RISC-V 工具:

- GNU RISC-V toolchain
- GDB remote debug
- OpenOCD debug translator
- UART console

RISC-V 软件:

- FreeRTOS
- Linux kernel
- CoreMark benchmark
- Embench benchmark

Emulation:

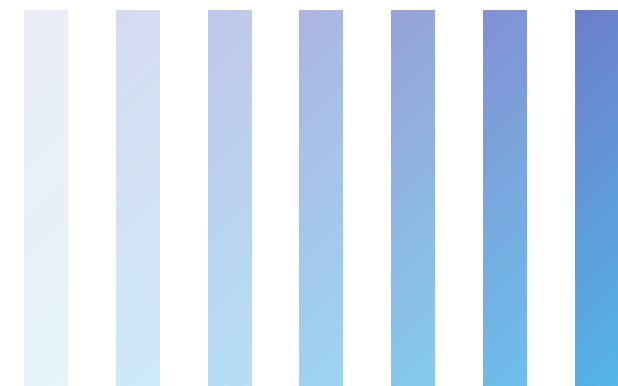
- 16 GB/s PCIe host-FPGA link
- Industrial strength SoC
- ~100M operating frequency

虚拟平台:

- Virtio networking (TCP/IP)
- Virtio block device (disk)
- User-defined virtual models



4 HyperVenus优势



4 HyperVenus优势



HyperVenus给客户带来什么?



RISC-V核无风险快速集成

- 高性能RISC-V核快速集成;
- VeriTiger系列FPGA系统原型验证平台;
- UltraScale+ 系列FPGA (VU19P、VU13P等)。



软件系统开发快速启动

- 混合虚拟平台提供了RISC-V生态工具,
- 快速启动嵌入式代码和外设的开发;
- “裸机”运行调试;
- 嵌入式Linux内核运行调试;
- OpenOCD/GDB调试RISC-V程序。



平台可复用性强, 显著减少开发时间

- 支持添加用户IP块、虚拟模型;
- 移植用户定制RISC-V核;
- 单个可重用平台上整合多个RISC-V软硬件仿真。



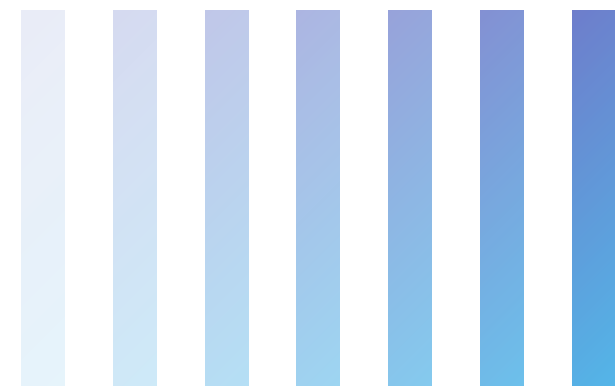
融合FPGA原型平台的硬件加速仿真

- 100+MHz的频率下硬件精确代码执行,
- RISC-V Linux中访问虚拟存储系统;
- RISC-V Linux中访问虚拟网络;
- 编译调试自己的C代码, 运行ELF文件;
- SoC系统级仿真验证开发环境。

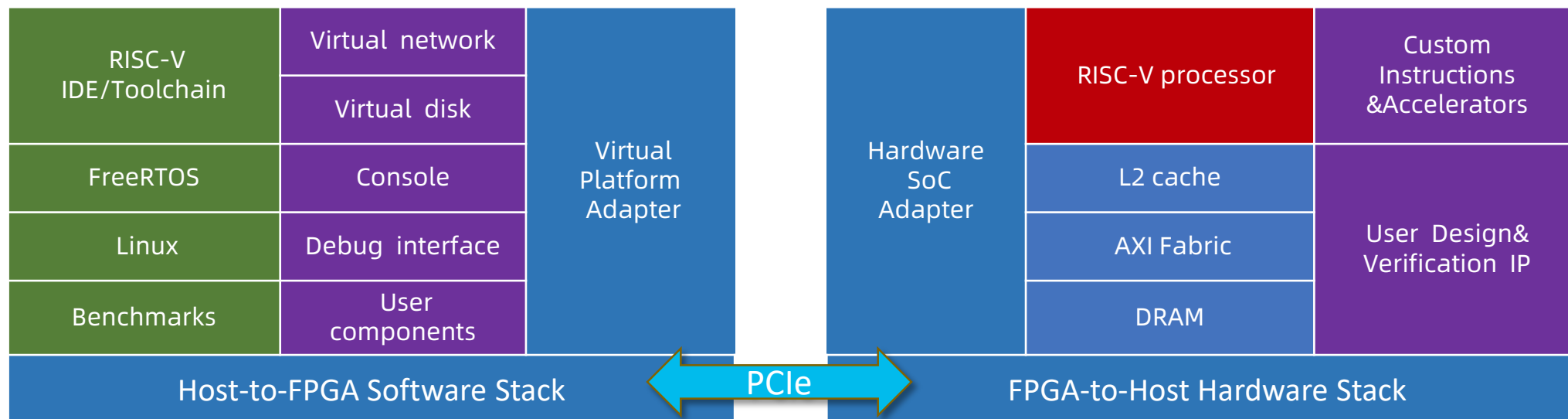


5

HyperVenus应用



5 HyperVenus应用

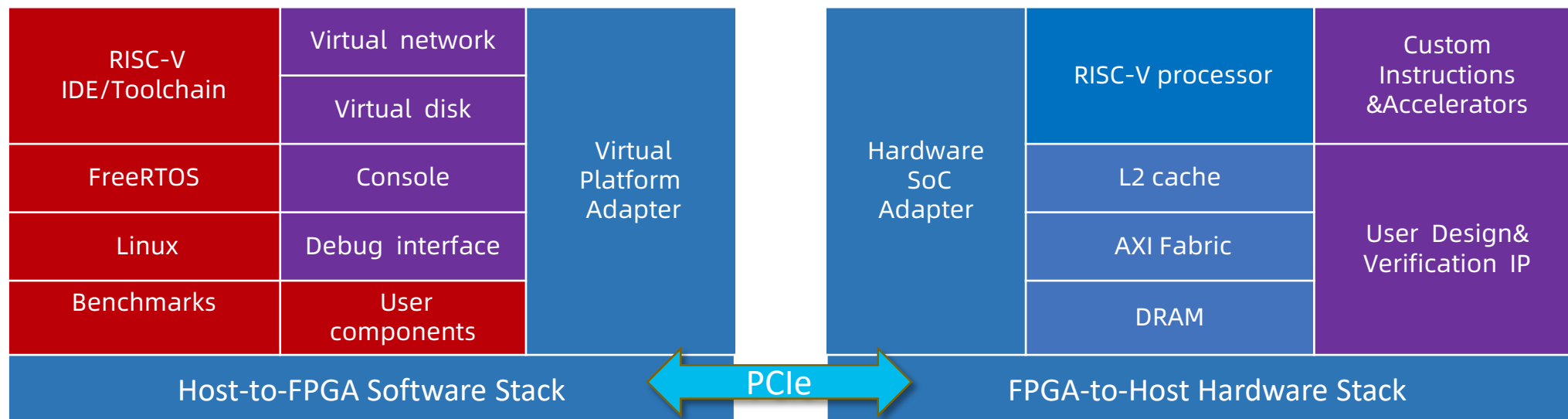


评估和选择 RISC-V核

- 在多个预定义的bitfile的RISC-V核上运行您的软件
- 可快速切换RISC-V核
- 快速移植评估目标RISC-V核



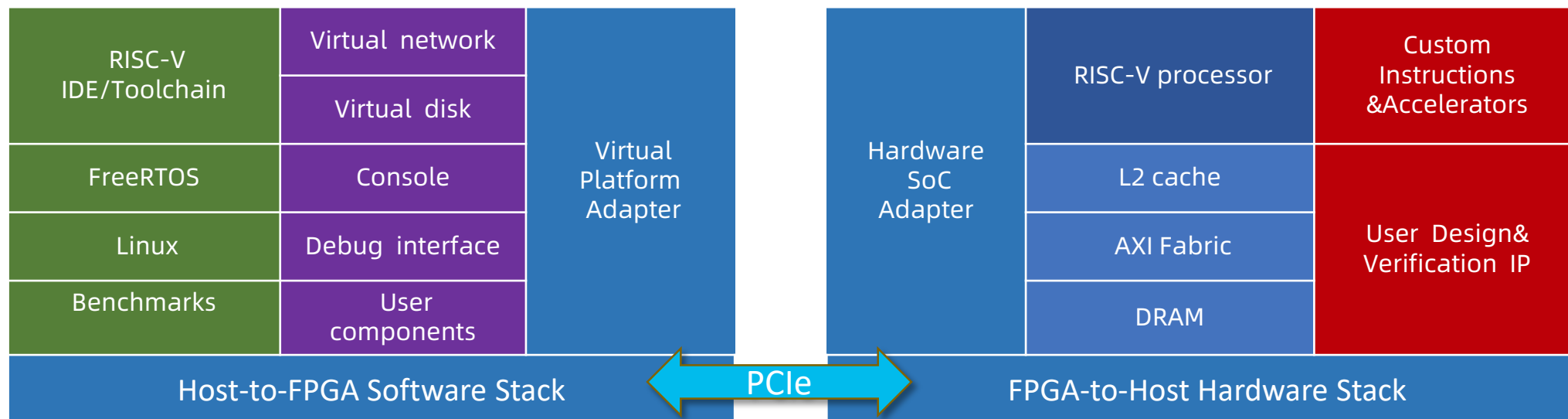
5 HyperVenus应用



独立开发RISC-V软件，无需硬件工程师支撑

- 快速进行软件开发，RISC-V核运行在工业级SoC替代品中
- 使用虚拟模型，直到有新的硬件模块可用为止
- 加速产品上市时间





加速应用软件开发

- 自定义扩展端口实现软件平台连接硬件侧RISC-V核
- 使用通用API接口访问硬件端口
- 优化验证应用软件





Thank You



jackyyu@hypersilicon.com



电话: 0510-68088508



微信: 亚科鸿禹



<http://www.hypersilicon.com/>