



浙江大学  
ZHEJIANG UNIVERSITY

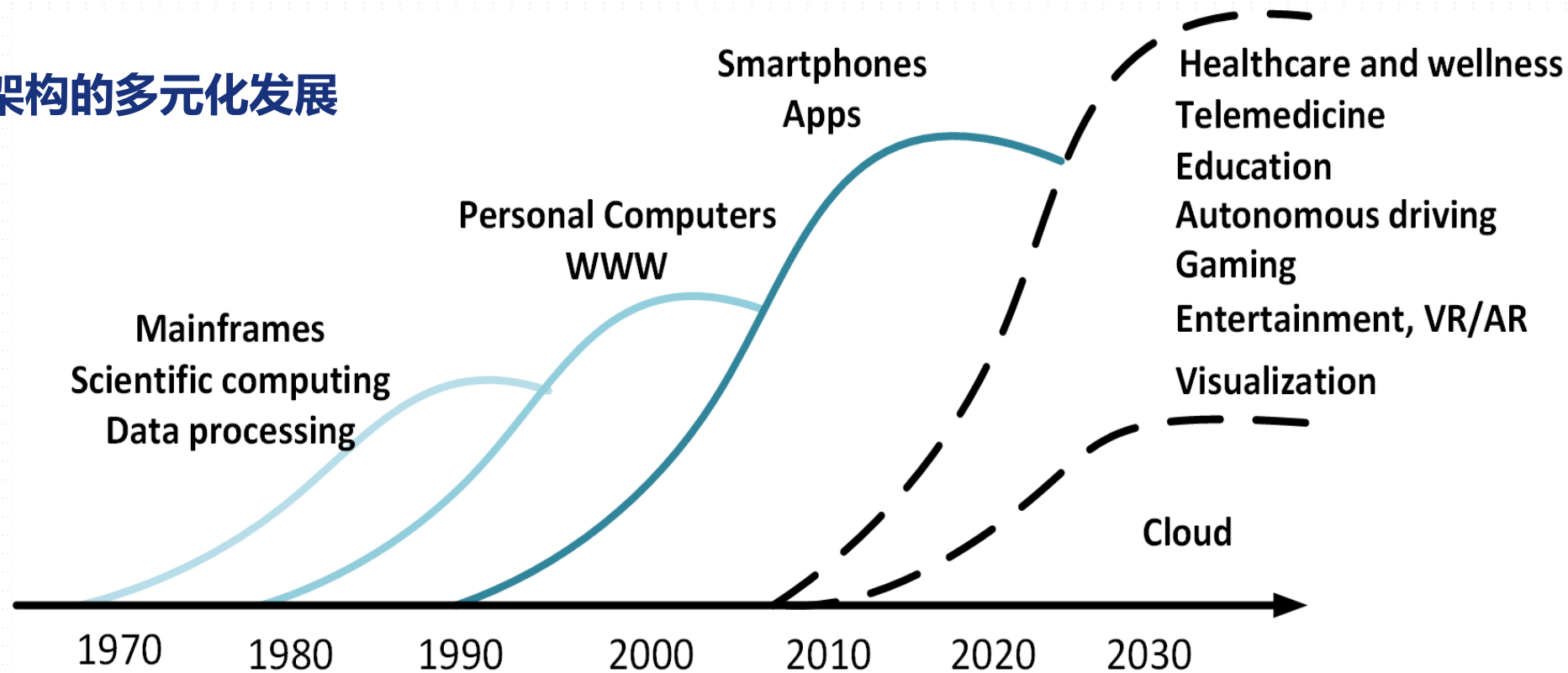


# “计算机组成与设计”课程的变革

## RVfpga课程实践

浙江大学 – 刘鹏 席宇浩 王维东  
Imagination Tech. – Robert Owen  
2023/08/25

## 计算架构的多元化发展



- 理解现代计算架构如何工作
- 理解未来计算架构的发展趋势
- 计算架构对系统软件和应用的影响
- 未来技术对计算架构的影响

# » “计算机组成与设计” 课程介绍



浙江大学  
ZHEJIANG UNIVERSITY

编译工具链

指令集仿真器

指令/数据/  
线程级并行

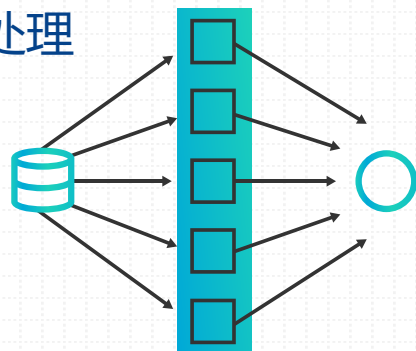
SPEC2006

CoreMark

- 指令集、汇编和C语言



- 并行处理

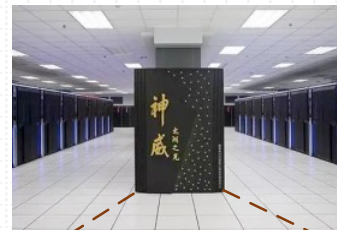


- 性能评测

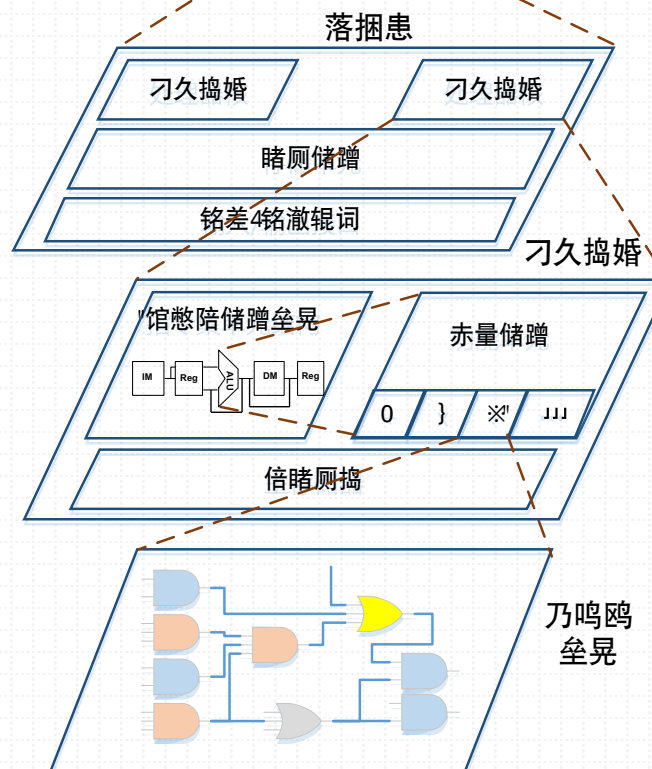


扞滨

抗滨



秘郎落捆患  
禾诡悲富



国产处理器

指令系统

流水线

存储与Cache

虚拟内存

总线与IO



- RISC-V FPGA (RVfpga) 是一个包含实验说明、硬件设计和软件工具的教学项目，旨在提供
  - 全面的、免费的、完整的RISC-V课程
  - 易于上手的实践内容以学习RISC-V处理器及其生态系统
  - 针对低成本FPGA的RISC-V片上系统
  
- 实践内容包含
  - 将商用RISC-V内核及SoC在FPGA上例化、编程
  - 为内核和系统增加更多功能
  - 分析和修改RISC-V内核和存储结构
  
- 由Imagination Technologies与其合作伙伴开发，基于西部数据的Veer EH1内核



发明 RISC-V 的团队负责人之一、加州大学伯克利分校 David Patterson 教授对课程的寄语

## 第一部分

序号	实验标题
1	创建Vivado项目
2	C语言编程
3	RISC-V汇编语言
4	函数调用
5	图像处理
6	I/O简介
7	7段显示屏
8	定时器
9	中断驱动I/O
10	串行总线

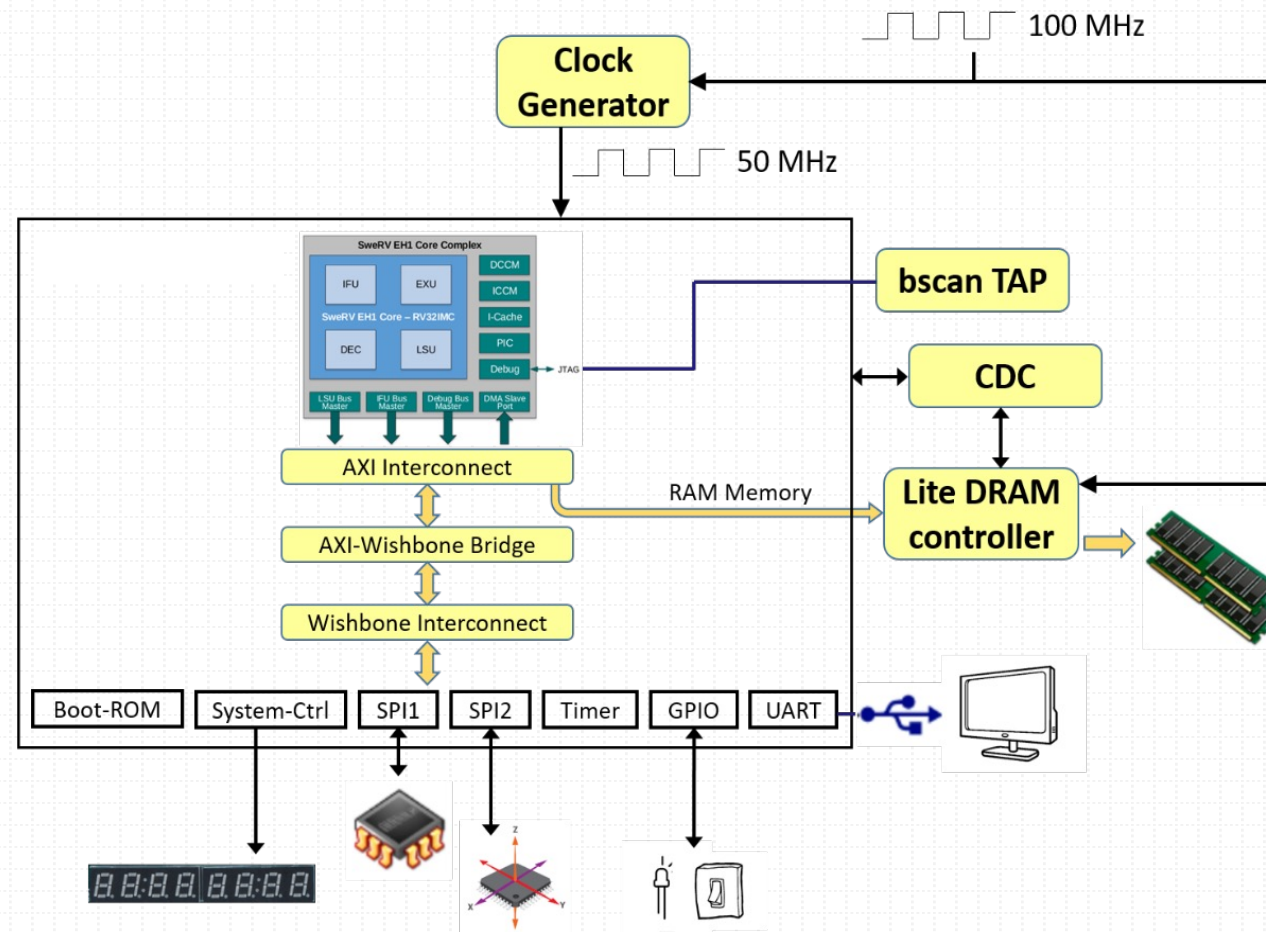
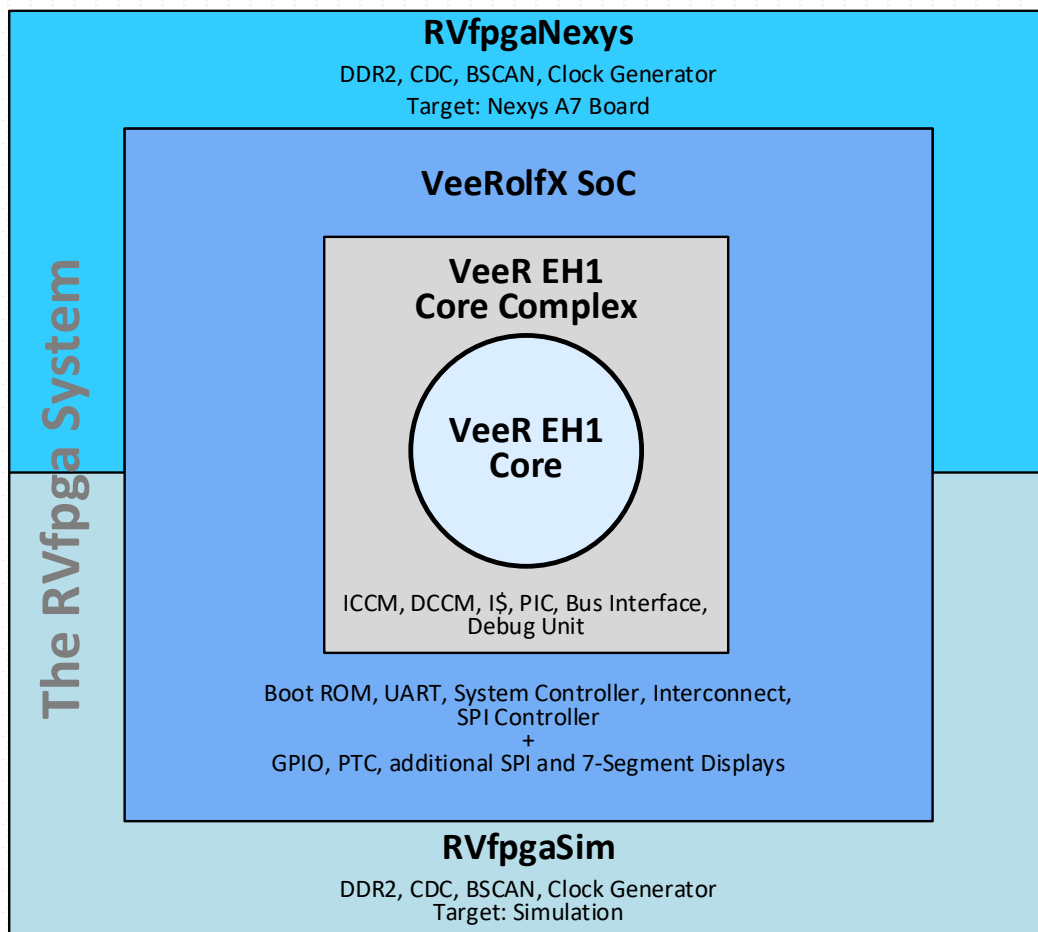
## 第二部分

序号	实验标题
11	Veer EH1配置和性能监视
12	算术/逻辑指令：add指令
13	访存指令：lw和sw指令
14	结构冒险
15	数据冒险
16	控制冒险：分支指令与分支预测器
17	超标量执行
18	添加新功能（指令和硬件计数器）
19	存储器层级：指令高速缓存
20	ICCM、DCCM和基准测试

# » RVfpga系统



浙江大学  
ZHEJIANG UNIVERSITY





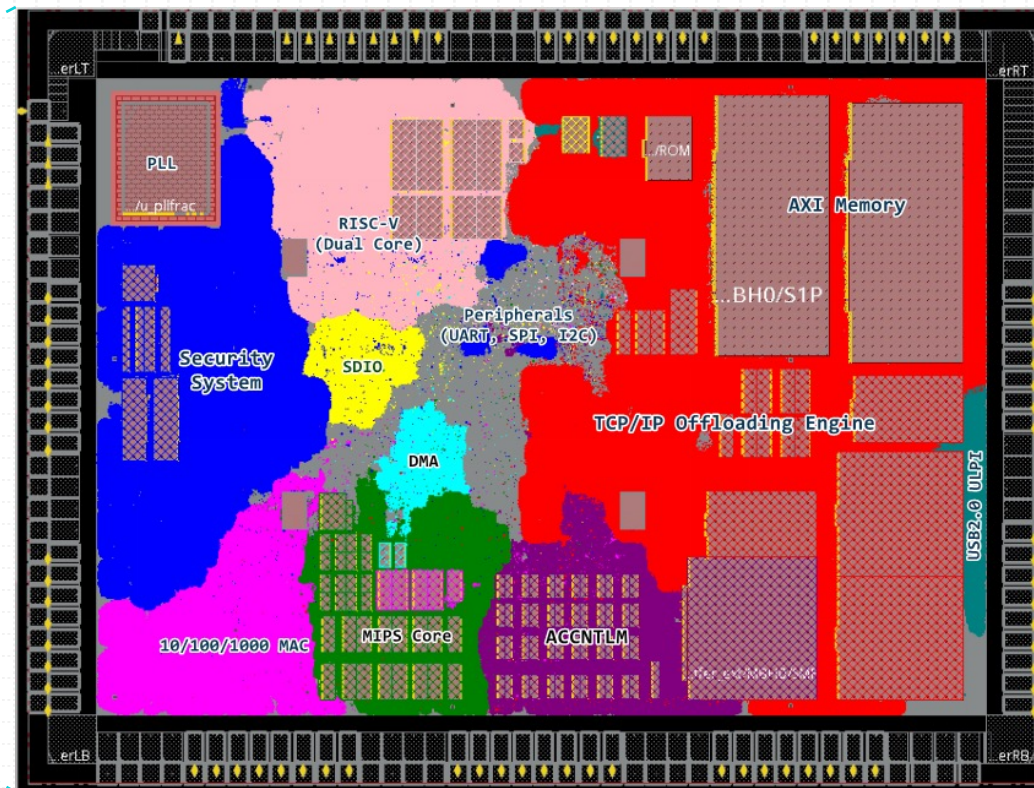
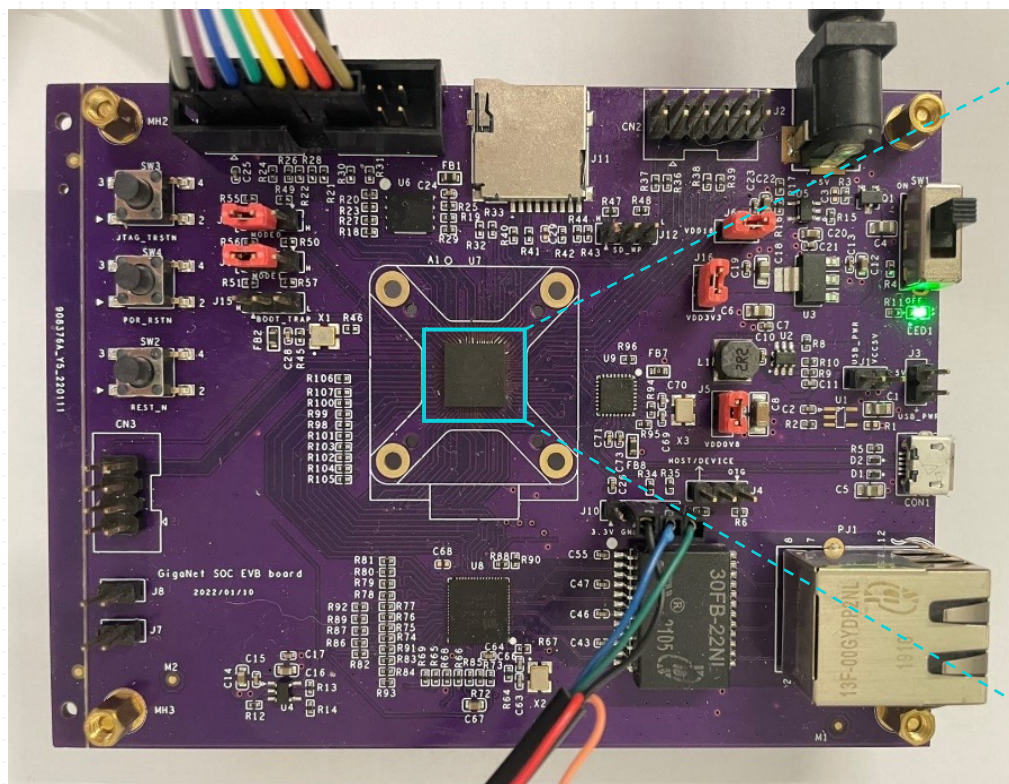
# » Veer内核实践 – 异构SOC芯片



浙江大学  
ZHEJIANG UNIVERSITY

Veer EH2内核 | 安全协处理器 | 口令恢复加速器

Technology	GF 22FDX	Die Size	4.4 mm <sup>2</sup>
------------	----------	----------	---------------------



\*由GlobalFoundries大学计划支持流片



### ➤ 中文慕课与Workshop

- 针对学生：浙江大学与Imagination合作开发的中文MOOC – RVfpga课程
- 针对老师：十月中下旬在杭州举办一天的Workshop展示具体实验内容与实验材料





浙江大学  
ZHEJIANG UNIVERSITY



# “计算机组成与设计”课程的变革

## RVfpga课程实践

浙江大学 – 刘鹏 席宇浩 王维东  
Imagination Tech. – Robert Owen  
2023/08/25