



全异步RISC-V处理器设计方 法、实例和展望

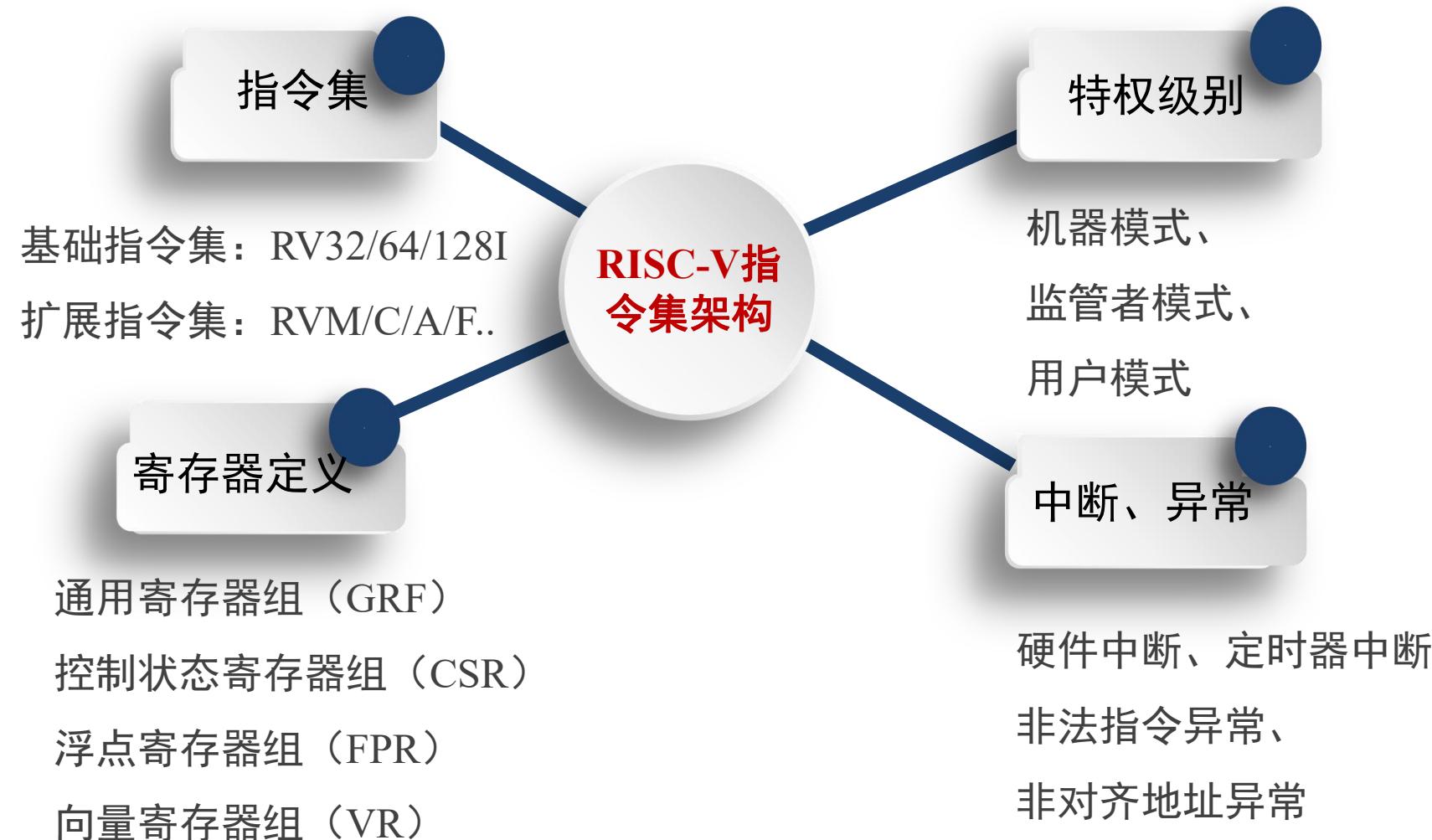
何安平 (heap@lzu.edu.cn)
兰州大学 · 信息科学与工程学院



RISC-V指令集架构 和 异步电路

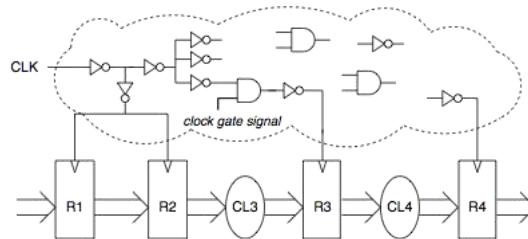
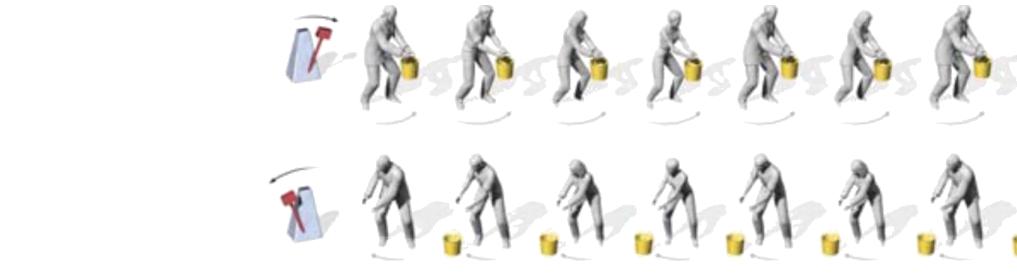
RISC-V指令集架构

RISC-V在2010年诞生于美国加州大学伯克利分校，它是一种全新的、开源且高效的指令级架构，其精简、模块化和可定制等特点完美契合嵌入式处理器的需求。



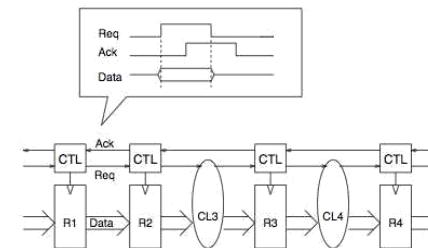
同步与异步机制

同步时钟方法

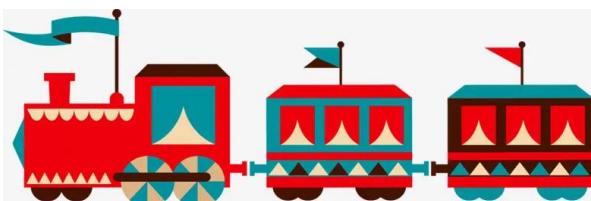


超大规模集成电路中的时钟同步、时钟分布和跨时钟域问题的代价越来越大，时钟功耗、时钟面积和电磁辐射等问题日益突出

异步无时钟方法

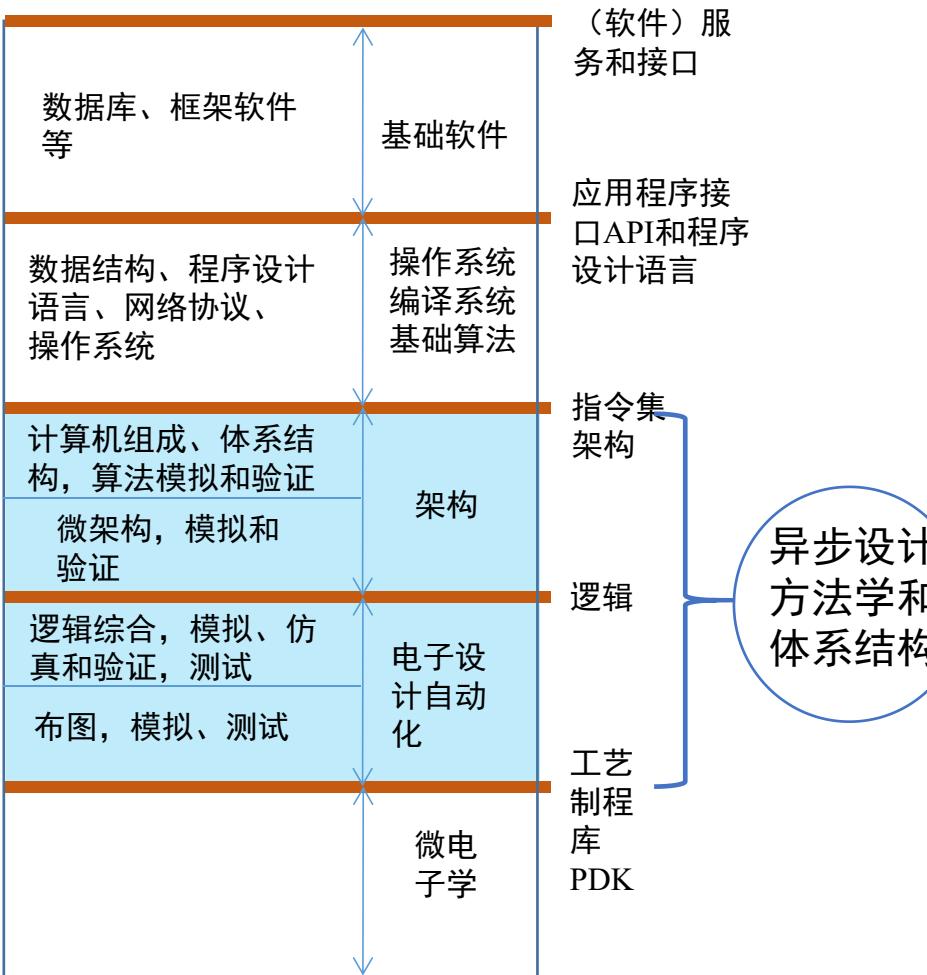


超大规模集成电路中的时钟同步、时钟分布和跨时钟域问题的代价越来越大，时钟功耗、时钟面积和电磁辐射等问题日益突出



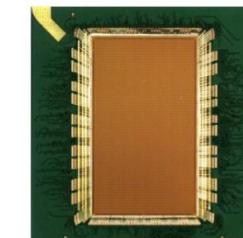
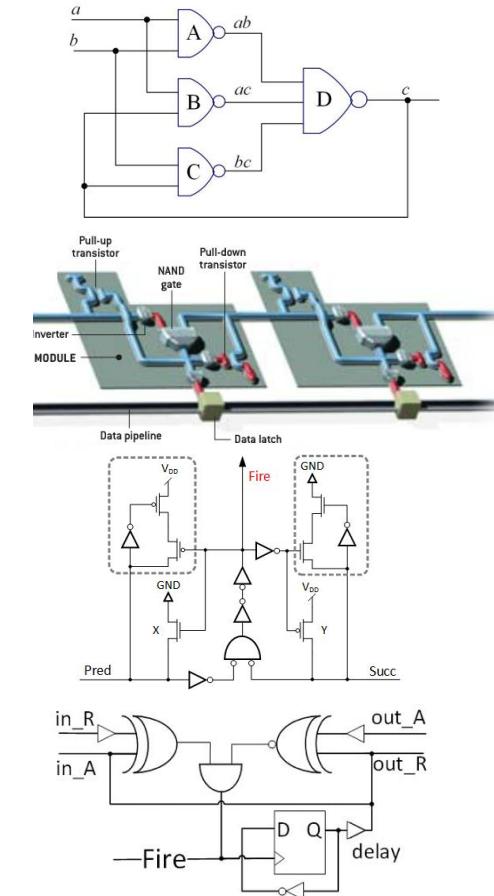
- [1] Sutherland I E , Ebergen J . Computers without Clocks-Asynchronous chips improve computer performance by letting each circuit run as fast as it can. Scientific American, 2002.
[2] Sparsø, J. (2020). Introduction to Asynchronous Circuit Design. DTU Compute, Technical University of Denmark.

异步电路的发展



里程碑

- Clement异步控制逻辑电路 (1959, D. E. Müller)
- 异步微流水线 (Ivan Sutherland, 1988图灵奖颁奖典礼)
 - GasP异步控制逻辑 (Ivan Sutherland, 2001)
 - Click异步控制逻辑 (AMG Peeters, FT Beest, MD Wit, WC Mallon, 2010)
- TrueNorth神经拟态芯片 (IBM, 2016)



[1] D.E. Muller and W.S. Bartky. A theory of asynchronous circuits. In Proceedings of an International Symposium on the Theory of Switching, Cambridge, April 1957, Part I, pages 204–243. Harvard University Press, 1959.

[2] Ivan E. Sutherland. Micropipelines. Communications of the ACM, 1989, 32(6):720-738.

[3] Ivan E. Sutherland and Jo Ebergen. Computers without clocks. Scientific American, 2002, 287(2):62~69.

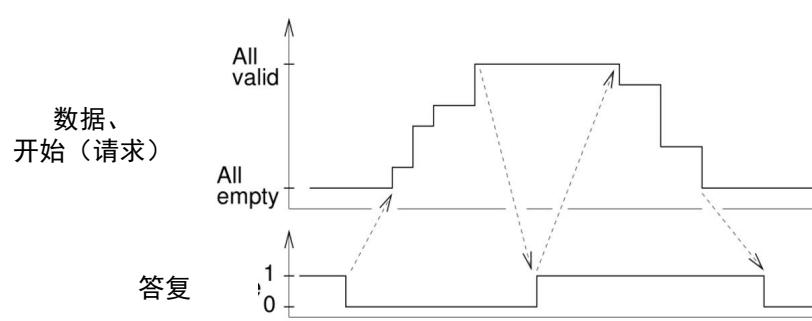
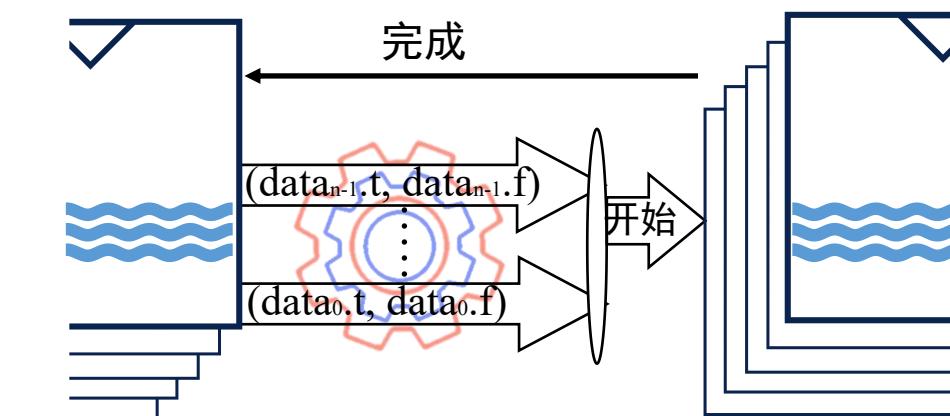
[4] Peeters A, Beest F T, Wit M D, et al. Click Elements: An Implementation Style for Data-Driven Compilation. Proceedings of the International Symposium on Advanced Research in Asynchronous Circuits & Systems, 2010:3-14.

[5] Akopyan F, Sawada J, Cassidy A, et al. TrueNorth: Design and Tool Flow of a 65 mW 1 Million Neuron Programmable Neurosynaptic Chip. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2015, 34(10):1537-1557.

6. TrueNorth chip die photo with package substrate.

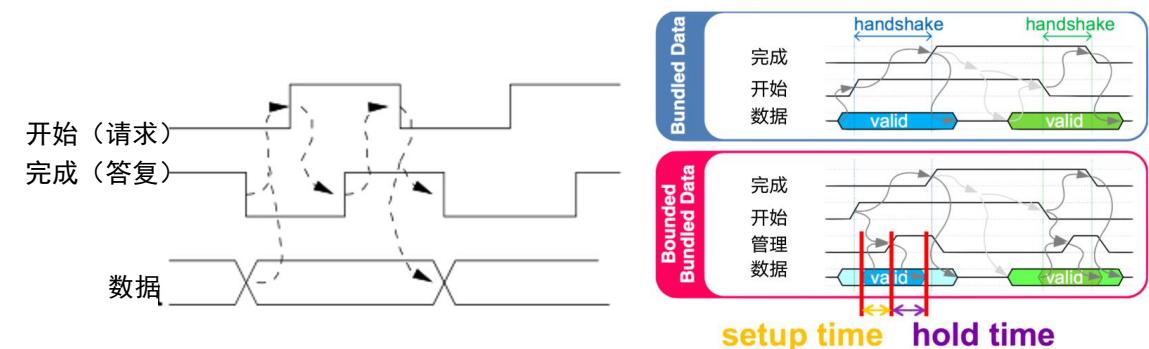
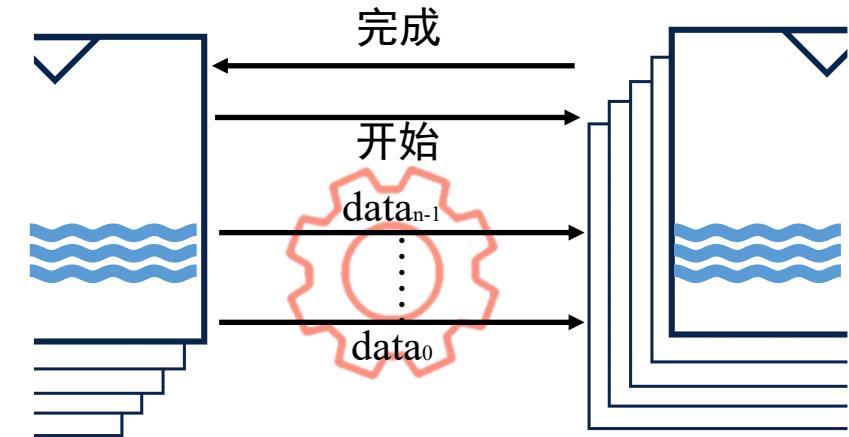
事件驱动

- 编码型（数据与传输开始/完成事件融合）



4-相位握手协议

- 独立型（数据与传输开始/完成事件分离）



4-相位握手协议

2-相位握手协议



异步RISC-V处理器



异步RISC-V处理器

(2022年) An Asynchronous Bundled-Data Template With Current Sensing Completion Detection Technique.

使用电流感测完成检测（CSCD）技术创建异步捆绑数据事件驱动模板，并通过该模块实现了 RISC-V CPU。实现5级流水，单发射顺序执行，支持RV32I型指令集。

(2021年) A Low-Power Asynchronous RISC-V Processor With Propagated Timing Constraints Method.

一种在FPGA Xilinx ZCU102板上实现的自适应流水线异步RISC-V处理器，实现5级流水，单发射顺序执行的方式，仅支持RV32I指令集。

(2020年) Design of 32 bit asynchronous risc-v processor using verilog.

32位异步RISC-V CPU，实现5级流水，支持R类型，I类型和跳跃指令。

(2017年) Go Functional Model for a RISC-V Asynchronous Organisation – ARV.

采用Go语言实现RISC-V异步超标量架构，对复杂超标量架构异步设计中存在的精细握手结构进行建模，仅支持RV32I型指令集。



指令集的扩展

在操作码custom-0（0x0b）下设计定制I-type下的开始指令（start）和停止指令（end），利用I-type下的funct3字段来区分这两条指令。硬件上，由CPU核内的译码模块支持两条指令的解析。软件上，由于只扩展两条指令，可在c语言程序中用内联汇编的格式在需要的地方加入这两条指令。

- 开始指令（start）编码：0x0000000b

```
asm volatile{ ".insn i 0x0b 0 x0 x0 000" } // .insn i opcode func3 rd rs1 imm
```

- 结束指令（end）编码：0x0000100b

```
asm volatile{ ".insn i 0x0b 1 x0 x0 000" } // .insn i opcode func3 rd rs1 imm
```

inst[4:2]	000	001	010	011	100	101	110	111 (>32b)
inst[6:5]								
00	LOAD	LOAD-FP	custom-0	MISC-MEM	OP-IMM	AUIPC	OP-IMM-32	48b
01	STORE	STORE-FP	custom-1	AMO	OP	LUI	OP-32	64b
10	MADD	MSUB	NMSUB	NMADD	OP-FP	reserved	custom-2/rv128	48b
11	BRANCH	JALR	reserved	JAL	SYSTEM	reserved	custom-3/rv128	$\geq 80b$

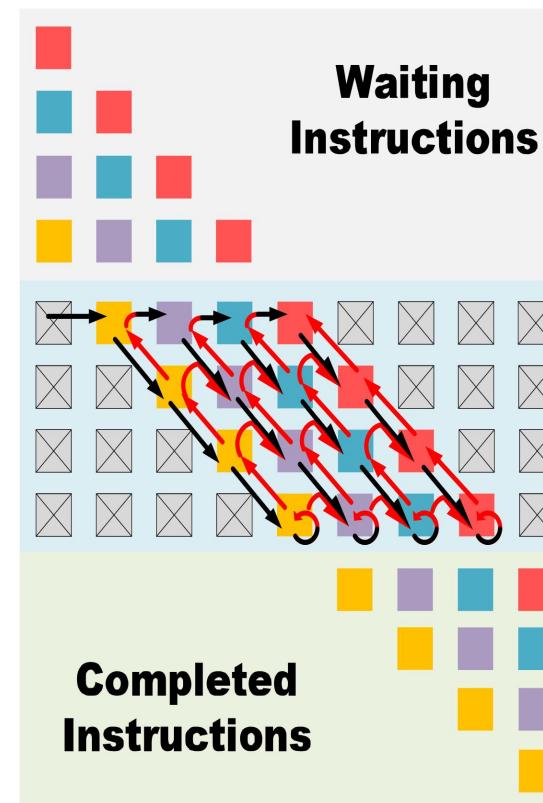
RISC-V 基本操作码映射表，inst[1:0]=11

同步处理器的异步改造

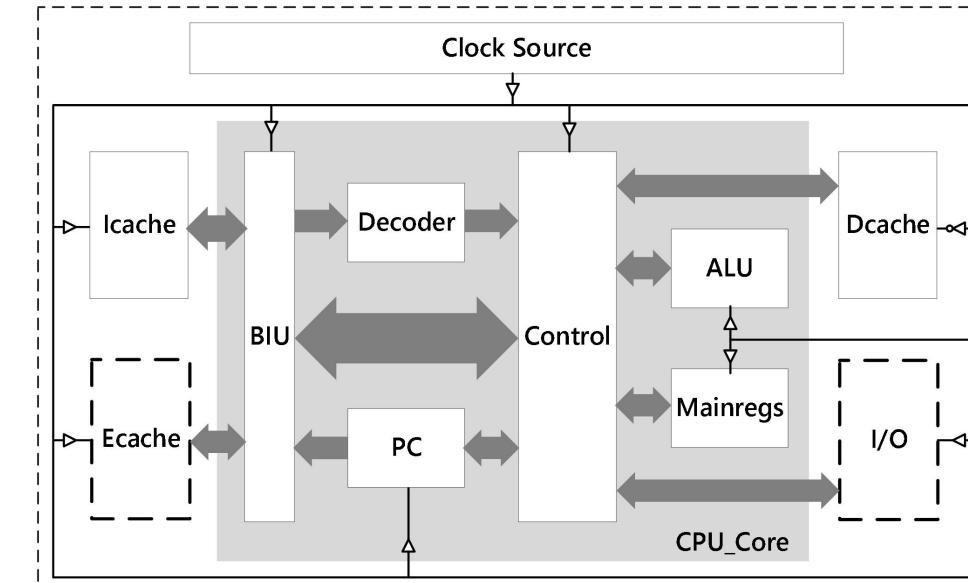
事件匹配机制是电路由时钟定时驱动转为事件驱动的方法。粗粒度事件匹配为处理器的事务处理过程匹配事件；细粒度事件匹配为逻辑级的数据通路匹配事件

	Event Req
	Event Finish
	Event Ack
	Ack-Req

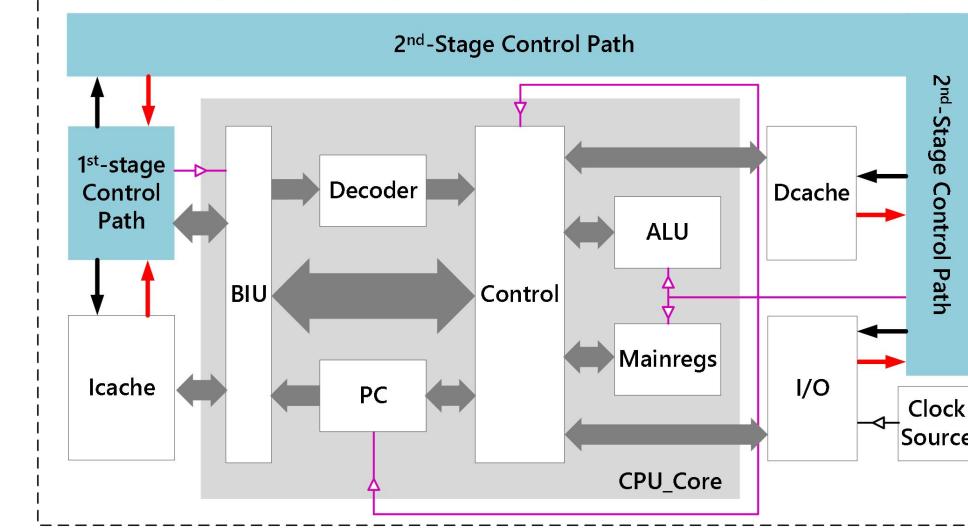
- Pipeline
 - Stage 1 : Fetch
 - Stage 2 : Decode
 - Stage 3 : Execute
 - Stage 4 : Write-back



粗粒度事件匹配机制下的流水线工作方式



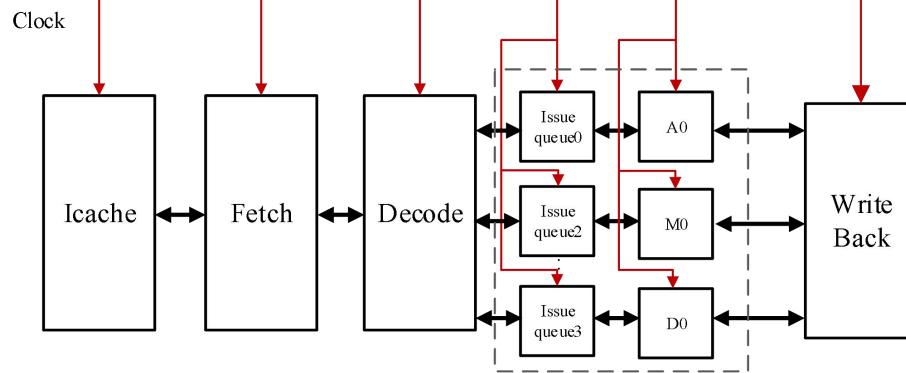
同步处理器架构



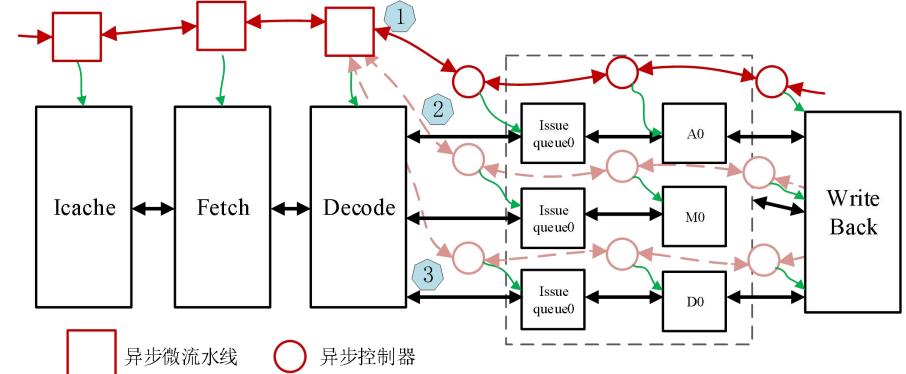
改造后的异步处理器架构



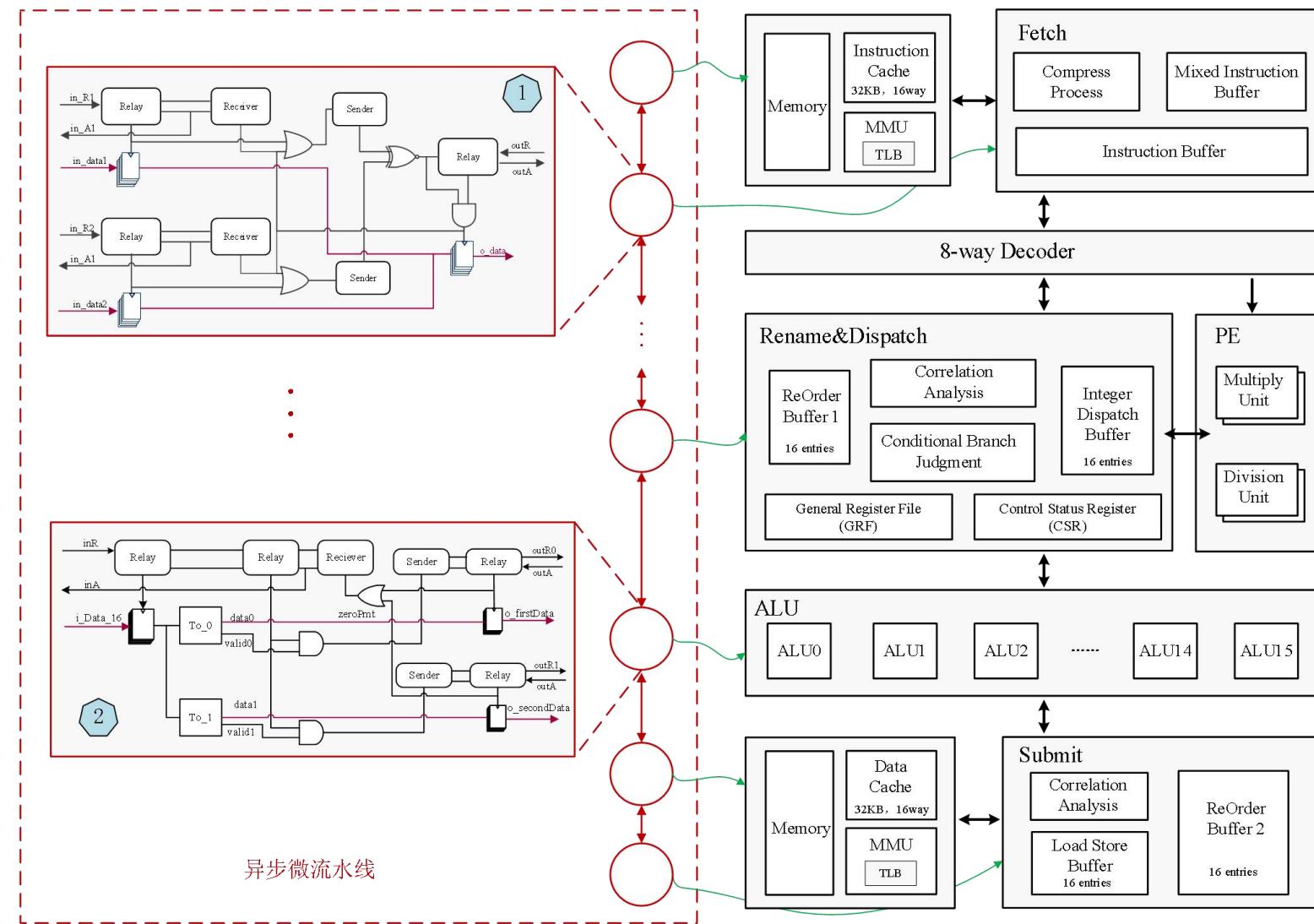
异步超标量RISC-V架构

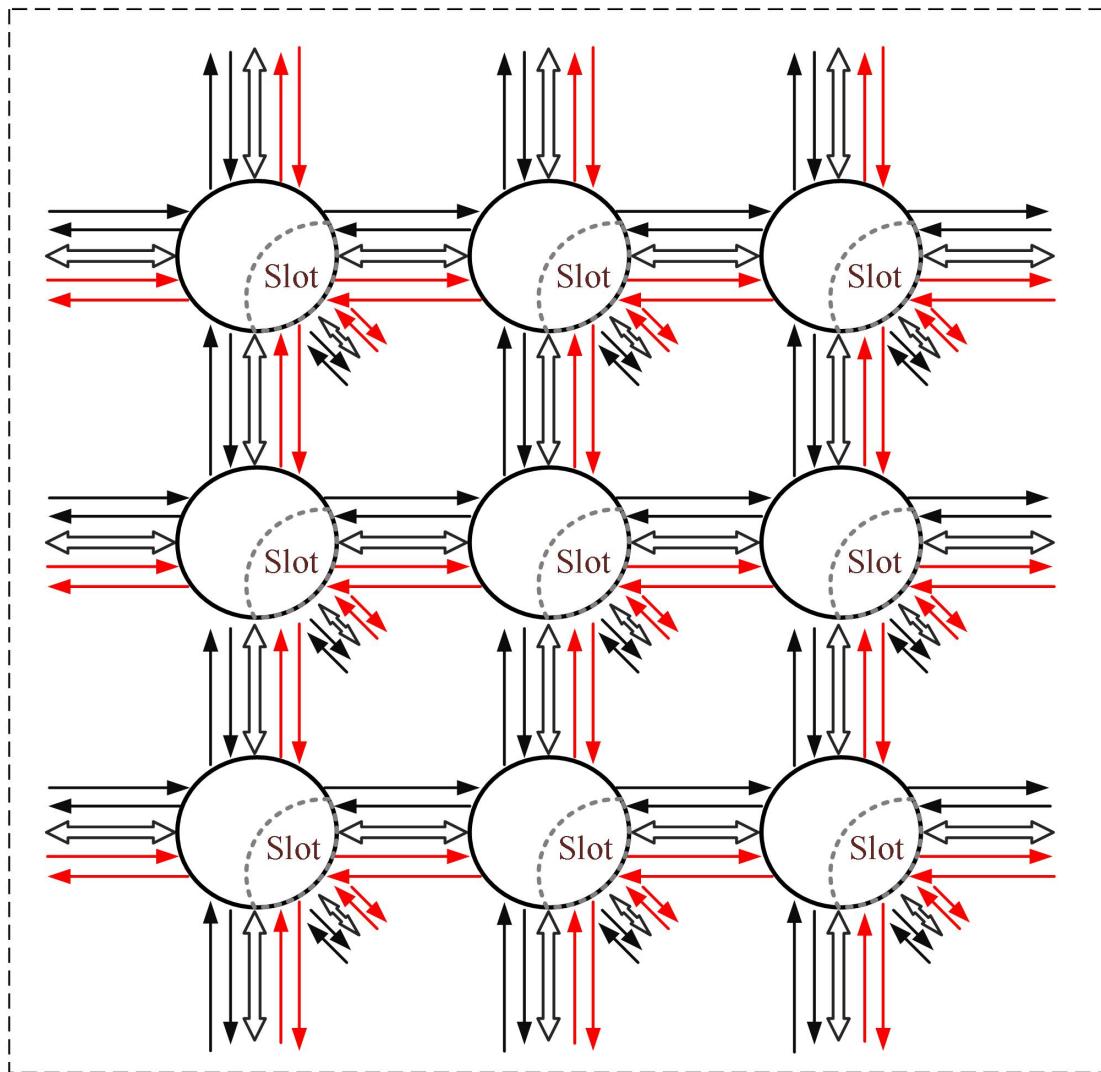


基于异步机制的超标量处理原理

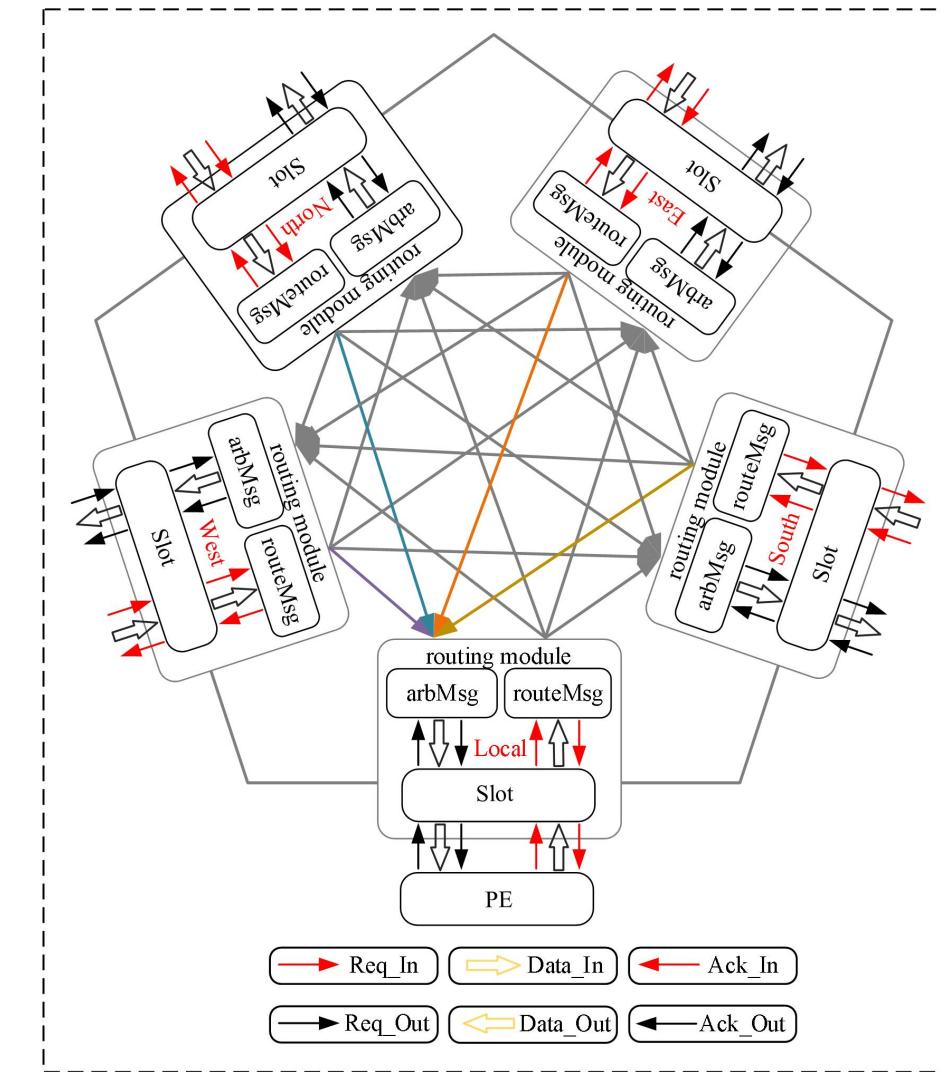


基于同步机制的超标量处理器原理





异步Mesh NoC结构



单节点内部结构图

同异步混合芯片实例

功耗：5.18mw

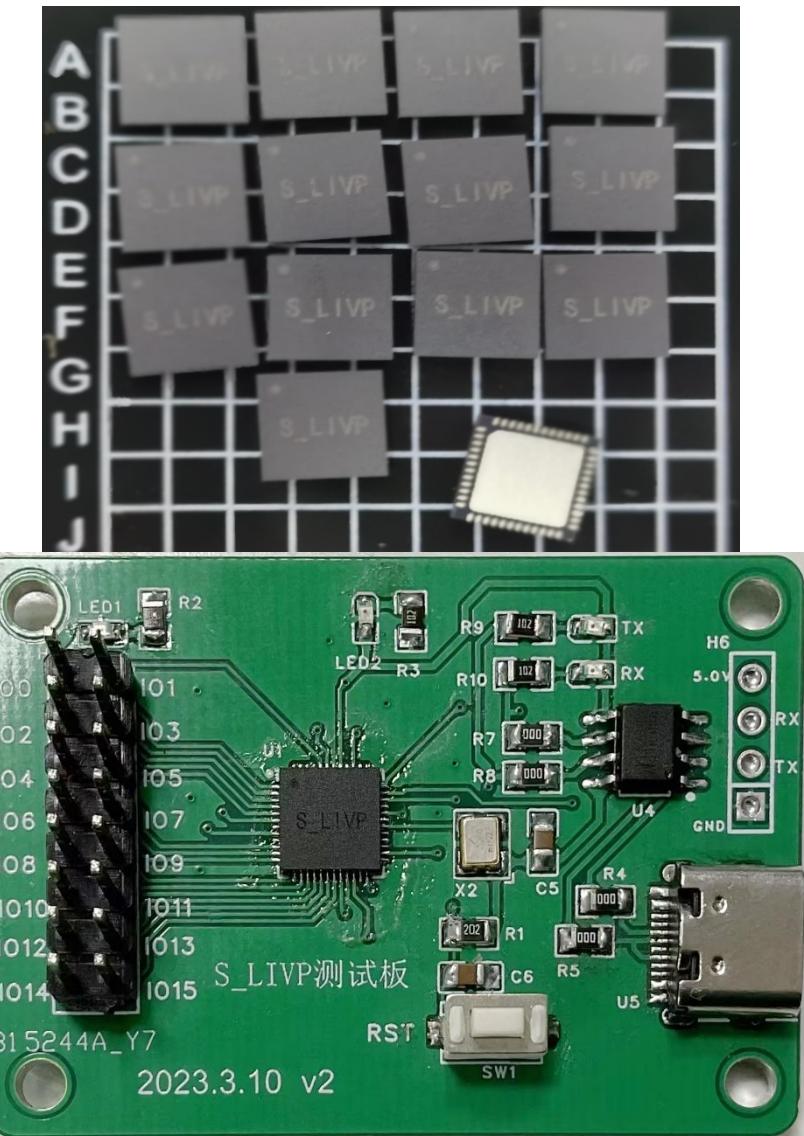
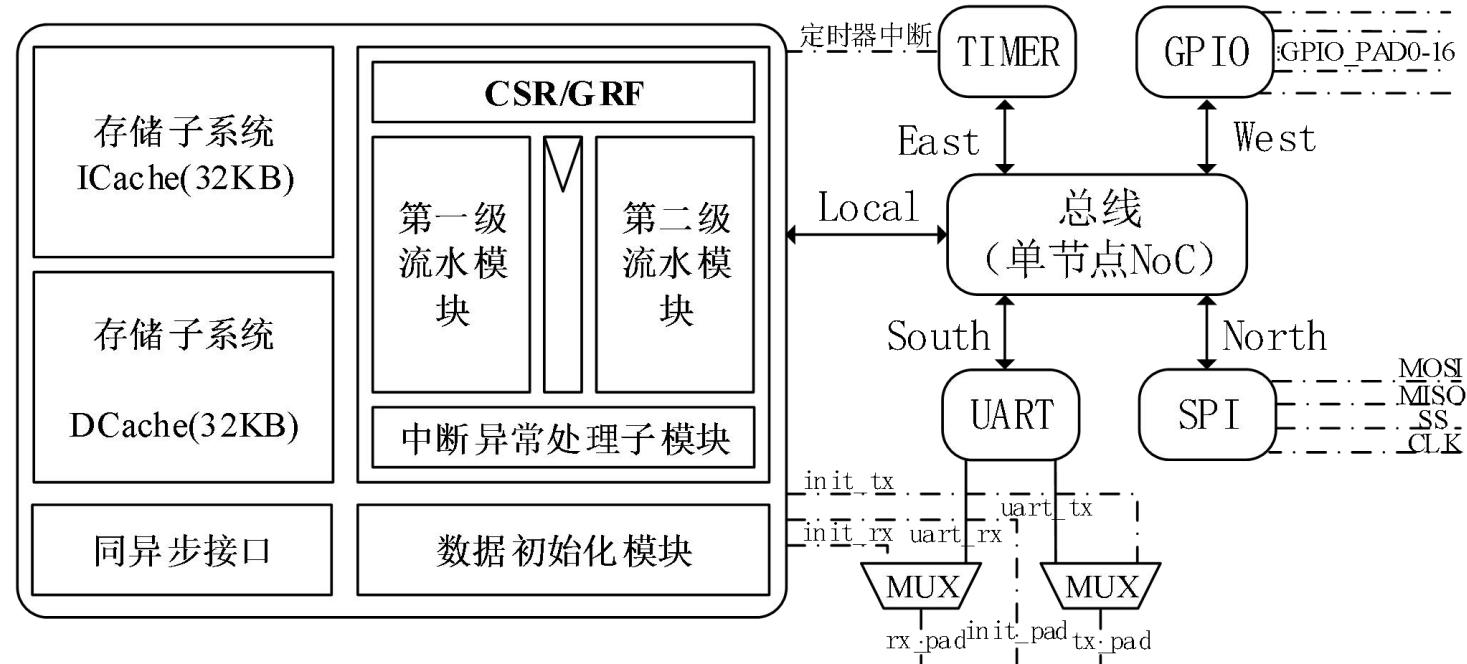
晶体管数：4,273,656

单发射，顺序执行；

制程：110nm

功能：支持RV32的IMC指令集；

特点：同步CPU核，异步Mesh NoC总线



部分芯片研发详情参见网址:<https://gitee.com/asyncsys>



支持矩阵计算的RISC-V处理器芯片实例

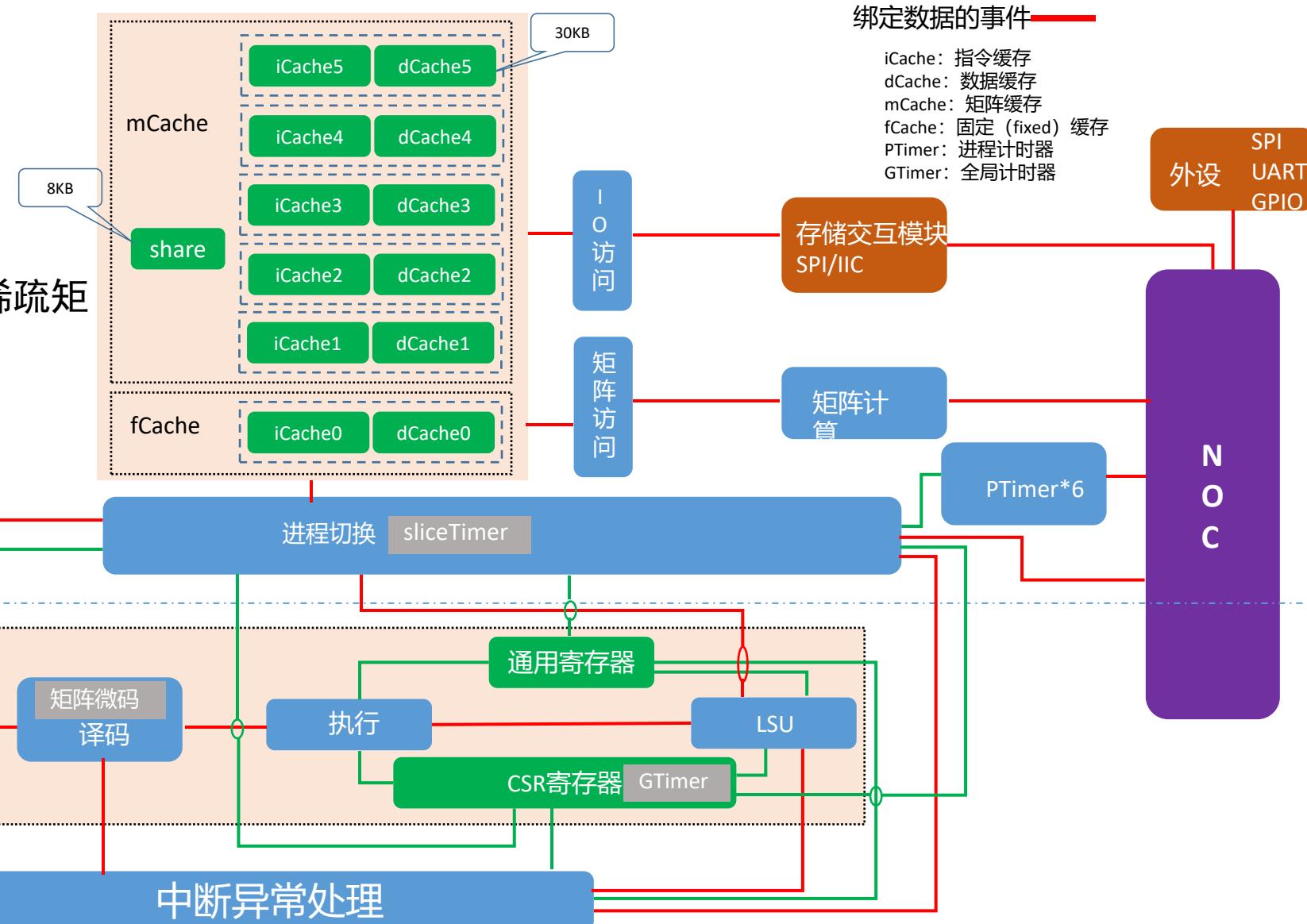
功耗：3.68mw

晶体管数：24,240,656

单发射，顺序执行；

制程：110nm

功能：支持RV32的IMC指令集，支持稀疏矩阵计算；





展望和挑战



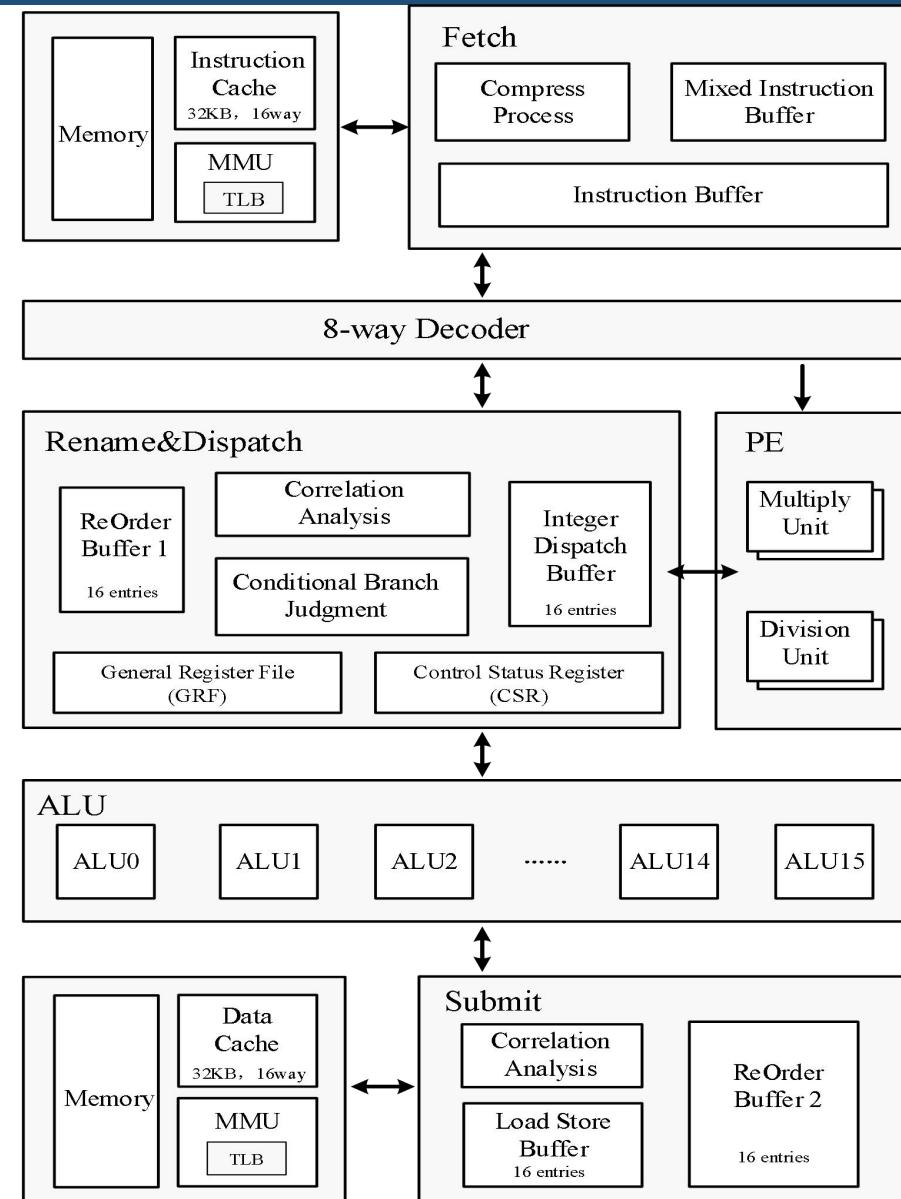
指令集扩展

- 异步电路机制
 - 以事件驱动整体电路运行
 - 无事件时电路不工作，仅有静态功耗
 - 事件到来启动电路工作无代价
- 可能扩展的指令
 - 启动
 - 停止
 - 暂停

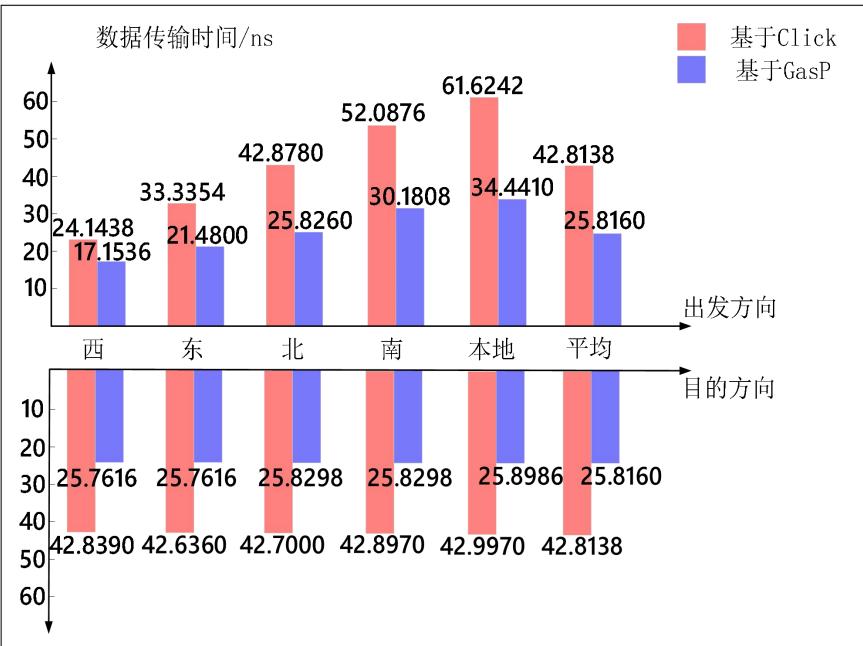
全异步大规模超标量处理器架构

• 全异步大规模超标量处理器架构：

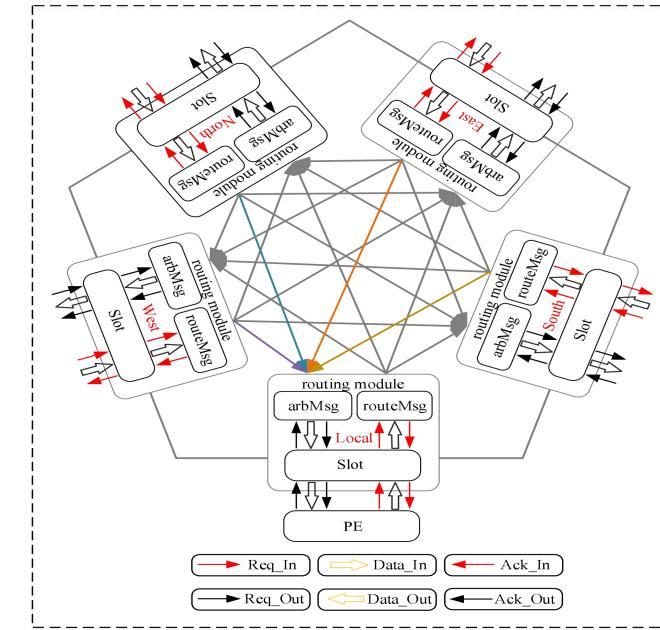
- 以较少层级流水线和大规模超标量代替细粒度流水线
- 事件驱动可精细化启停“标量”计算单元
- 事件驱动的因果关系会带来分支预测和寄存器重映射微架构变化



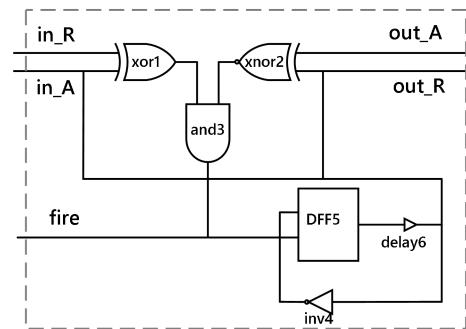
低制程下的高性能处理器



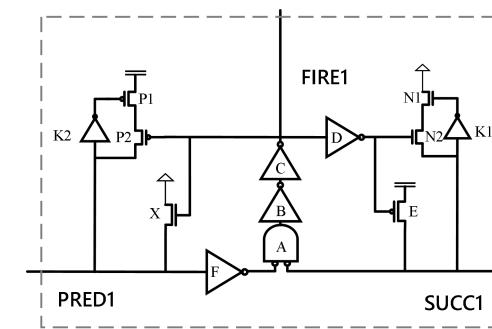
	基于GasP	基于Click
内部供电电压/V	1.2	
数据平均传输时间 /ns	25.8160	42.8138
面积/ μm^2	107089.77 7	89469.26 5
功耗/mW	黑盒	4.4641
	时序逻辑	1.8802
	组合逻辑	0.3675
	全部	0.9476
		0.6490
	7.2919	1.0165



- GasP-Mesh NoC的传输速度是Click-Mesh NoC的1.66倍。
- 版图面积存在差异，但差异不大。
- 速度提升的代价为功耗增大。



Click



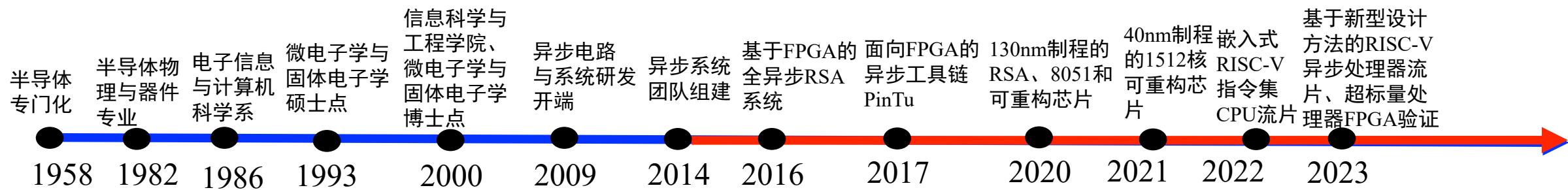
GasP



团队简介

兰州大学异步电路与系统实验室

专职教师和研究生20余人，研究方向为异步电路设计方法学和微体系结构，具有面向异步集成电路芯片的全流程研发能力。实验室面积约100平方米，主要实验设备包括高性能EDA服务器、高校授权EDA软件，各类FPGA验证系统平台，示波器、稳压电源、逻辑分析仪等测试仪器。承担和参与了国家级和省部级基金和重大研发计划项目，协助企业进行科技攻关多项。





谢谢！