

芯来科技 胡进 Nuclei Technology

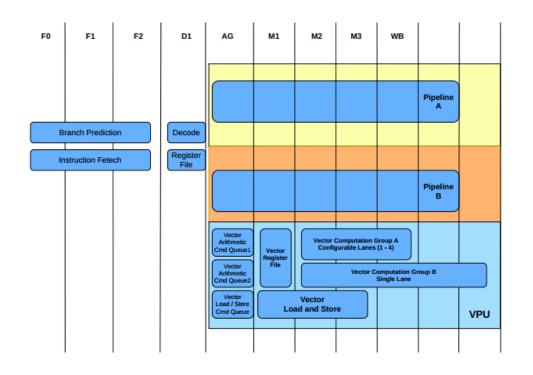
### 芯来矢量计算单元---Nuclei VPU



- > 基于Verilog的代码设计, PPA拥有较大的优势, 易于SoC集成
- ▶ 高主频,可匹配主核CPU
- > 强大的算力以及灵活的可配置选项
- > 实现VLM Port & Vector Store Buffer, 进一步提升VPU 访存能力
- ▶ IOCP 端口方便整合外部VPU 单元

# 芯来900 Series Vector 扩展指令实现特点

芯来的900系列都支持Vector扩展指令且可配置,包括RV32 N900 和RV64 的NX900/UX900 都按Vector version1.0 实现,其实现的框图和特色如下:



- > Vector 指令分为三个Queue: 常见运算指令; 非常见指令; Ld/St
- > 参数可配置
- ▶ 支持1.0 定义的所有Ld/St 指令
- > 支持Vector Chaining
- ▶ 支持 8/16/32/64 整数; 8/16/32/64 定点; 16/32/64 浮点以及 BF16

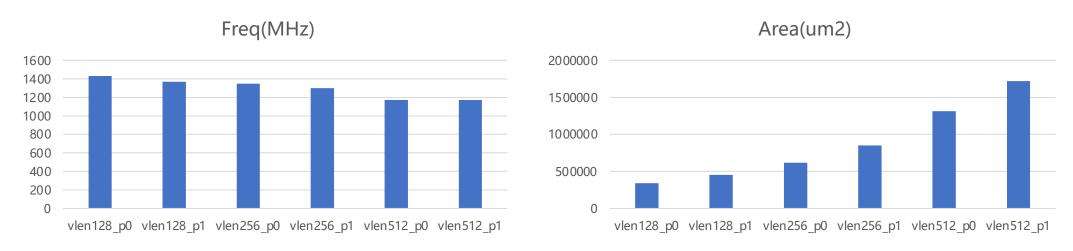
#### Nuclei VPU 灵活可配置



#### Nuclei VPU 进一步可配置,以满足用户不同场景的需要:

	P0	P1
128	VLEN= 128, DLEN = 64	VLEN= 128, DLEN = 128
256	VLEN= 256, DLEN = 128	VLEN= 256, DLEN = 256
512	VLEN= 512, DLEN = 256	VLEN= 512, DLEN = 512

- PO配置适合访存/运算 >= 2 的运算场景,比如FFT; P1 配置适合访存/运算 < 2 的场景,比如矩阵乘。
- 不同配置的频率和面积的数据如下:



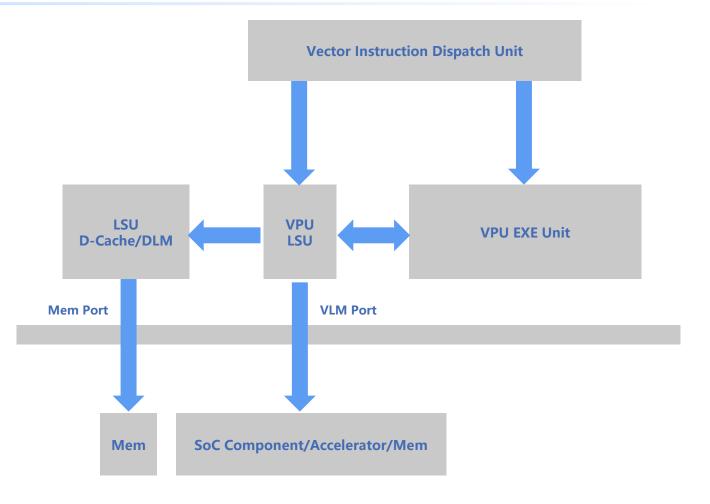
tsmc28\_hpcp\_9t\_ssg0p81vm40c\_ccs(rvt) @ 1500MHz

# 900系列VLM Port

#### 芯来科技 NUCLEI

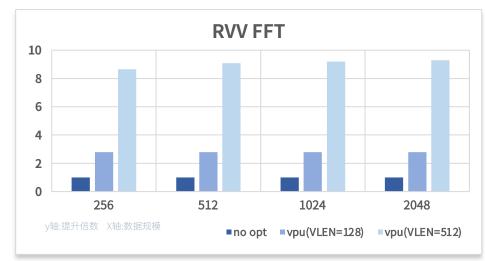
#### **Vector Local Memory Port(VLM):**

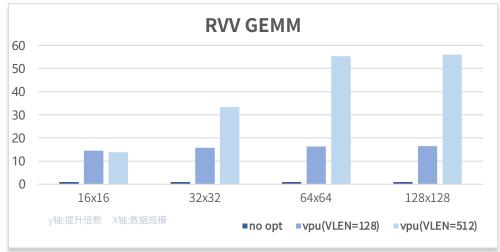
- 和主核LSU共享memory port
- 性能提升需求可以配置单独VLM port
- VLM port可单独连接加速器及memory

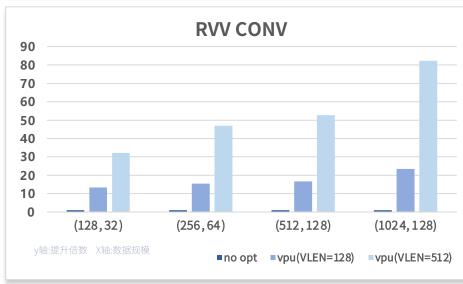


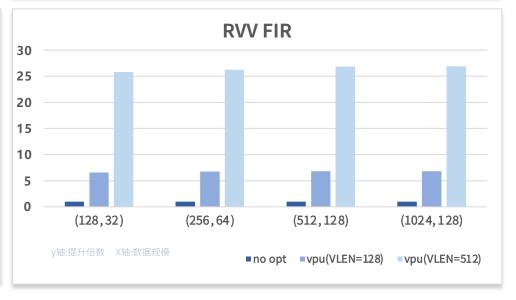
# NUCLEI VPU 软硬优化结果

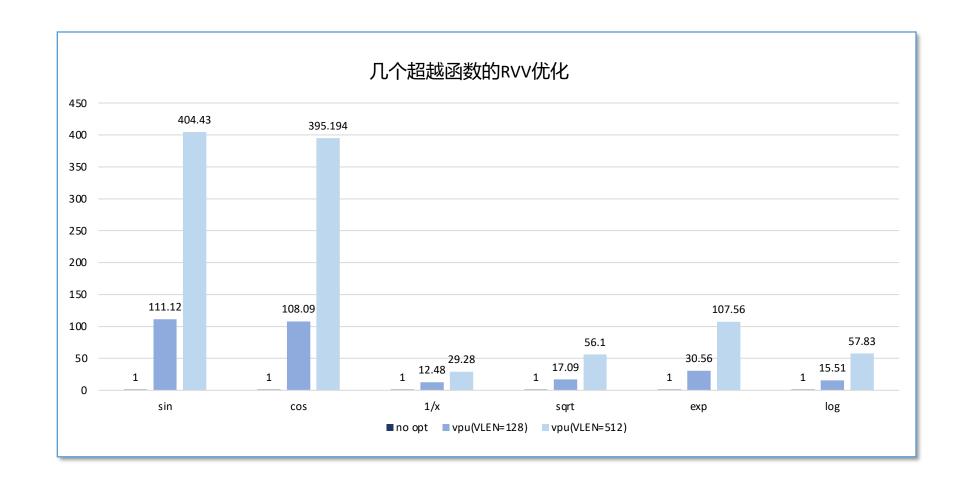
#### 芯来科技 NUCLEI



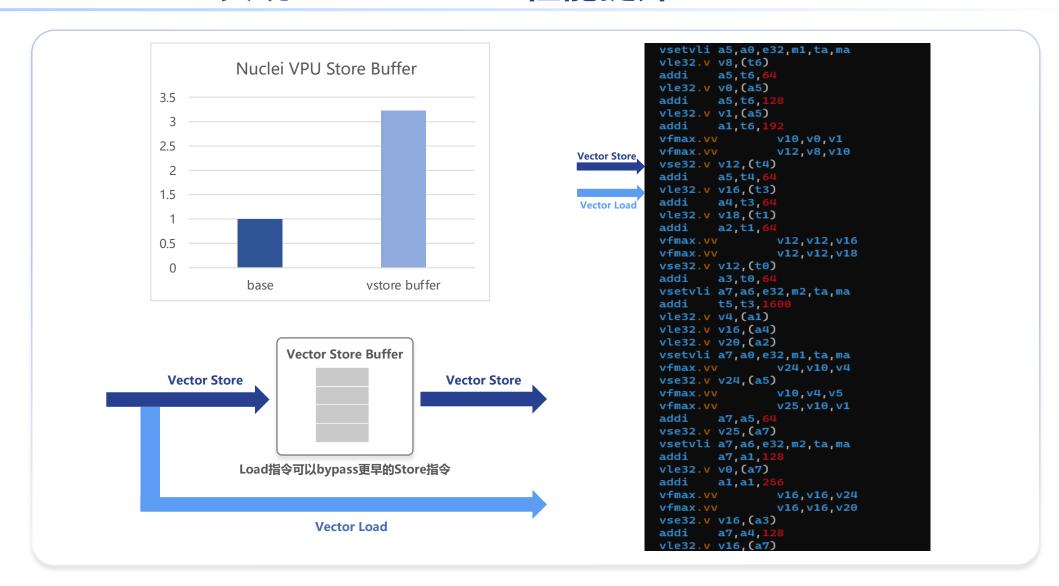








#### NUCLEI VPU 实现Store Buffer 性能提升

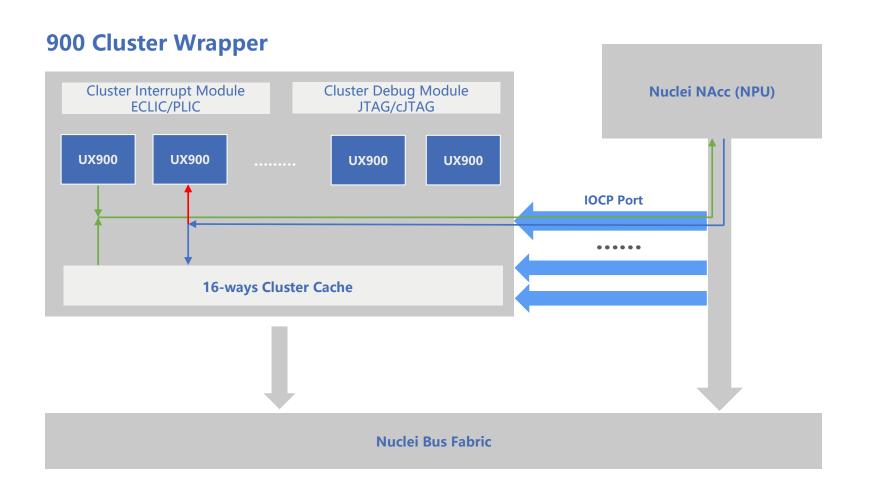


## NUCLEI 900 IOCP方便整合外部VPU

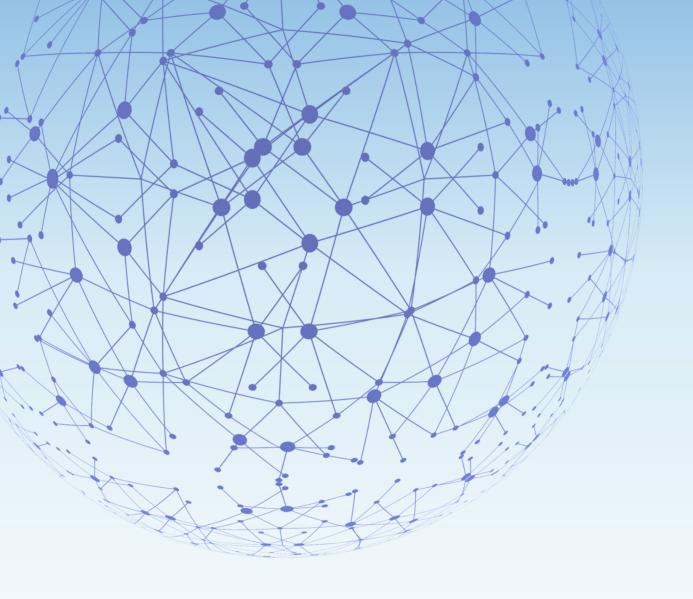


#### **IO Coherence Port(IOCP):**

- · 保障加速器与CPU的缓存一致性
  - 读取:从Core的缓存读取数据如果Miss则去系统级缓存读取
  - 存写:
    Invalidate每个Core的缓存数据
    存写到系统级缓存
- 灵活配置,接口数量可选
- 方便整合外部加速器、VPU等







# **THANK YOU**