

# RISC-V赋予技术创新与商业变革新机遇

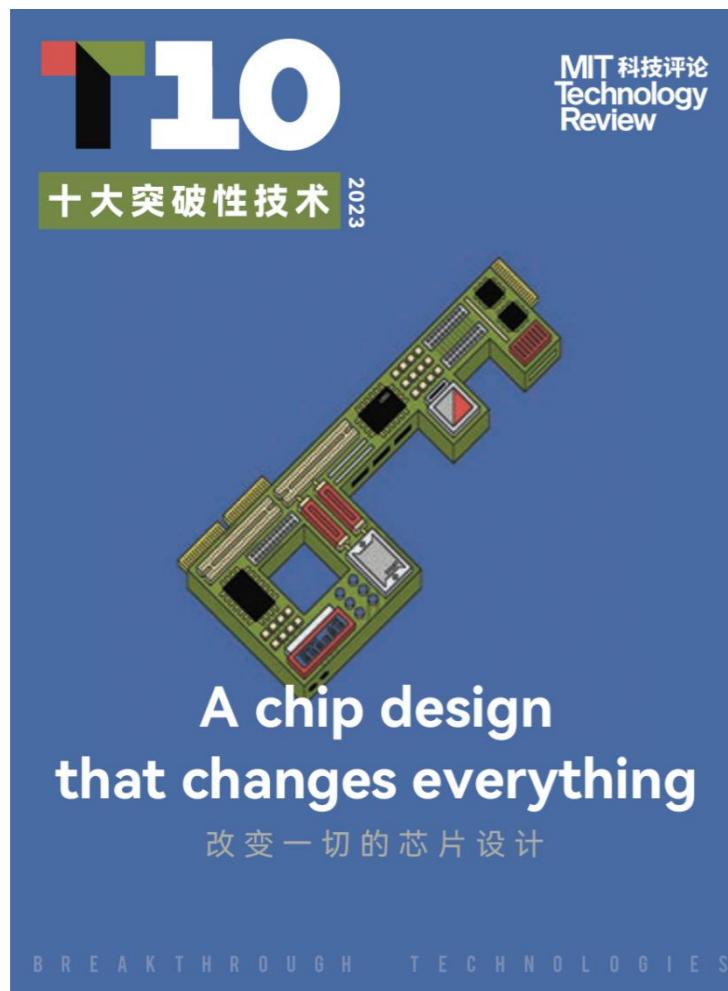
包云岗

2024.8.21

# 一、孕育产业变革

# 新一轮芯片设计产业变革浪潮正来临

- RISC-V入选《MIT科技评论》2023年十大突破性技术  
“芯片设计正走向开放，灵活、开源的RISC-V有望成为改变一切的芯片设计。”

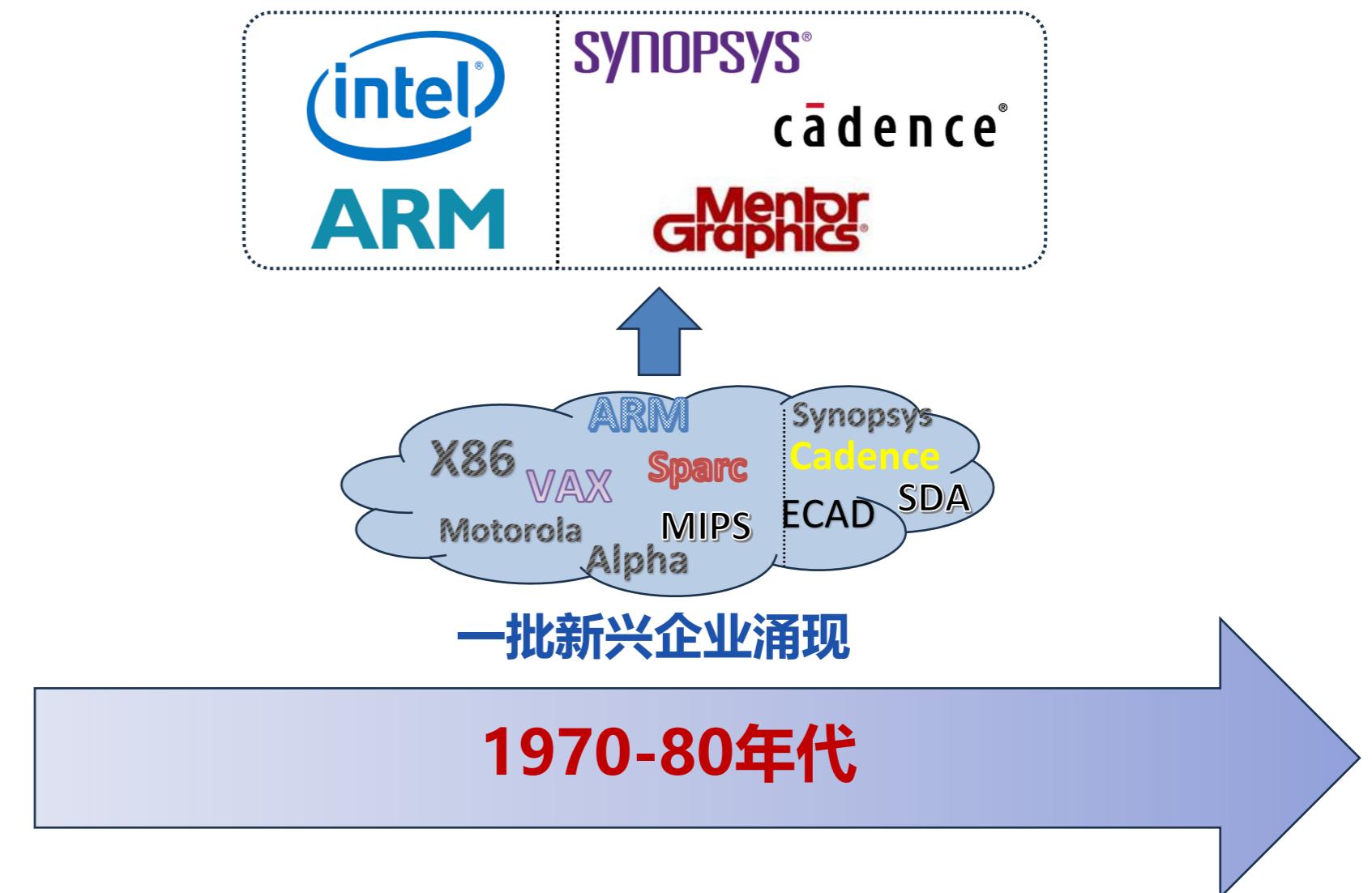


## 《麻省理工科技评论》2023年“全球十大突破性技术”榜单：

- 一、詹姆斯·韦伯太空望远镜(James Webb Space Telescope)
- 二、用于高胆固醇的CRISPR (CRISPR for high cholesterol)
- 三、制作图像的AI (AI that makes images)
- 四、按需器官制作(Organs on demand)
- 五、远程医疗堕胎药(Abortion pills via telemedicine)
- 六、改变一切的芯片设计(**A chip design that changes everything**)
- 七、古代DNA分析(Ancient DNA analysis)
- 八、电池回收利用(Battery recycling)
- 九、必然到来的电动汽车(The inevitable EV)
- 十、大规模生产的军用无人机(Mass-market military drones)

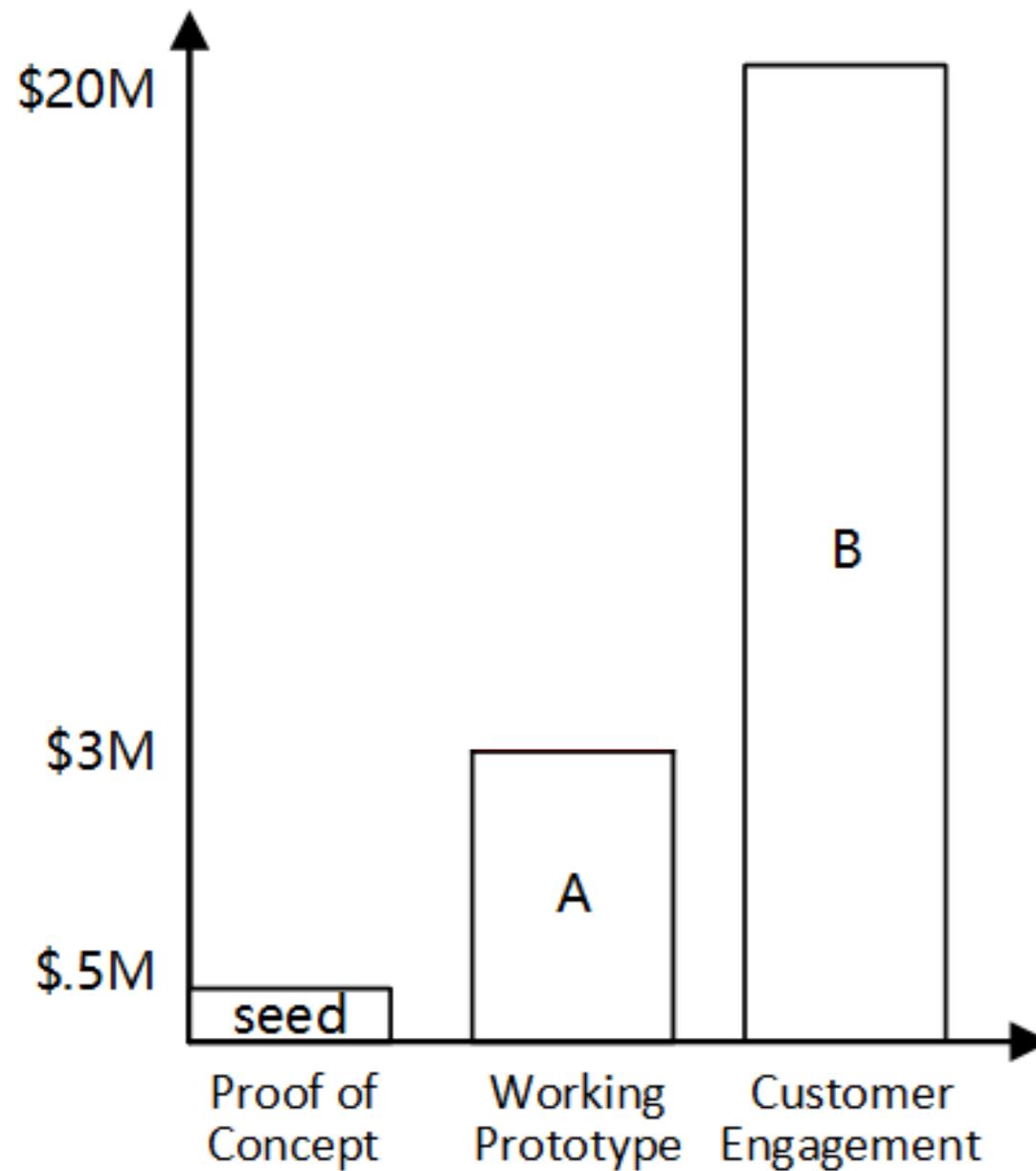
# 回顾上一轮技术与产业浪潮

- **指令集之争**
  - 复杂指令集 (CISC)
  - 精简指令集 (RISC)
- **芯片设计方法变革**
  - 手工绘制电路图
  - 计算机辅助设计/电子设计自动化
    - CAD/EDA
- **诞生一批新兴企业**

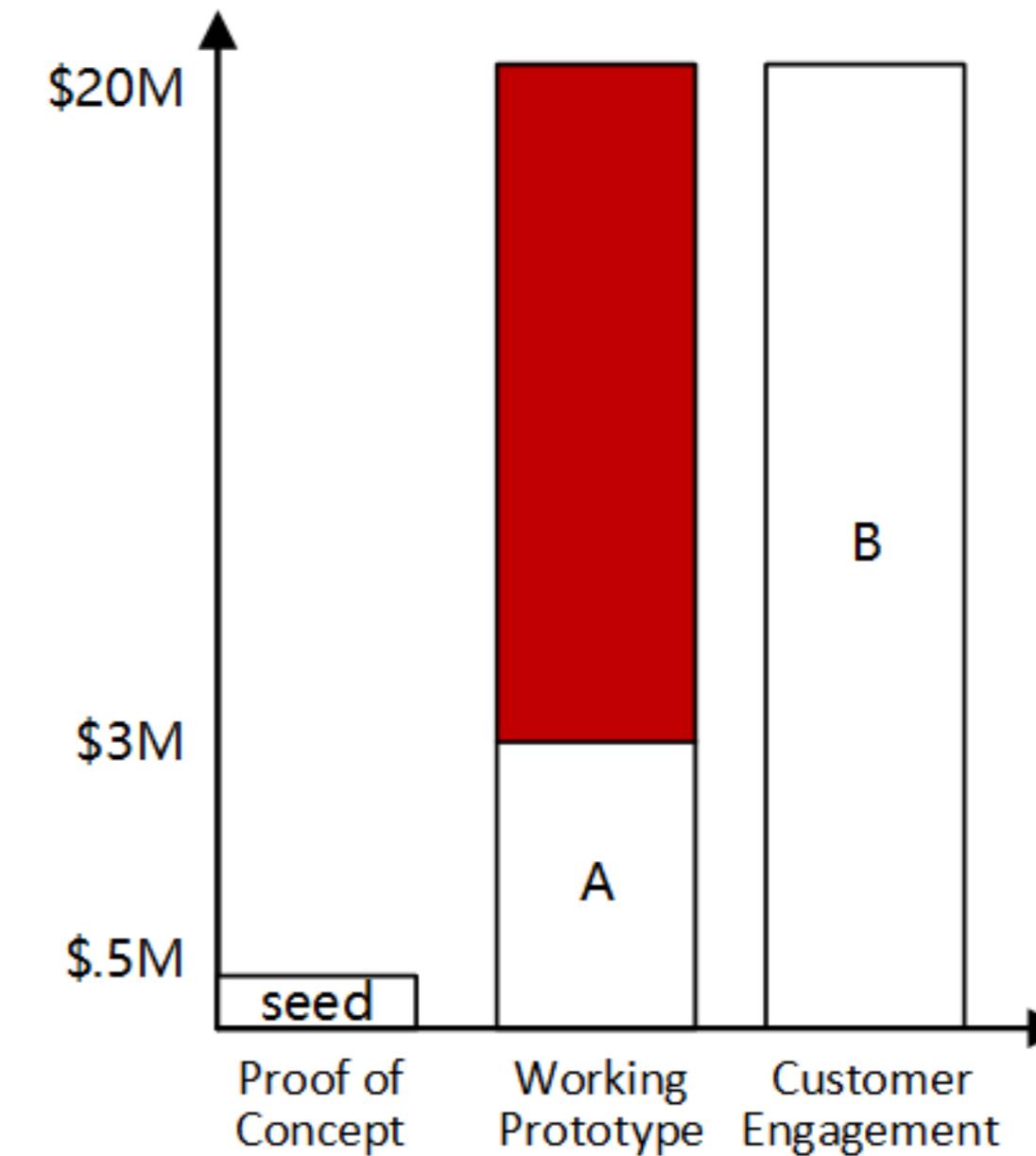


# 新态势：门槛过高，阻碍产业创新与繁荣

互联网领域融资



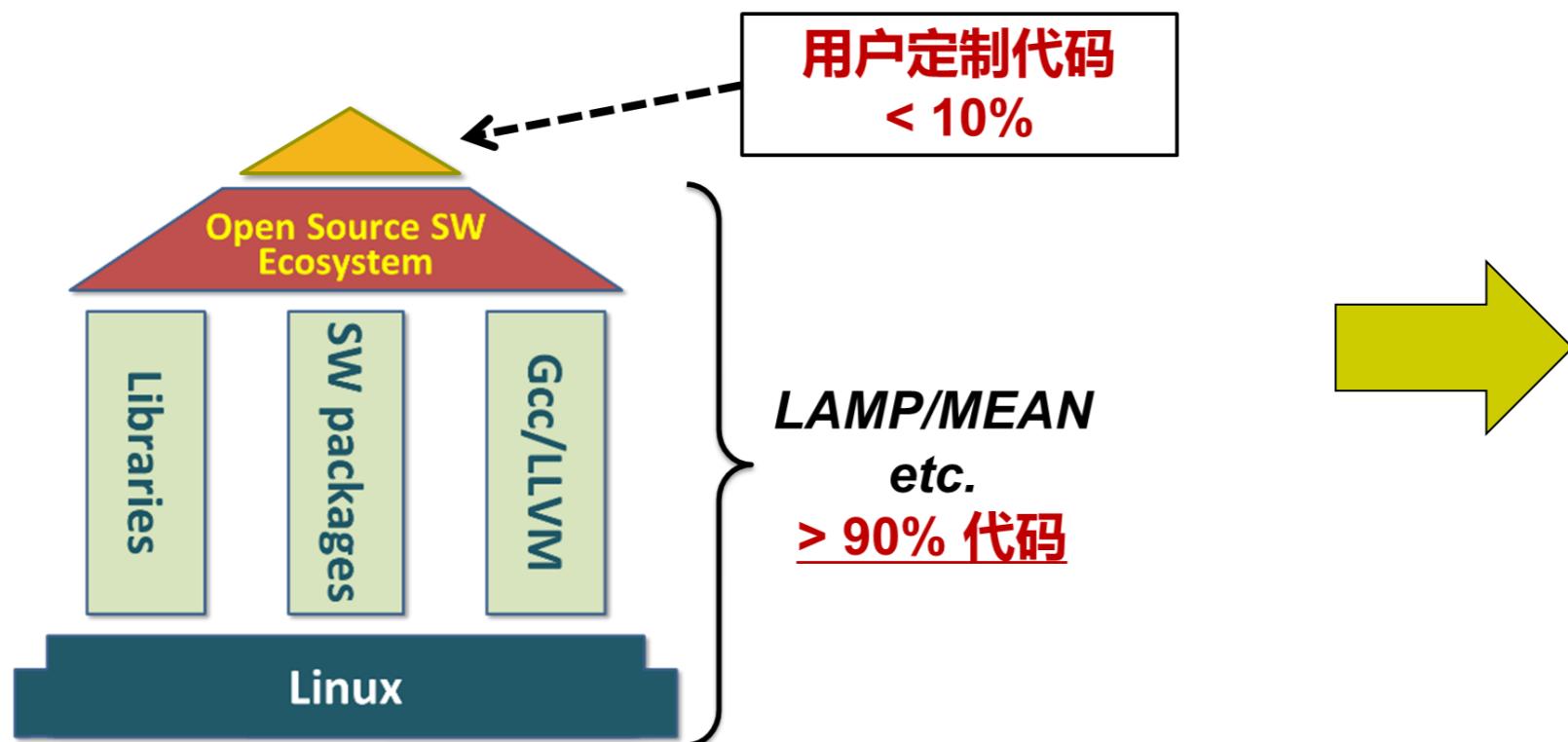
芯片领域融资



V.S.

# 破解思路：借鉴开源软件成功经验

- 互联网需求**碎片化，开源软件**降低APP开发门槛，通过“互联网+”、“大众创业、万众创新”等政策，使中国互联网产业具有国际竞争力

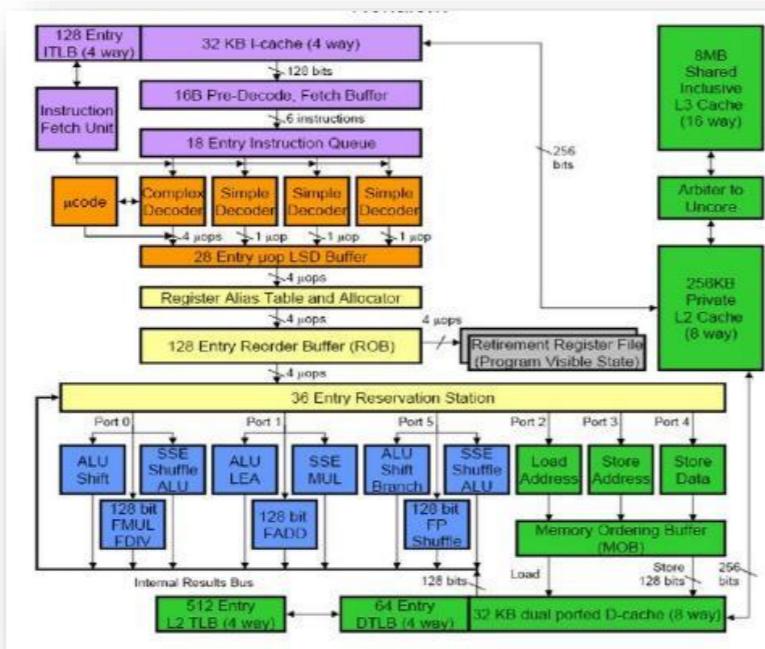


中国手机APP数量勇夺全球第一，高达**449**万个！

据消息称，工信部信息通信发展司司长闻库在10月22日北京新闻发布会上指出，我国手机APP数量已经达到449万个，位居全球第一。闻库表示随着互联网的发展，出现了更多的机遇，一大批新的应用、新的模式、新的业态应运而生。电子政务、电子商务、网上外卖、网约车、游戏、社交应用、短视频等应用，全方位影响着大家的衣食住行，也改变了人们的生活方式，丰富了人们日常活动。

# 指令集私有，阻碍开源芯片生态构建

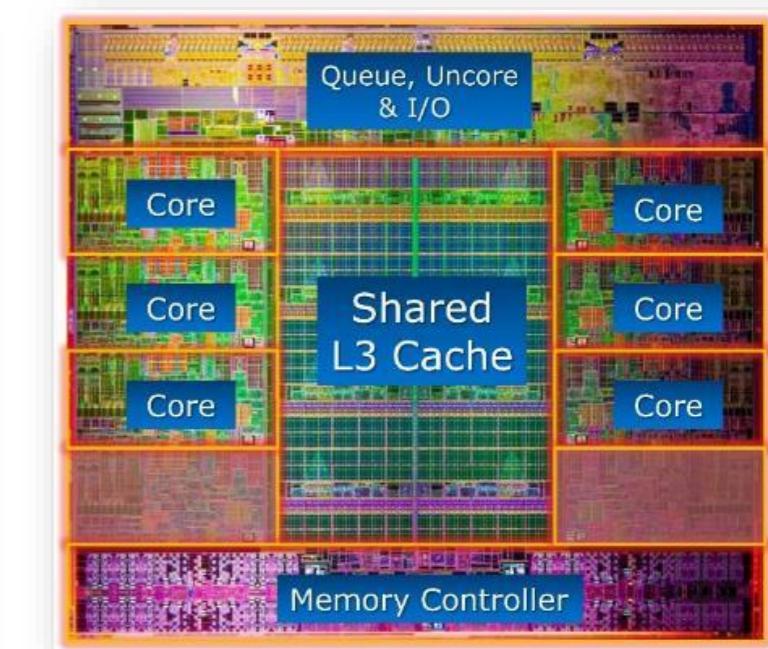
~~① 指令集 + ② 处理器微架构设计/实现 + ③ 设计流程/工具~~



```
component DebugCoreTop is
  port (
    cu_Clk      : in  std_logic_vector(2 downto 0) := (others => '0');
    cu0_Trig    : in  t_trig_0 := (others => '0');
    cu1_Trig    : in  t_trig_1 := (others => '0');
    cu2_Trig    : in  t_trig_2 := (others => '0');
    cu0_Data   : in  t_data_0 := (others => '0');
    cu1_Data   : in  t_data_1 := (others => '0');
    cu2_Data   : in  t_data_2 := (others => '0');

    -- Downstream I2C
    SCL         : in  std_logic := '0';
    SDA         : inout std_logic := '0';

    -- Upstream
    gt_RefClk_p : in  std_logic := '0';
    gt_RefClk_n : in  std_logic := '0';
    gt_RX_p     : in  std_logic_vector(2 downto 0) := (others => '0');
    gt_RX_n     : in  std_logic_vector(2 downto 0) := (others => '0');
    gt_TX_p     : out std_logic_vector(2 downto 0);
    gt_TX_n     : out std_logic_vector(2 downto 0)
  );
end component;
```

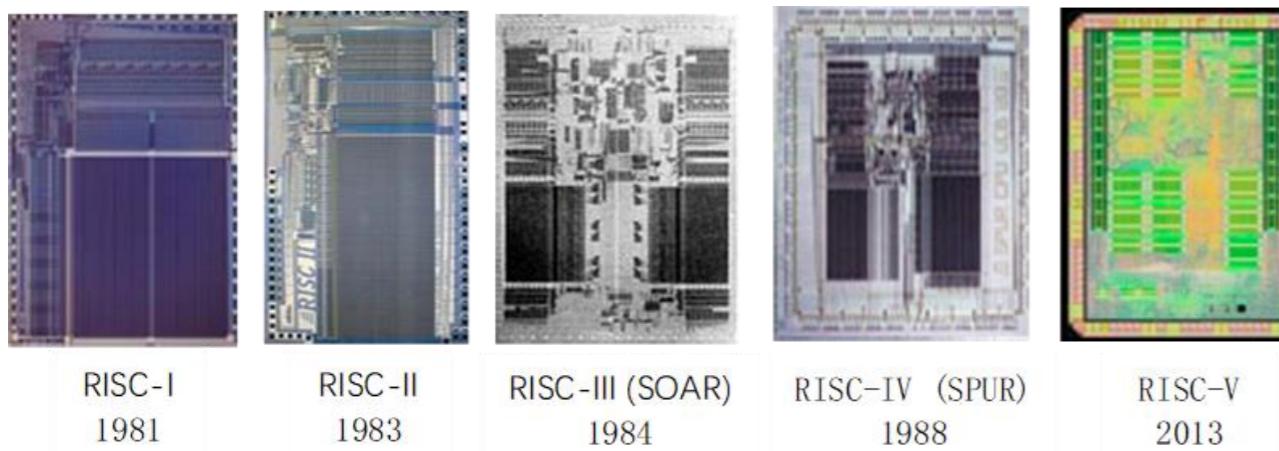


# RISC-V：指令集应该免费

- 2010年，UC Berkeley开始开发一套**开放免费**的指令集**RISC-V**



V.S.



# 40年后，迎来新一轮变革浪潮



一批新兴企业涌现

1970-80年代

复杂指令集 (CISC)  
vs.  
精简指令集 (RISC)

手工绘制电路图  
vs. (CAD/EDA)  
计算机辅助设计

中国有望崛起  
新兴领军企业

RISC-V  
Instruction Sets Want to be Free!

开源指令集 RISC-V  
掀起变革浪潮

2010-20年代

指令集私有  
vs.  
指令集开源  
传统开发模式  
vs.  
AI辅助/敏捷开发

# 开源芯片三个级别

- L1——开放指令集 (RISC-V)
- L2——开源设计实现 (香山)
- L3——开源工具和开放流程 (香山)

微架构设计

③ 开源工具

工程开发

EDA工具

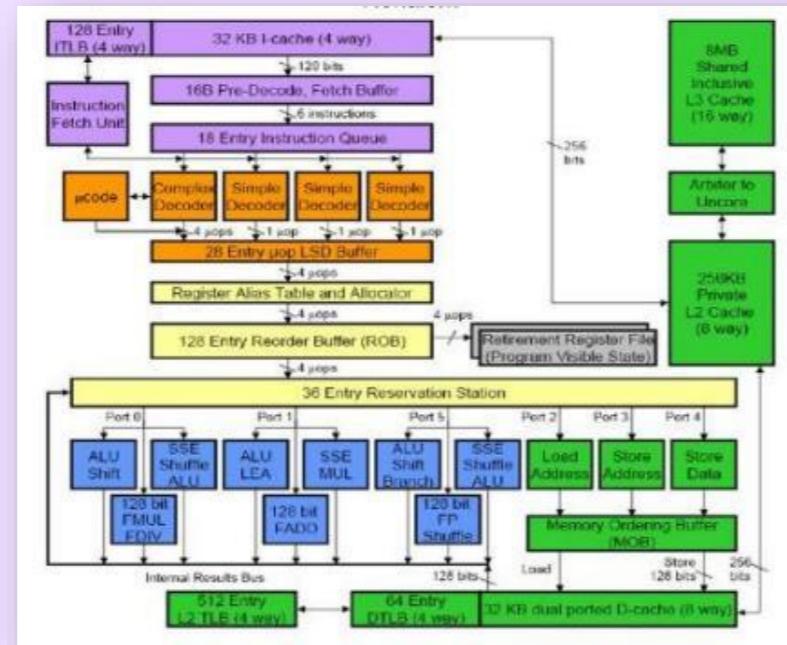
指令集手册



1

开放指令集

设计文档



2

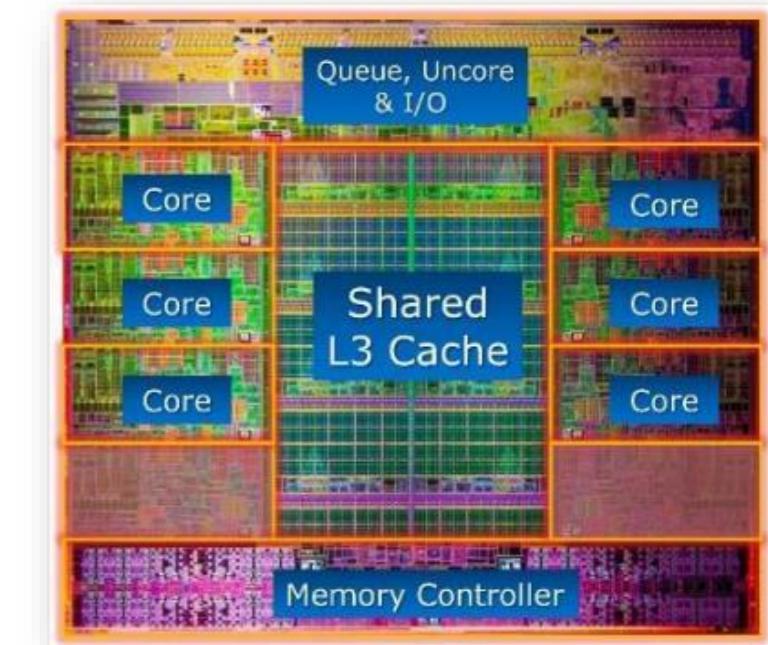
开源设计实现

RTL代码

```
component DebugCoreTop is
  port (
    -- Trigger and Data
    cu_Clk : in std_logic_vector(2 downto 0) := (others => '0');
    cu0_Trig : in t_trig_0 := (others => (others => '0'));
    cul_Trig : in t_trig_1 := (others => (others => '0'));
    cu2_Trig : in t_trig_2 := (others => (others => '0'));
    cu0_Data : in t_data_0 := (others => (others => '0'));
    cul_Data : in t_data_1 := (others => (others => '0'));
    cu2_Data : in t_data_2 := (others => (others => '0'));

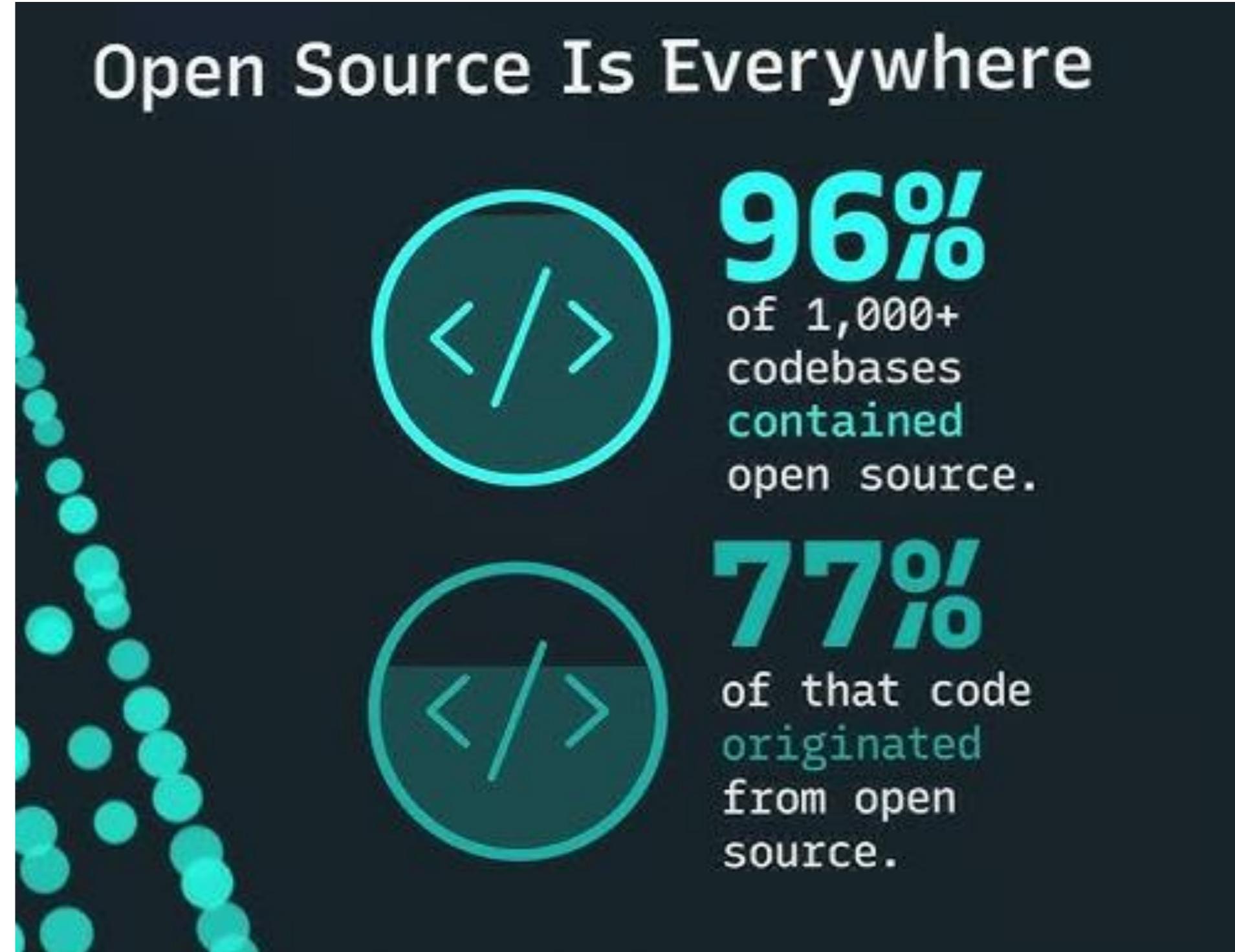
    -- Downstream I2C
    SCL : in std_logic := '0';
    SDA : inout std_logic := '0';

    -- Upstream
    gt_RefClk_p : in std_logic := '0';
    gt_RefClk_n : in std_logic := '0';
    gt_RX_p : in std_logic_vector(2 downto 0) := (others => '0');
    gt_RX_n : in std_logic_vector(2 downto 0) := (others => '0');
    gt_TX_p : out std_logic_vector(2 downto 0);
    gt_TX_n : out std_logic_vector(2 downto 0)
  );
end component;
```

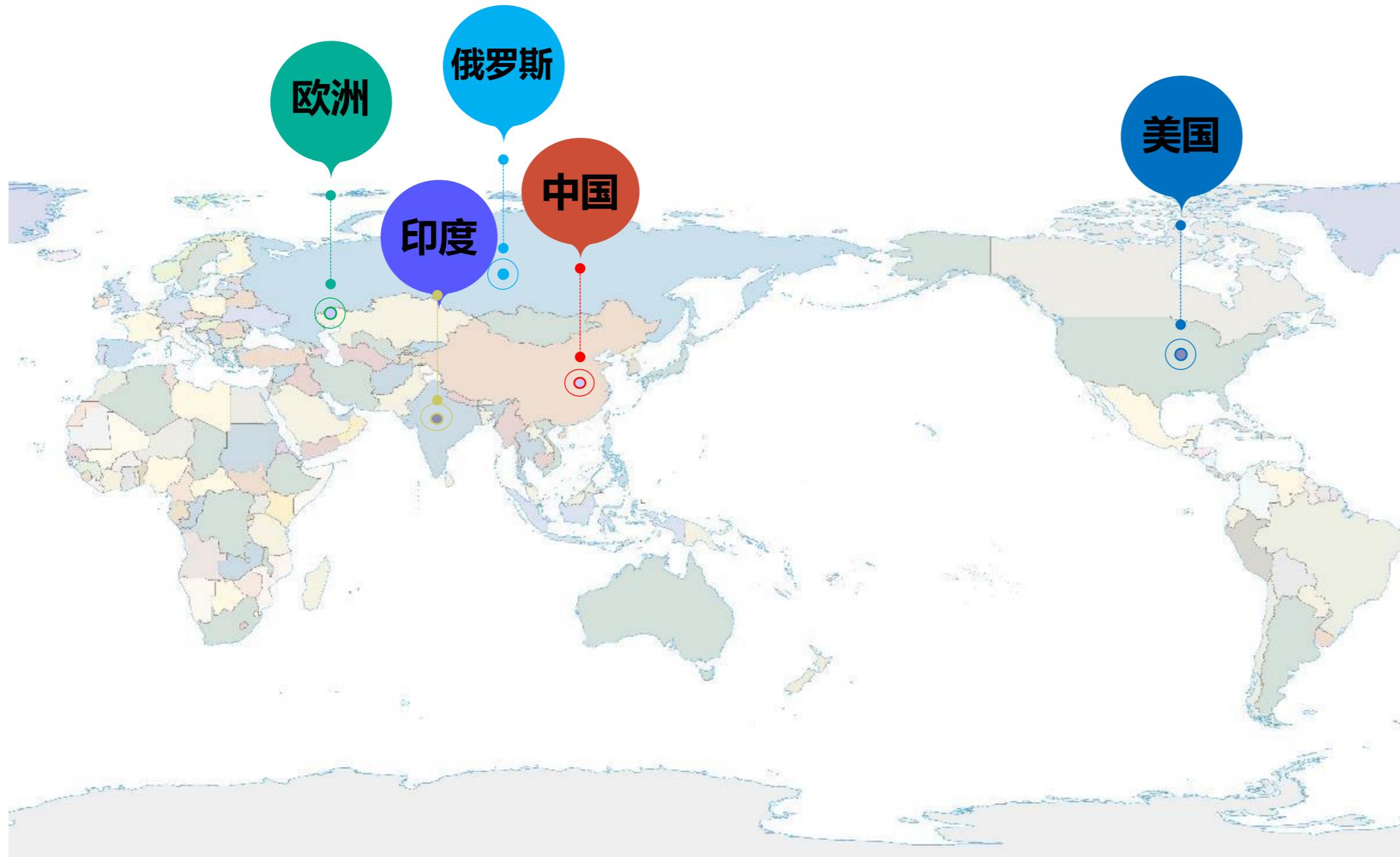


# 开源，从软件到硬件

- 96%软件代码库包含开源代码，开源代码比例77%
- 未来芯片将包含开源IP，且开源IP比例会不断提高
- 降低芯片设计产业的成本，提升企业的竞争力



# 全球处于起步阶段，各国积极投入以期抢占制高点



美国 2018年，美国DARPA ERI项目

中国 2019年，中国科学院先导项目  
2022年，中国科学院先导项目

欧洲 2022年，欧洲路线图和2.4亿欧元超算项目

俄罗斯 2022年，俄罗斯成立联盟，数字发展部宣布大力扶持RISC-V

印度 2022年，印度启动“数字印度RISC-V项目”

# 例：欧盟发布路线图

2022年9月8日，欧盟委员会发布《**关于建立欧洲开源硬件、软件和RISC-V技术主权的建议和路线图**》，目标为了维持欧洲在芯片领域的核心竞争优势

## 开源生态系统的技术路线图及九大优先发展方向

- 1.RISC-V处理器的代码仓库；
- 2.特定领域处理器架构的开源硬件；
- 3.开源硬件外围模块的代码仓库；
- 4.逻辑单元的开源实时互连；
- 5.系统集成互联；
- 6.特定领域加速器的软硬件框架；
- 7.工业级软件和工具；
- 8.方法论和EDA工具；
- 9.**特定领域的示范应用，并确定了短期（2-5年）、中期（5-10年）和长期（10年以上）发展目标的详细技术清单。**

## 实施路径

- **1.建立非营利组织来支持RISC-V研发和加速生态建设：**  
开发一个合规标准，以证明开源硬件解决方案的互操作性和工业成熟度；协调市场特定要求（例如，汽车或工业自动化领域的安全性）；由欧盟资助，对欧盟以外公司开放，以避免出现封闭的开源硬件IP集群。及实施教育措施。（2）在学术界和工业界之间建立IP交换系统。鼓励EDA供应商、设计和IP公司以及IC代工厂开创新的商业模式。
- **2.实施教育措施：**（1）以有效的方式向公众和行业宣传开源硬件的优势和意义。需要开发适当的教学材料和宣传活动。（2）向欧盟公共机构提供激励，包括大学和研究实验室，以促进研究人员为开源硬件开发做出更多贡献，同时在其职业发展中得到适当认可。开放硬件应该成为公共资助机构所有硬件开发的默认范式。

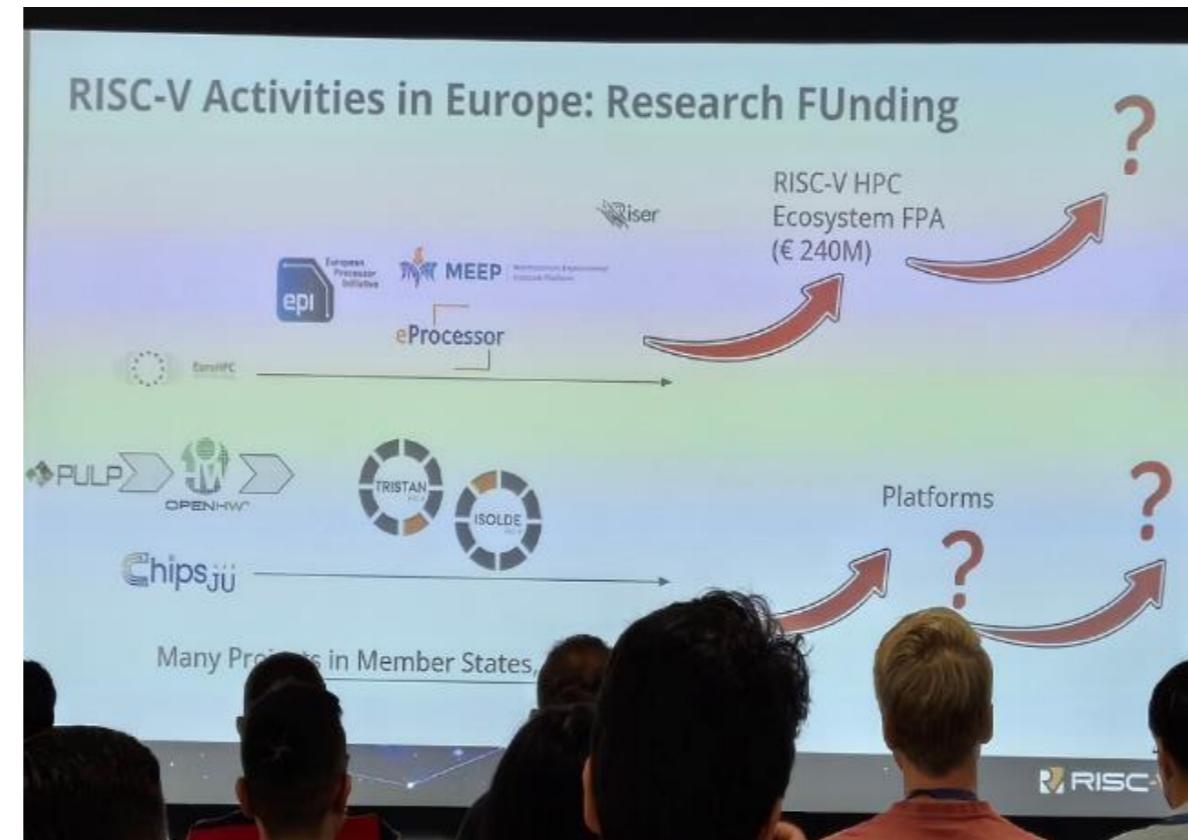
# 欧盟正加快布局RISC-V赛道

- 欧洲认为，RISC-V与欧洲“**完美匹配**”
- 投入**2.4亿**研究经费，同期启动**Chip JU RISC-V**项目支持开源RISC-V IP库

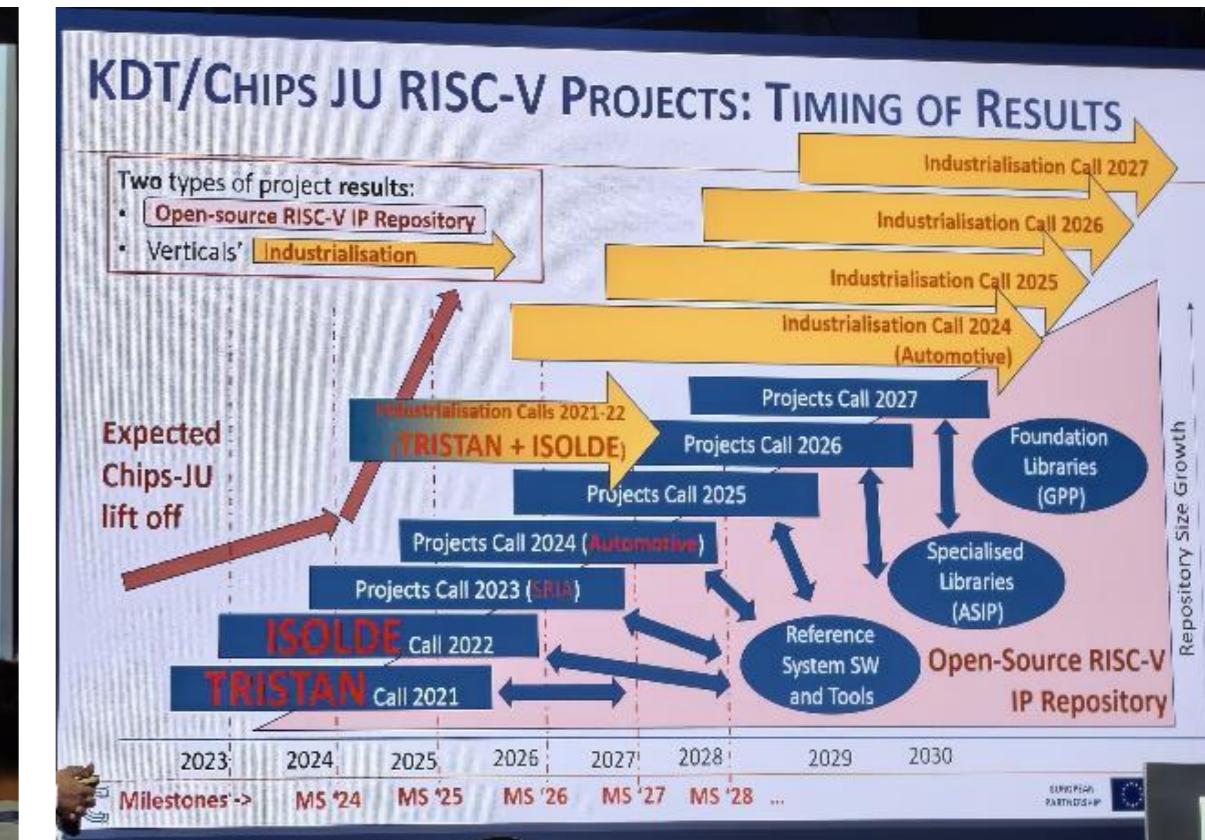
欧洲的RISC-V战略



欧盟投入2.4亿研究经费



欧盟启动Chip JU计划



## 二、开源芯片实践

# 香山：开源高性能RISC-V处理器核

■ 愿景：建立一个像Linux那样的开源RISC-V核主线，既能被工业界广泛应用，又能支持学术界试验创新想法



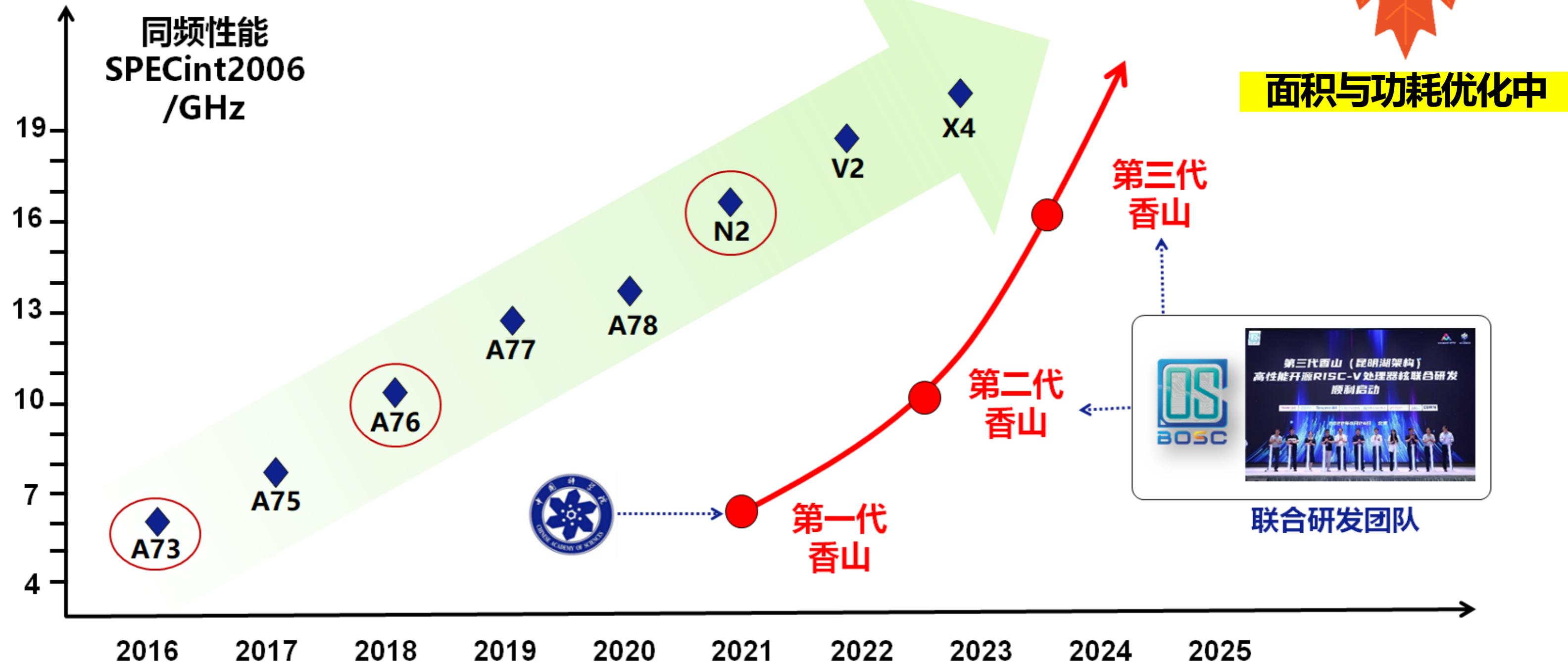
Linux

V.S.



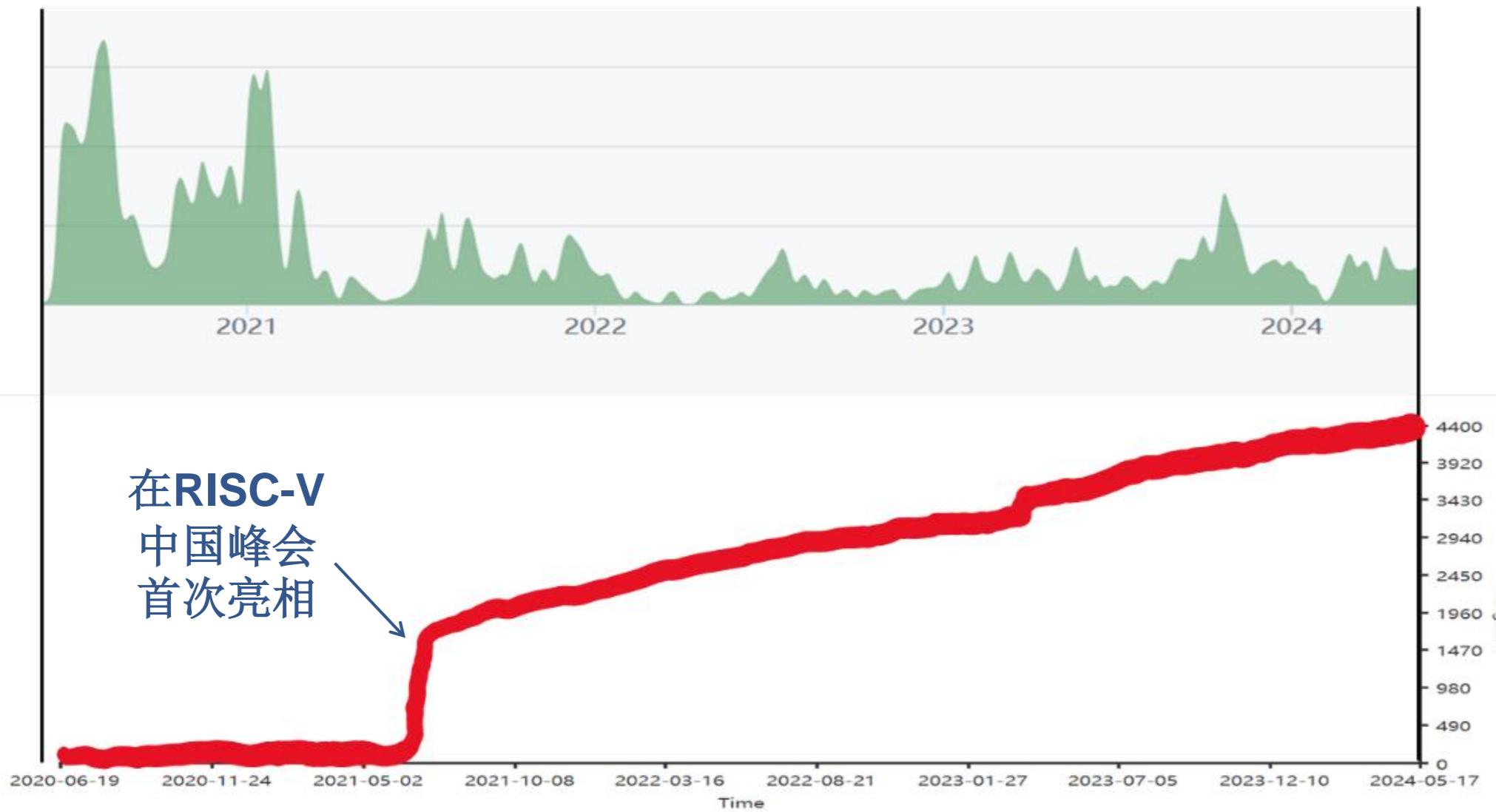
XIANGSHAN

# 香山演进路径



# 香山开源项目的一些数据

- 2021年6月11日，建立GitHub代码仓库



9,825 Commits

4.5k stars

93 watching

636 forks

Contributors 85



+ 71 contributors

# 第三代香山（昆明湖）性能评估

base

SPECint 2006 @ 3GHz		SPECfp 2006 @ 3GHz	
400.perlbench	33.52	410.bwaves	76.87
401.bzip2	24.96	416.gamess	43.36
403.gcc	47.68	433.milc	42.66
429.mcf	58.82	434.zeusmp	59.14
445.gobmk	30.03	435.gromacs	37.84
456.hmmer	40.26	436.cactusADM	47.84
458.sjeng	29.72	437.leslie3d	45.73
462.libquantum	126.91	444.namd	34.32
464.h264ref	56.48	447.dealII	74.12
471.omnetpp	41.12	450.soplex	54.53
473.astar	28.96	453.povray	55.70
483.xalancbmk	75.09	454.Calculix	18.14
<b>GEOMEAN</b>	<b>44.09</b>	459.GemsFDTD	36.91
		465.tonto	35.73
		470.lbm	101.20
		481.wrf	42.14
		482.sphinx3	51.49
		<b>GEOMEAN</b>	<b>47.16</b>

peak

***** SPECINT 2006 *****
400.perlbench: 39.570, 13.190
401.bzip2: 24.283, 8.094
403.gcc: 52.792, 17.597
429.mcf: 57.772, 19.257
445.gobmk: 31.711, 10.570
456.hmmer: 60.826, 20.275
458.sjeng: 31.500, 10.500
462.libquantum: 222.412, 74.137
464.h264ref: 63.332, 21.111
471.omnetpp: 42.243, 14.081
473.astar: 30.738, 10.246
483.xalancbmk: 88.212, 29.404
SPECint2006@3GHz: 50.682
SPECint2006/GHz: 16.894

RTL 源代码上达到 15 分/GHz (base, 无编译优化)

加编译优化可达16.9分/GHz (peak)

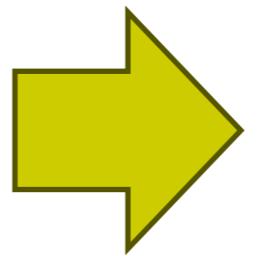
# 第三代“香山”入选2024中关村论坛10项重大科技成果

入选理由：“第五代精简指令集（RISC-V）正在引领新一轮处理器芯片技术与产业的变革浪潮。中国科学院计算技术研究所、北京开源芯片研究院开发出第三代“香山”开源高性能RISC-V处理器核，是在国际上首次基于开源模式、使用敏捷开发方法、联合开发的处理器核，性能水平进入全球第一梯队，成为国际开源社区性能最强、最活跃的RISC-V处理器核，为先进计算生态提供开源共享的共性底座技术支撑。”



# “香山”已成为国际性能最高的开源RISC-V处理器核

- 第二代香山性能达到ARM A76
- 第三代香山性能达到ARM N2



## ■ 企业研发中的产品

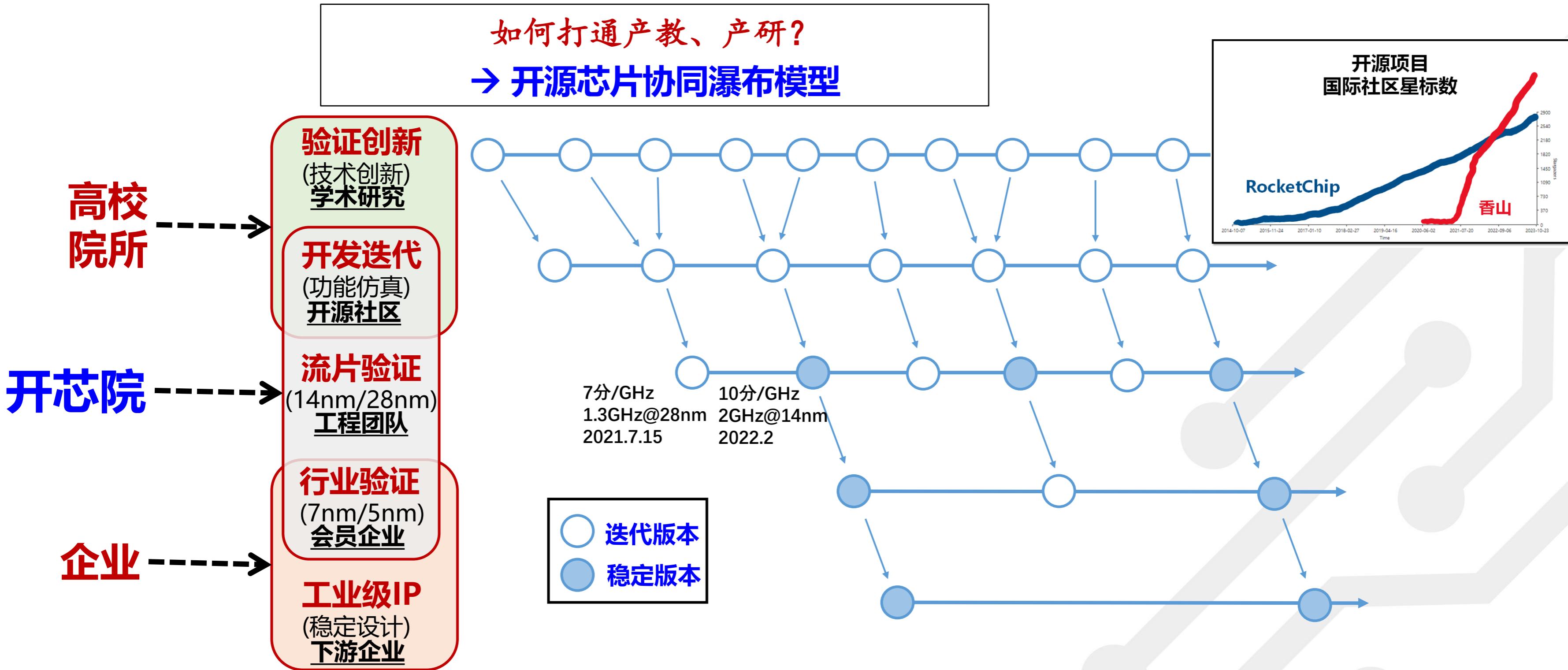
- 28nm 异构SoC芯片
- 28nm 车规级MCU芯片
- 16nm 验证芯片
- 16nm 智能驾驶SoC芯片
- 12nm AI视频监控芯片
- 12nm 服务器CPU芯片
- 12nm 机器人AI芯片
- 12nm 数据中心DPU芯片
- 12nm 工业边缘计算SoC芯片
- Xnm GPU芯片
- Xnm DPU芯片
- Xnm 服务器CPU芯片
- ...

# 基于开源的联合开发新机制

- 2021年12月，由16家企业共同出资，成立**北京开源芯片研究院（开芯院）**，围绕“香山”进行产品化改造，加速推动成果落地
- 截至8月16日，研究院共有463人，其中研究院管理层7人，全职员工178人，实习生249人，兼职专家29人；另有参与联合开发的企业工程师超过100人



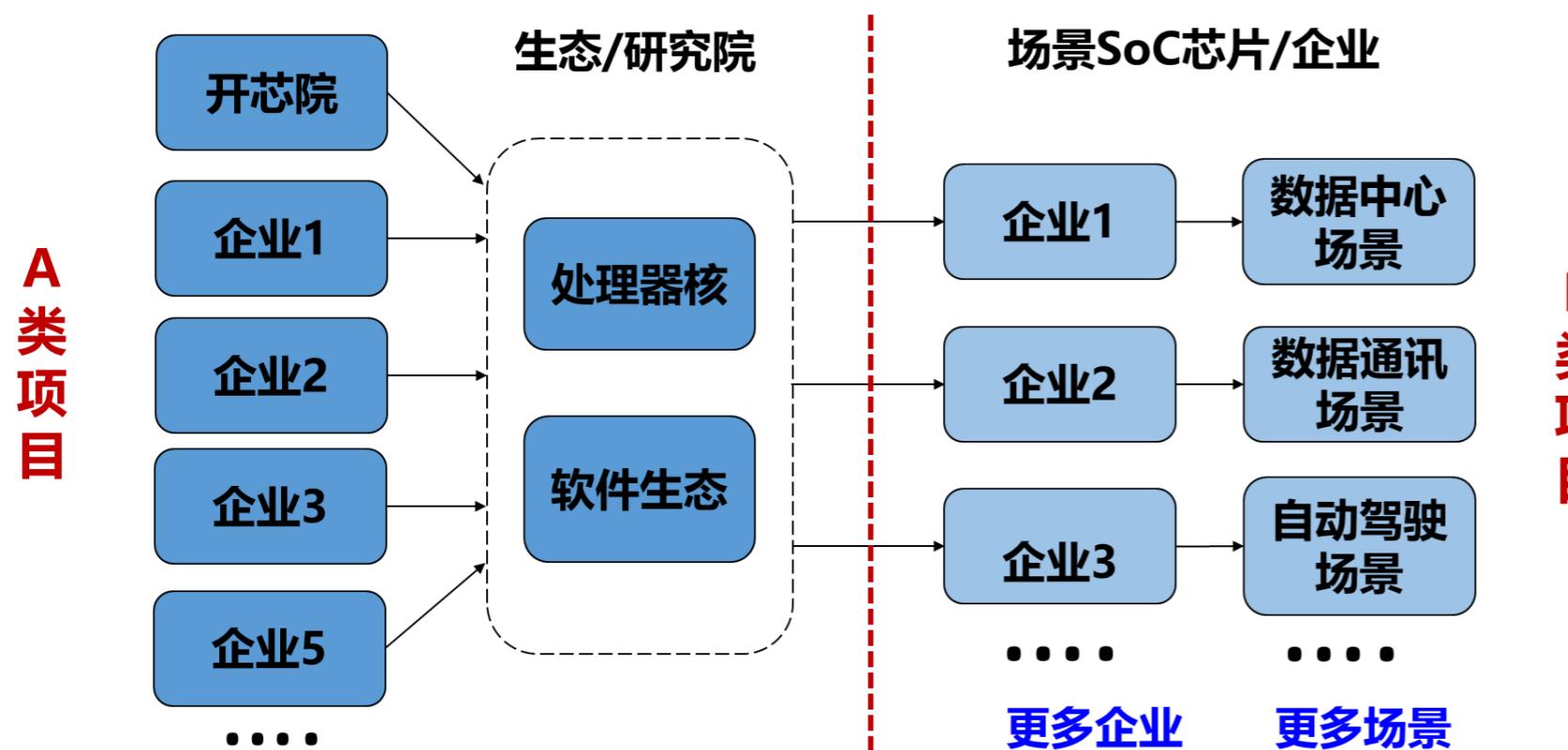
# 机制创新：“产教、产研”深度协同



# 机制创新：项目联合开发+知识产权分级共享

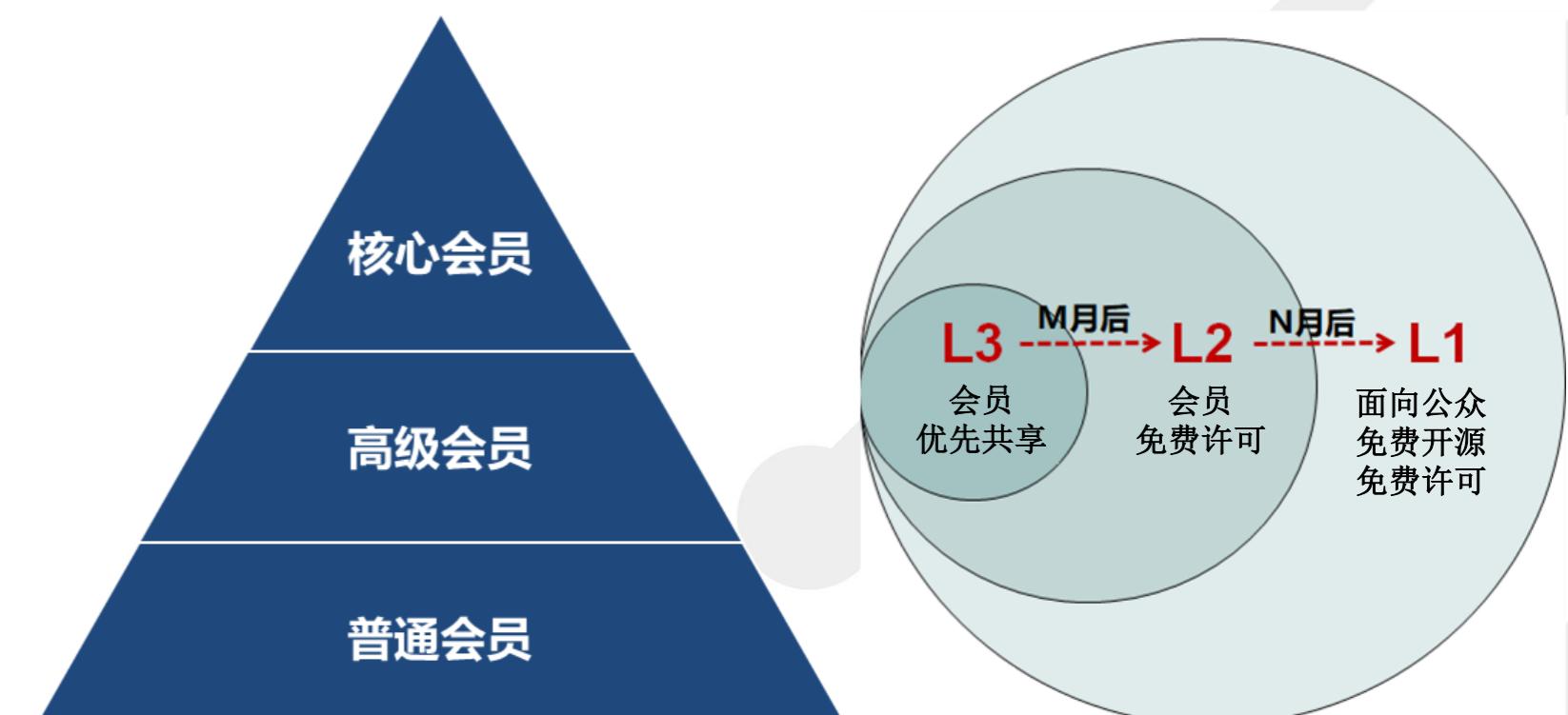


如何凝练产业需求“最大公约数”？  
→ “A+B”搭配启动项目机制



- A类项目：开芯院牵头的聚焦基础共性技术研发项目
- B类项目：企业牵头和主要投入的产业化项目

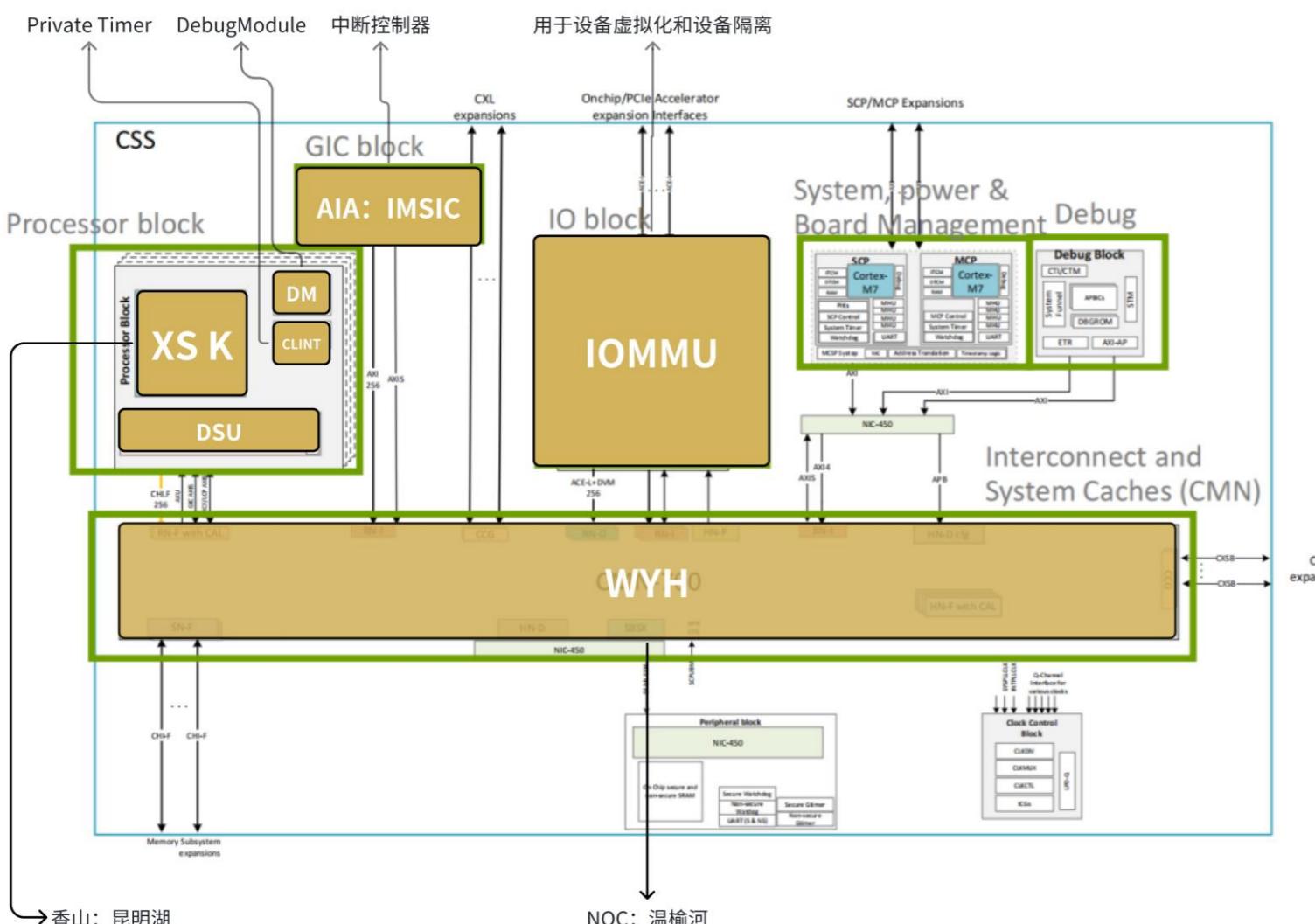
如何平衡开源投入与企业收益？  
→ 分级会员+滚动开源



# 完善产品和质量管理体系



■ 2023年12月，开芯院成立产品管理部，建立产品需求管理体系，梳理各会员企业需求，明确交付目标和交付计划



1	feature	Neoverse N2 CSS	XS-KMH V2R1(2024/06)
2	spec2006(GHz)	15	<b>15</b>
3	Address space	VA 48bit, PA 48bit	VA39bit, PA 36bit
4	memory region	find-grained	coarse-grained
5	outstanding transaction	memory, uncache memory, MMIO	memory
6	Time keeping	private timer(with global timestamp)	global timer
7	NMI	Yes	No
8	vector	NEON/SVE/SVE2	V
9	Performance monitor	Yes	Yes
10	Trace	Yes	No
11	CPU virtualization	CPU, memory	CPU, memory(performance?)
12	Interrupt virtualization	GIC	AIA csr and IMSIC(UT finish)
13	misalignment access	Yes	No
14	cache maintenance	Yes	No
15	Atomic	L1\$, L2\$, SLC with cas	Only D\$ lrc

1	feature	Neoverse N2 CSS	XS-KMH V2R1(2024/06)
16	CPU interface	CHI Issue E.b	CHI Issue B(subset)
17	power	retention, power down	gating
18	nr of cores	up to 128	up to 4
19	CPU subsystem	Yes	NO(Yes for tilelink)
20	RAS	I\$ parity, D\$ ECC, L\$ ECC	I\$ parity, D\$ ECC(Default OFF)
21	IOMMU	Yes(SMMU)	open source(note1)
22	HW page table A/D update	Yes	No
23	multi-channel ddr	Yes	No
24	memory interleave	Yes	No
25	multi-channel PCIe	Yes	No
26	Die2Die support	Yes	No
27	memory tag	Yes(MTE, PAC)	No
28	cache partition and monitor	Yes(MPAM)	No

多核和可扩展性

服务器场景特性的支持

CHI协议支持

单核性能

PPA (括号内为与N2比较差异)

多核UT/IT/ST能力建设	跨die关键指标优化 (bandwidth, latency)
多核性能分析方法建设	
高性能处理器基础公共能力	高性能处理器高级特性
高性能处理器必备特性	
CHI Issue B最小transaction+所有snoop	AMO, CMO (需要会员输入优先级)
向量性能持续优化 (bfloat16要不要做?)	IO性能优化 (stream, DVM transaction; PCIe ATS, PR支持; PCIe order)
单核性能 (不含向量) 15分/GHz	单核20分GHz架构探索
单核性能 (含向量) 15分/GHz	单核20分GHz架构探索
频率: 2.5GHz; 面积: 2.71mm(+22%); 功耗: 2.21(+57%)	2.9GHz; 2.65mm(+20%); 2.3w(+60%)
	2.9GHz; 2.5mm(+18%); 1.81w(+30%)
	3GHz; 2.33mm(+8%); 1.54w(+8%)
(待补充数据)	(待补充数据)

2023Q3

2023Q4

2024Q1

2024Q2

2024Q3

2024Q4

2025Q1

2025Q2

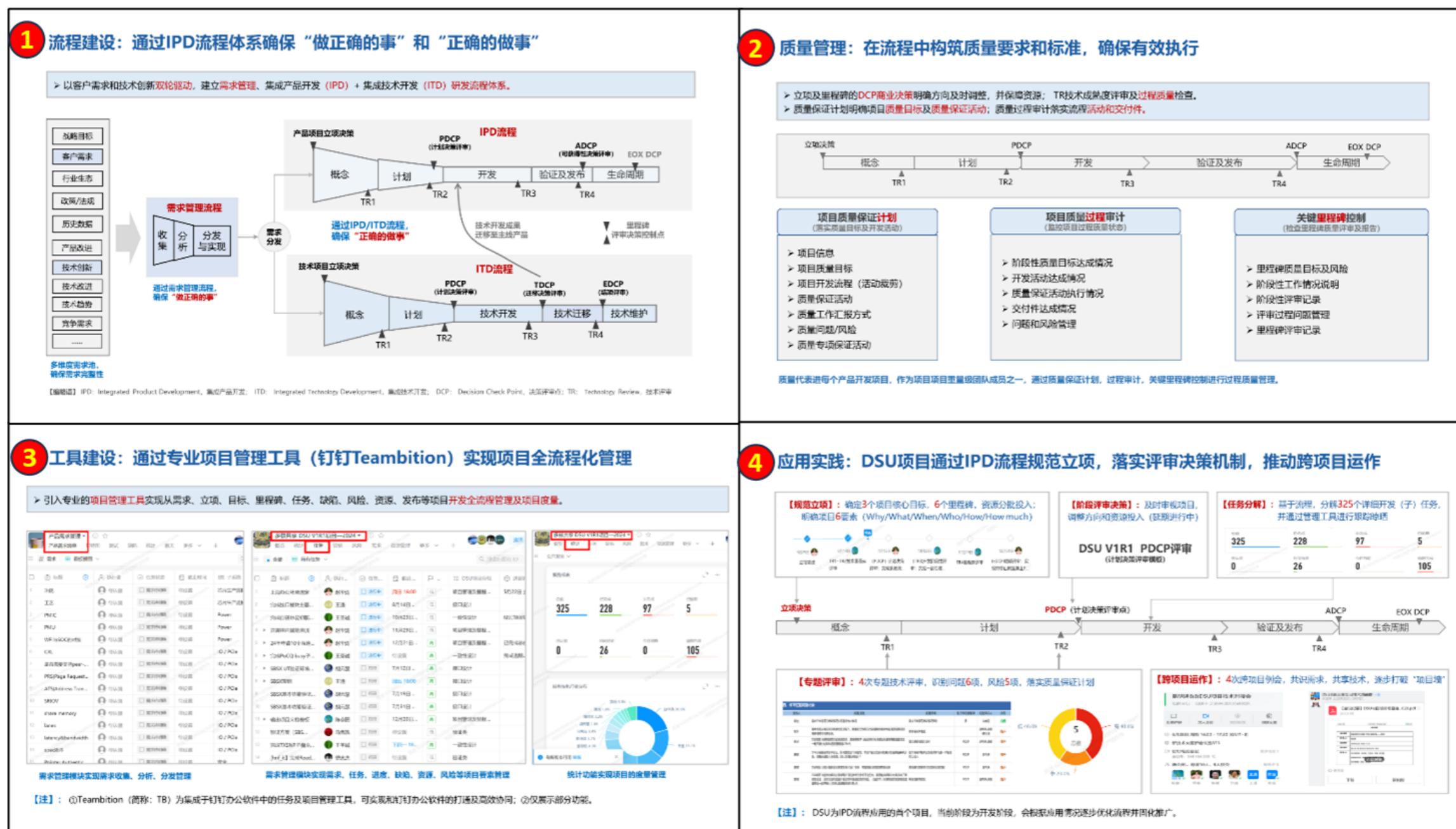
开芯院服务器芯片整体解决方案

开芯院服务器芯片需求和交付计划

# 建立研发质量管理体系



■ 建立集成产品开发（IPD）与集成技术开发（ITD）流程体系，在流程中构筑质量要求与标准



# 第三代香山：目标与业界标杆PPA差距10%以内



	0101	0401	0430	0630	现在	0930	1231
V2整体PPA (单核)	PPA迭代优化	频率:2.5GHz 面积:2.71mm <sup>2</sup> (+22%) 功耗:2.21W (+57%)	频率: 2.9GHz 面积: 2.6mm <sup>2</sup> (+18%) 功耗:2.05W (+46%)	频率: 2.9GHz 面积: 2.5mm <sup>2</sup> (+18%) 功耗:1.79W (+28%)	频率: 3GHz 面积: 2.33mm <sup>2</sup> (+8%) 功耗:1.54W (+8%)		
前端PPA (前端组&物理组)	启动功耗优化	频率: 2.7GHz 面积: 0.31mm <sup>2</sup> (+4%) 功耗:0.52W (+11%)	频率: 3.0GHz 面积: 0.31mm <sup>2</sup> (+3%) 功耗:0.48W (+5%)	频率: 3.0GHz 面积: 0.30mm <sup>2</sup> (+0%) 功耗:0.47W (+0%)	频率: 3.0GHz 面积: 0.30mm <sup>2</sup> (+0%) 功耗:0.46W (+0%)		
后端PPA (后端组&物理组)	启动功耗优化	频率:2.5GHz 面积: <u>0.97mm<sup>2</sup>(+56%)</u> 功耗: <u>1.12W (+115%)</u>	频率:2.9GHz 面积: <u>0.93mm<sup>2</sup>(+50%)</u> 功耗: <u>0.98W (+90%)</u>	频率:2.9GHz 面积: <u>0.83mm<sup>2</sup>(+35%)</u> 功耗: <u>0.72W (+40%)</u>	频率:3.0GHz 面积: <u>0.77mm<sup>2</sup>(+25%)</u> 功耗: <u>0.62W (+25%)</u>		
访存PPA (访存组&物理组)	启动功耗优化	频率: 2.5GHz 面积: <u>0.49mm<sup>2</sup>(+43%)</u> 功耗: <u>0.43W (+41%)</u>	频率: 2.9GHz 面积: <u>0.46mm<sup>2</sup>(+35%)</u> 功耗: <u>0.41W (+35%)</u>	频率:3.0GHz 面积: <u>0.43mm<sup>2</sup>(+25%)</u> 功耗: <u>0.36W (+20%)</u>	频率:3.0GHz 面积: <u>0.37mm<sup>2</sup>(+10%)</u> 功耗: <u>0.33W (+10%)</u>		
缓存PPA (缓存组&物理组)	启动功耗优化	频率:2.9GHz 面积:0.93mm <sup>2</sup> (+5%) 功耗:0.13W (+29%)	频率:3.0GHz 面积:0.93mm <sup>2</sup> (+5%) 功耗:0.13W (+29%)	频率:3.0GHz 面积:0.89mm <sup>2</sup> (+0%) 功耗:0.12W (+15%)	频率:3.0GHz 面积:0.89mm <sup>2</sup> (+0%) 功耗:0.11W (+0%)		
PPA优化 (设计&物理组)	FTQ裁剪 IBUFFER裁剪 ...	CGR优化>95% 向量重构逻辑优化 ...	CGE 优化>90% ITTAGE 模块重构 ...	微架构层面功耗优化 物理设计层面功耗优化 ...			

# 产品级验证平台和流程



验证交付平台(验证交付能力构建--质量和效率在整个贯穿验证过程)

需求分析, 规格提取, 规划验证策略和计划

理解设计方案

测试点分解

验证方案

用例规划

环境搭建

缺陷分析

验证报告

验证活动执行指引

质量控制与评审

持续改进

环境架构能有统一性、有通用行、有序迭代

验证库的迭代积累

RTL仿真/EMU/FPGA/形式化验证方面建立子流程

经验分享

新技术探索

验证能力与人才培养

[指引]验证策略文档模板与质量要求

[指引]验证计划时间表模板

[指引]反串讲DEMO

[指引]测试点表格模版/培训材料与质量要求

[指引]公共测试点与各类feature的checklist

[指引]验证方案模板与质量要求

[指引]用例表单模版

[指引]tianjian平台使用指南

[指引]经典案例分析/问题单记录分析汇总管理

[指引]验证报告模板与质量要求

[指引]验证执行注意事项确认表格

[指引]验证阶段出入口标准/检视材料模板

[指引]项目总结与思考

[指引]指引要求 (版本管理、目录机构、向上集成要求、重用要求、模块化、可剪裁、可扩展、自动化要求、可维护性、性能、资源、代码风格)

[指引]VIP/函数库/断言库/组件库/脚本库 等

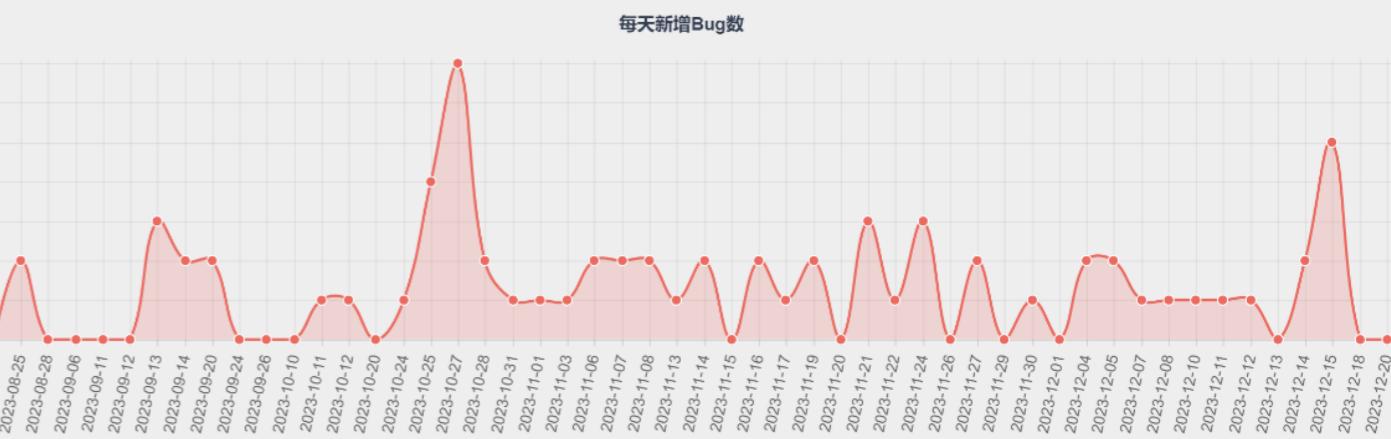
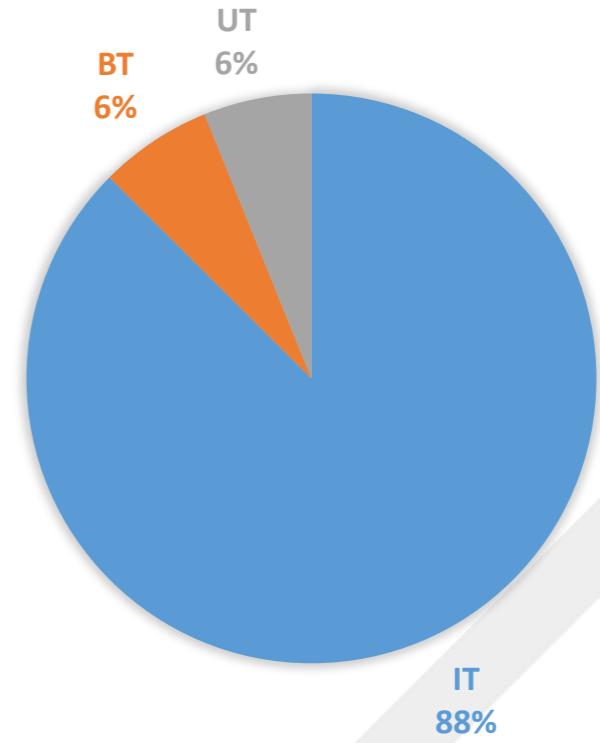
[指引]工具使用指引/子流程/子策略 等

[指引]知识地图/案例库 等

[指引]关注、学习评估、实验、落地流程

[指引]知识地图/新人入门项目demo

## BUG分布



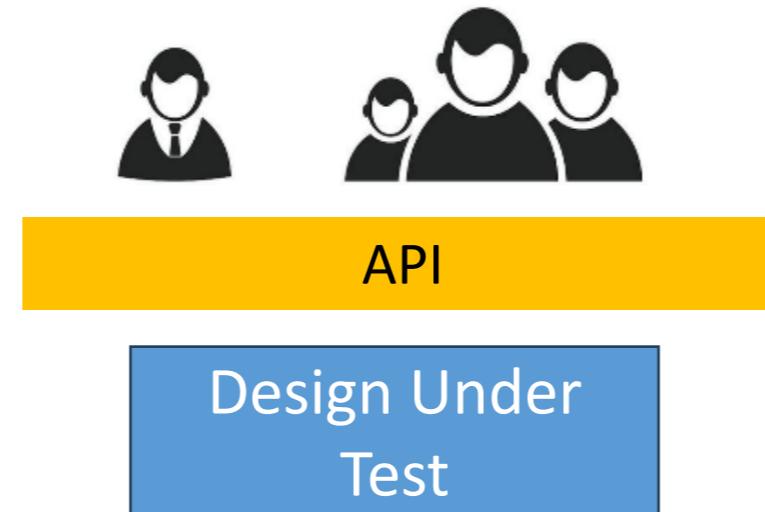
# 万众一心开源验证平台 (UnityChip Verification)



- **目标：**以开源众包的方式让软件工程师用自己擅长的编程语言进行芯片验证
    - **49.8%** (Python, C/C++, Java, Golang) vs. **0.15%** (Verilog, SV)



# 多编程语言验证



# 统一验证接口



硬件生态

# 软件生态

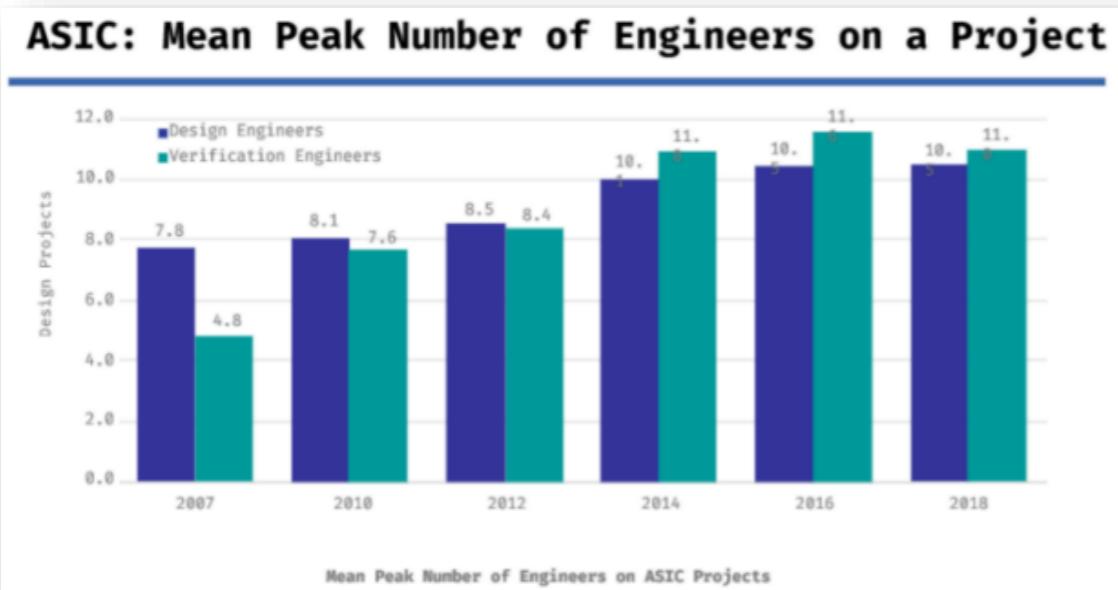
<https://open-verify.cc/>

# 基于开源的芯片验证新思路



## 传统芯片验证：

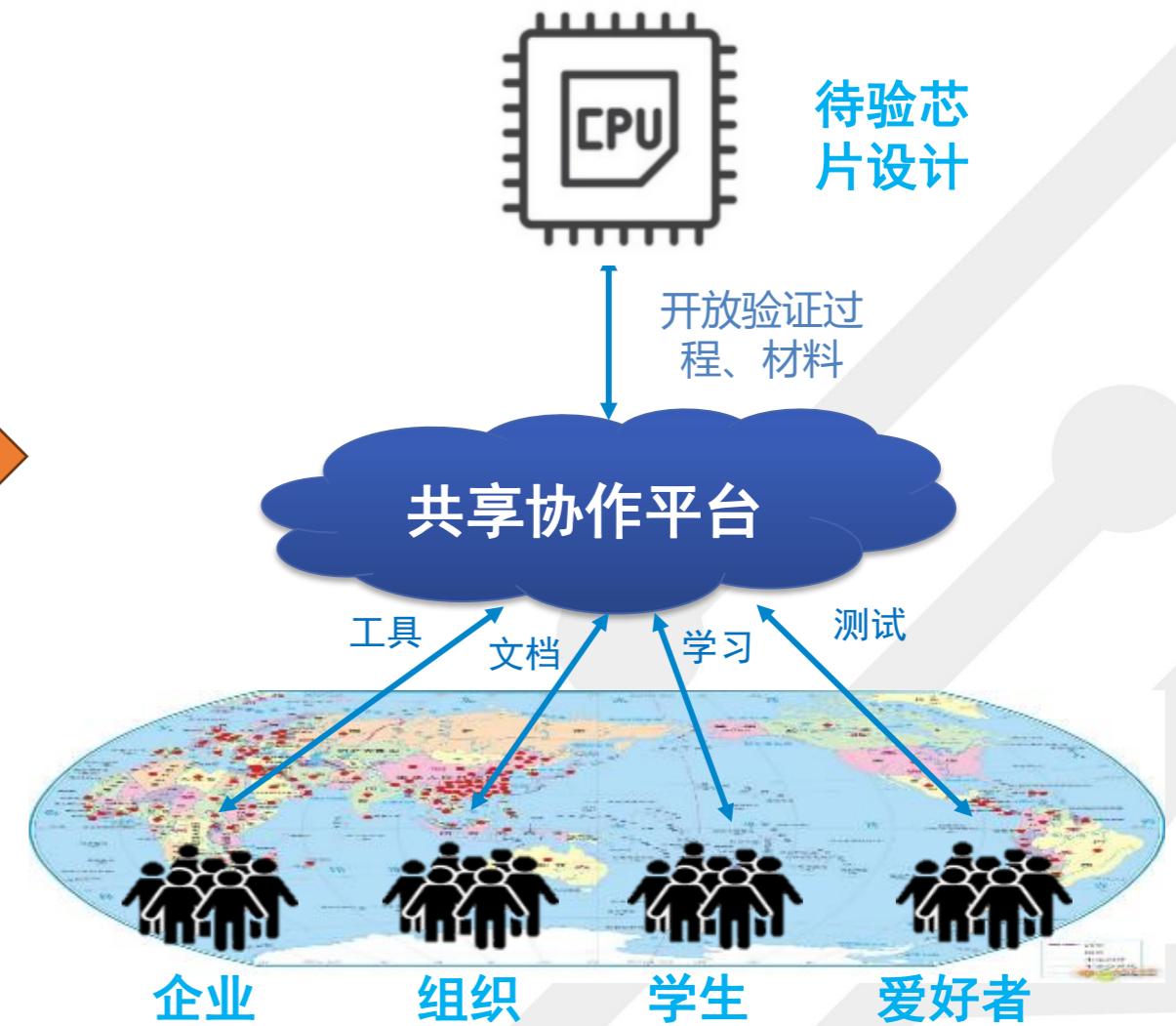
- 验证工作量大，占比超过**70%**
- 验证工程师 > 设计工程师
- 源代码**闭源**，属于**商业机密**，只能在公司内完成验证



The 2018 Wilson Research Group Functional Verification Study



## 开源硬件众包验证

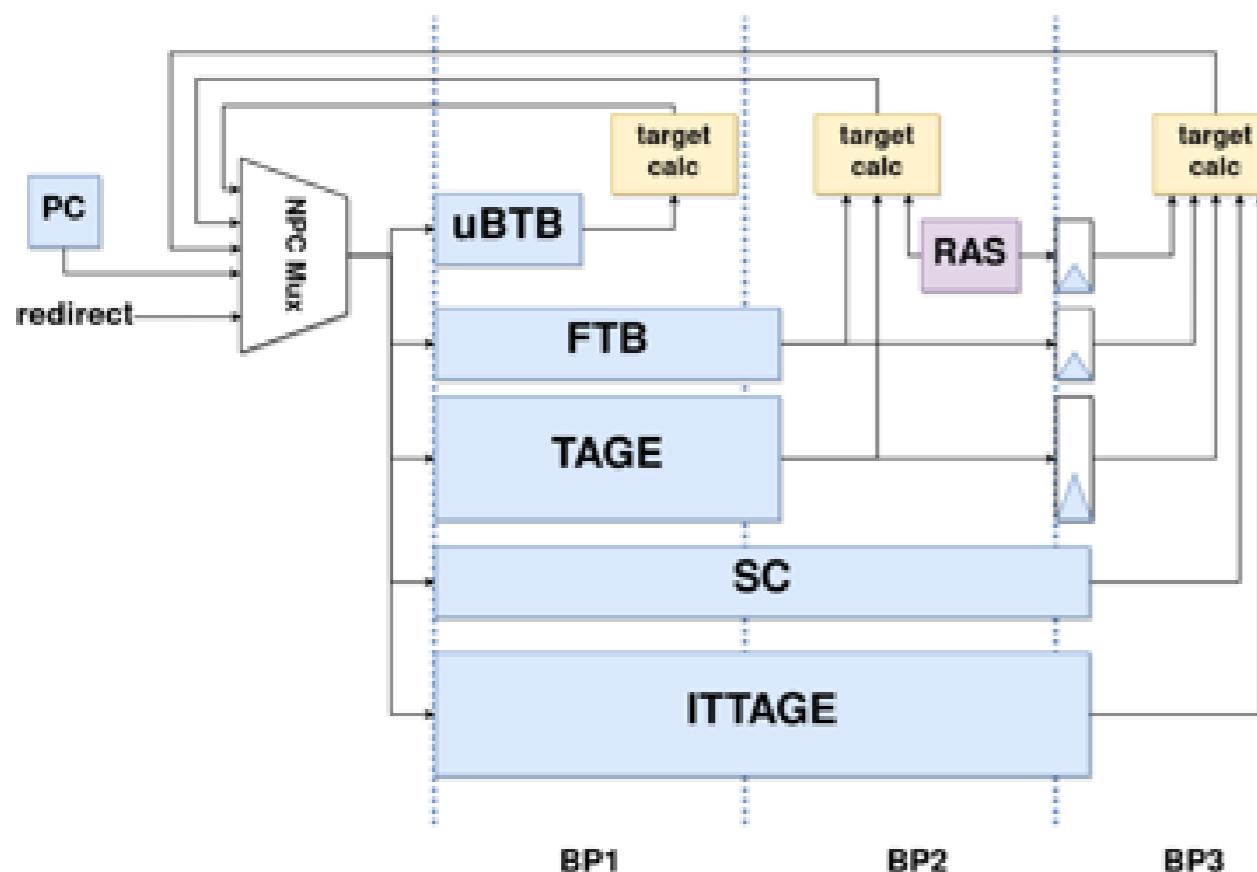


协作模式：开源共享

# 万众一心平台实践案例 (1)



- 目标：完成香山BPU模块验证 (已完成)
- 中国科学院大学大三同学3人、安徽大学大四同学1人、齐鲁工业大学大四同学1人



- ① 拆分出162个功能点
- ② 编写了68个测试用例 (1718LoC, 平均25)
- ③ 编写了4182行环境代码 (含RM、Trace处理)
- ④ 发现了10个bug
- ⑤ 代码行覆盖率大于99%
- ⑥ 完成64页验证报告撰写

验证对象：香山昆明湖BPU  
( chisel 3076 LoC)

2个月验证成果

# 万众一心平台实践案例 (2)



**新生基本情况：**

**学 校：**西北工业大学

**专 业：**网络信息安全

**年 级：**大一

**技 能：**了解Python

**目 标：**具有编写RAS验证case的能力

**5天 (22学时) 完成验证工具学习与验证基础知识**

**10天 (48学时) 完成业务理解，能编写测试用例**

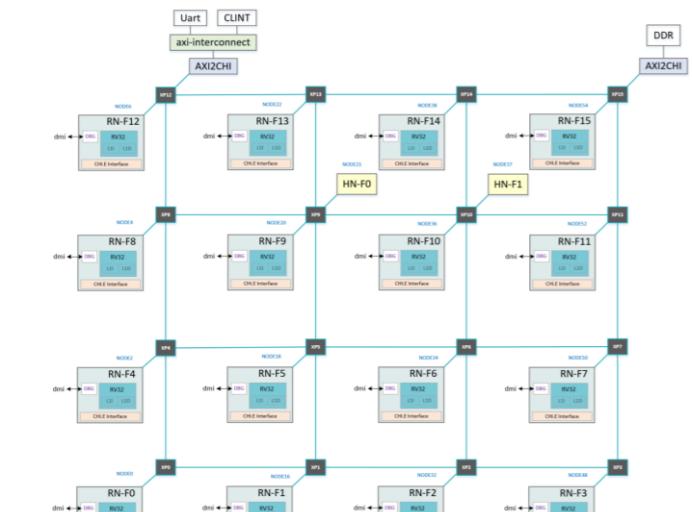
日期	进行的项目	花费的时间	完成进度情况	期间遇到的问题
7.8	linux环境的配置	3h	快速完成	无
7.8-7.9	picker依赖的安装 (学习linux)	7h	基本完成	安装过程较为繁琐，遇到很多linux的相关问题，需要一定linux基础，否则推进速度将会很慢
7.9-7.10	安装picker并配置picker环境 (进行python基础学习)	6h	基本完成	picker下载本身并没有什么难度，但是上一步下载verilator的版本有问题，已解决
7.11-7.12	对案例一和案例二进行python代码解读，并跑通代码	6h	基本完成	继续学习python相关知识并理解了代码，没有什么问题
7.15-7.16	阅读分支预测与RAS文档，对RAS结构有了基本认知	9h	基本完成	文档写的相对来说有些抽象，有些难以理解，但在学长的帮助下基本完成理解
7.17	阅读RAS代码：ras_pins.py，对基础操作代码进行解读	5h	基本完成	磕磕绊绊，对python基础有一定的要求。
7.18-7.19	阅读test_spec_func.py代码，尝试进行复现	8h	基本完成	比较相关测试点代码，基本没有问题就是推进速度会比较慢
7.22	对比spec代码，编写了一个简单的测试点	3h	快速完成	一步步进行模仿编写，在学长的帮助下成功运行了
7.22-7.23	阅读test_commit_func.py代码，尝试进行复现	6h	基本完成	这个理解的比spec栈的代码相对困难一些，涉及的参数比较多，理解起来有点慢
7.23-7.24	对比commit代码，编写了一个简单的测试点	3h	快速完成	同样仿写了一个简单的commit代码，也找到了学长代码中的几个bug，已修正
7.24-7.25	阅读redirect代码，并在一个原有的测试点上进行了拓展 (自认为)	5h	基本完成	一个人尝试跑了一下，没跑通，学长帮忙调试了一下，过了
7.25-7.26	阅读学习update的case代码，4种类型的case都比较像，尝试写一个	7h	基本完成	感觉就是在spec栈的基础上加了一点内容，理解起来也比较简单
7.26	整理日志，编写汇报ppt	2h	快速完成	无

## 学习记录摘要

# 温榆河V1：全球首个开源大规模片上互联网络IP



■ 2024年5月21日发布，将在RISC-V中国峰会**正式开源**



```

Mem: 30796K used, 24584K free, 6884K shrd, 0K buff, 6884K cached
CPU0: 99.4% usr 0.5% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU1: 96.2% usr 3.7% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU2: 99.8% usr 0.1% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU3: 98.9% usr 1.0% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU4: 93.7% usr 6.2% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU5: 99.3% usr 0.1% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU6: 99.3% usr 0.6% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU7: 84.6% usr 15.3% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU8: 98.8% usr 1.1% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU9: 99.7% usr 0.2% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU10: 97.7% usr 2.2% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU11: 99.3% usr 0.6% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU12: 99.7% usr 0.2% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU13: 98.3% usr 1.6% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU14: 99.6% usr 0.3% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
CPU15: 100% usr 0.0% sys 0.0% nic 0.0% idle 0.0% io 0.0% irq 0.0% sirq
Load average: 256.97 118.49 45.69 273/403 416
PID PPID USER STAT VSZ %VSZ CPU %CPU COMMAND
 416 125 0 R< 2372 4.2 4 3.0 top -d 2
 407 176 0 R 1776 3.1 9 0.3 ./test_fork8_cons_prod_print -c 16
 412 176 0 R 1776 3.1 9 0.3 ./test_fork8_cons_prod_print -c 16
 231 185 0 R 1776 3.1 10 0.3 ./test_fork8_cons_prod_print -c 16
 238 176 0 R 1776 3.1 9 0.3 ./test_fork8_cons_prod_print -c 16

```

**Demo: 16 cores running programs on Linux (up to 64 cores)**

- **对标ARM CMN-600 (2016)**
  - 基于ARM AMBA 5 CHI 0050E.b
  - 基于MESI协议的Cache一致性
  - 基于SF (Snoop Filter) & Directory-Based的LLC
  - 支持端到端 QoS (Quality of Service)
  - 可根据需求进行拓扑结构调整，最高可支持 $8 \times 8$  Mesh网络
  - 支持可编程系统地址映射
  - **最高支持128个处理器、加速引擎、图形处理单元等RN-F**
  - 最高支持16路内存控制器
  - 256 位双向数据通道
  - 最高支持16个HN-F，单个HN-F的LLC大小为0~32MB
  - Snoop Filter最大为256MB

# 新商业模式：Linux+RedHat模式



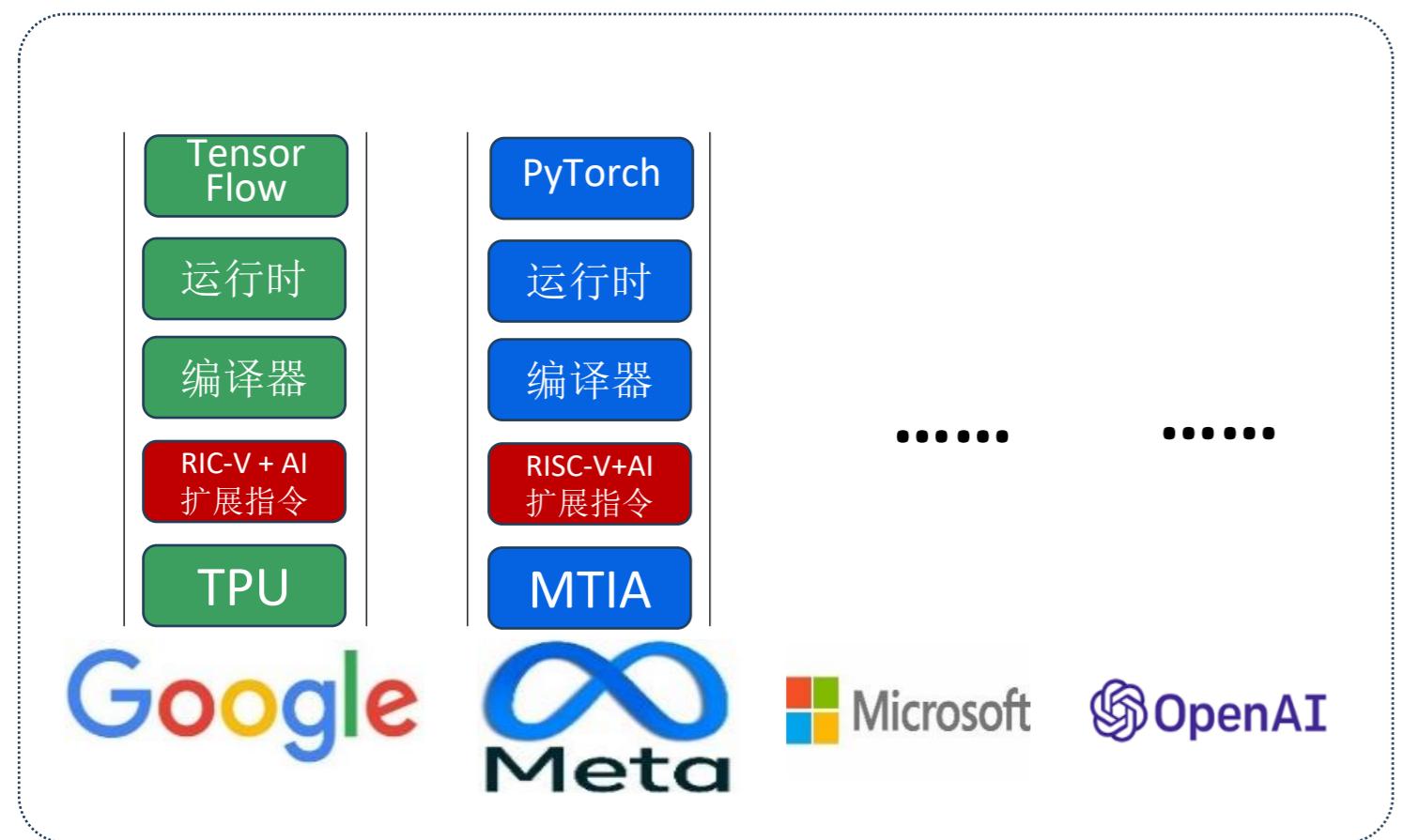
- 基于开源RISC-V实现为下游SoC芯片设计企业提供IP产品和设计服务
- 改变商业IP公司成本结构



# RISC-V+AI，迎来战略发展契机



- 全球AI算力被**英伟达**的芯片及CUDA软件生态**高度垄断**
- 通过**RISC-V+AI扩展指令**用开源来打破英伟达垄断，成为全球业界**新共识**
- Google、Meta、Microsoft、OpenAI等均在**AI芯片中使用RISC-V架构**



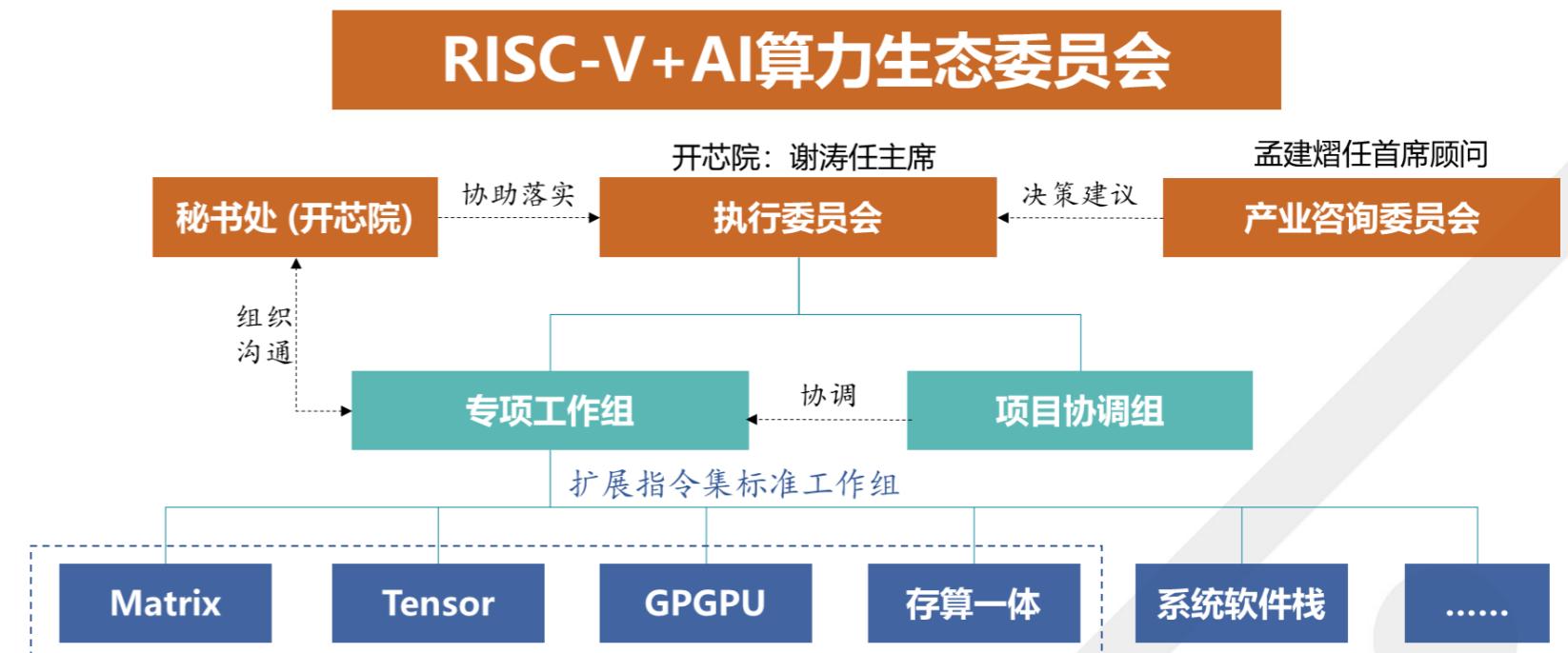
V.S.



# 成立“RISC-V+AI算力生态委员会（RACE）”



- 3月26日，由开芯院牵头，近40家企业和高校科研院所共同参与成立**RISC-V+AI算力生态委员会(RACE)**
- 开芯院聘任**谢涛教授**为首席科学家，担任RACE主席，聘任**孟建熠博士**任开芯院首席产业咨询顾问





开源芯片，赋能新产业

开源芯片，普惠世界

- 开源芯片是解决全球科技**供应链安全**和实现**科技普惠世界**的有效途径

**谢谢！  
请批评指正**