



RISC-V生态视角下的 商业要素必要性与重要性

芯来科技 创始人 胡振波

01

RISC-V行业发展的关键商业化要素

02

RISC-V CPU IP的必要性与重要性

03

芯来科技六年发展历程与成果

04

RISC-V IP 2.0模式介绍与创新分析

01

RISC-V行业发展的关键商业化要素

02

RISC-V CPU IP的必要性与重要性

03

芯来科技六年发展历程与成果

04

RISC-V IP 2.0模式介绍与创新分析

RISC-V是个标准，它顺应了行业大趋势——底层协议开放标准化



指令集(架构)

RISC-V是世界上第一个高质量、开放标准的CPU指令集

RISC-V适用于所有计算系统：MCU-汽车电子-数据中心-超算

RISC-V开放的架构，极大加速了生态的发展

开放标准的指令集 免费的CPU Core IP

维护 管理 发展



RISC-V基金会

RISC-V基金会是非营利性组织，落户瑞士中立地区

近4000基金会成员，来自大陆遍布欧美的70多个国家

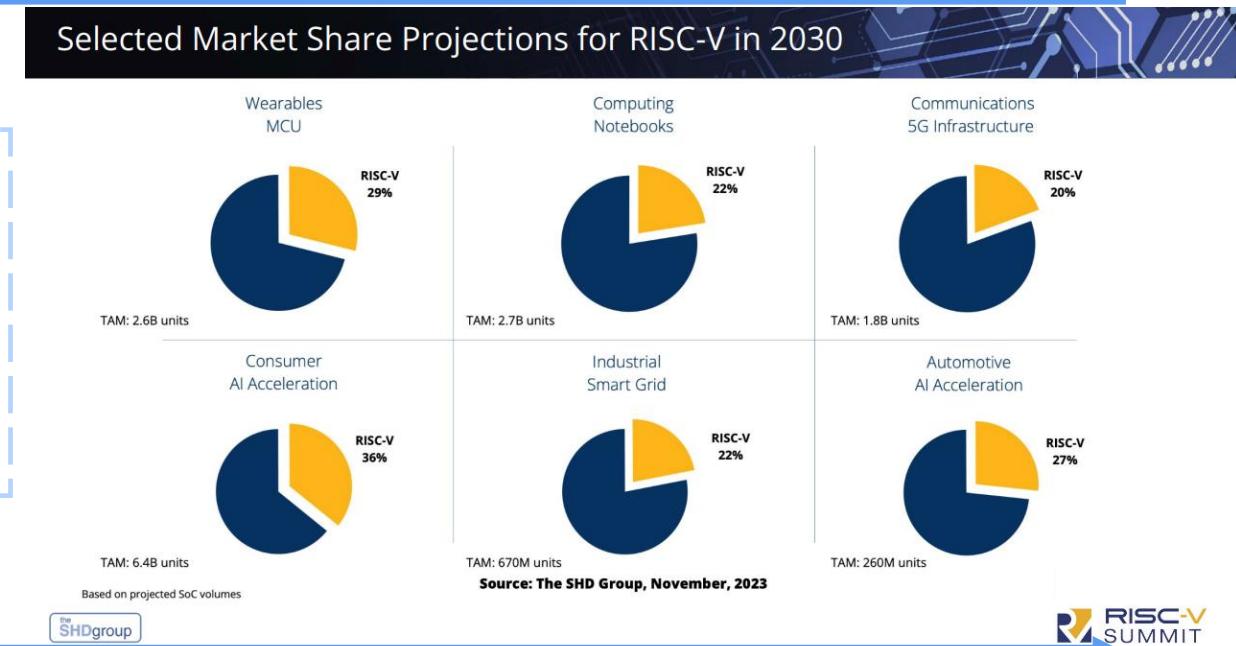
芯来科技
NUCLEI



RISC-V已经和ARM、X86呈三分天下之势，开放的CPU标准是未来的趋势

芯来科技
NUCLEI

三分天下之势



1978

1984

1986

2015

RISC-V
SUMMIT

商业实体	商业模式	与RISC-V关系
开源提供方	提供开源IP	发布并维护开源RISC-V IP
商业IP提供商	提供IP授权	自研RISC-V IP，授权给其他芯片公司
软件工具提供商	提供商业化软件或服务	提供RISC-V软件、应用或解决方案
RISC-V芯片公司	销售芯片	自研或授权商业RISC-V IP， 芯片产品形态以RISC-V为主， 往往以通用性MCU、MPU、AP、CPU或AI芯片为主
芯片/互联网巨头	销售芯片或自用芯片	自研RISC-V IP供自用
芯片设计公司	销售芯片	授权商业RISC-V IP研发SoC芯片

商业要素	重要性	商业模式优劣
IP	稳定可靠的IP	轻资产，产值低，难突破
软件生态	工具软件，算法库，应用软件，软件解决方案	轻资产，本土商业模式挑战
通用性芯片	通用性MCU、MPU、AP、CPU芯片或AI芯片	产值高，重资产，风险高

01

RISC-V行业发展的关键商业化要素

02

RISC-V CPU IP的必要性与重要性

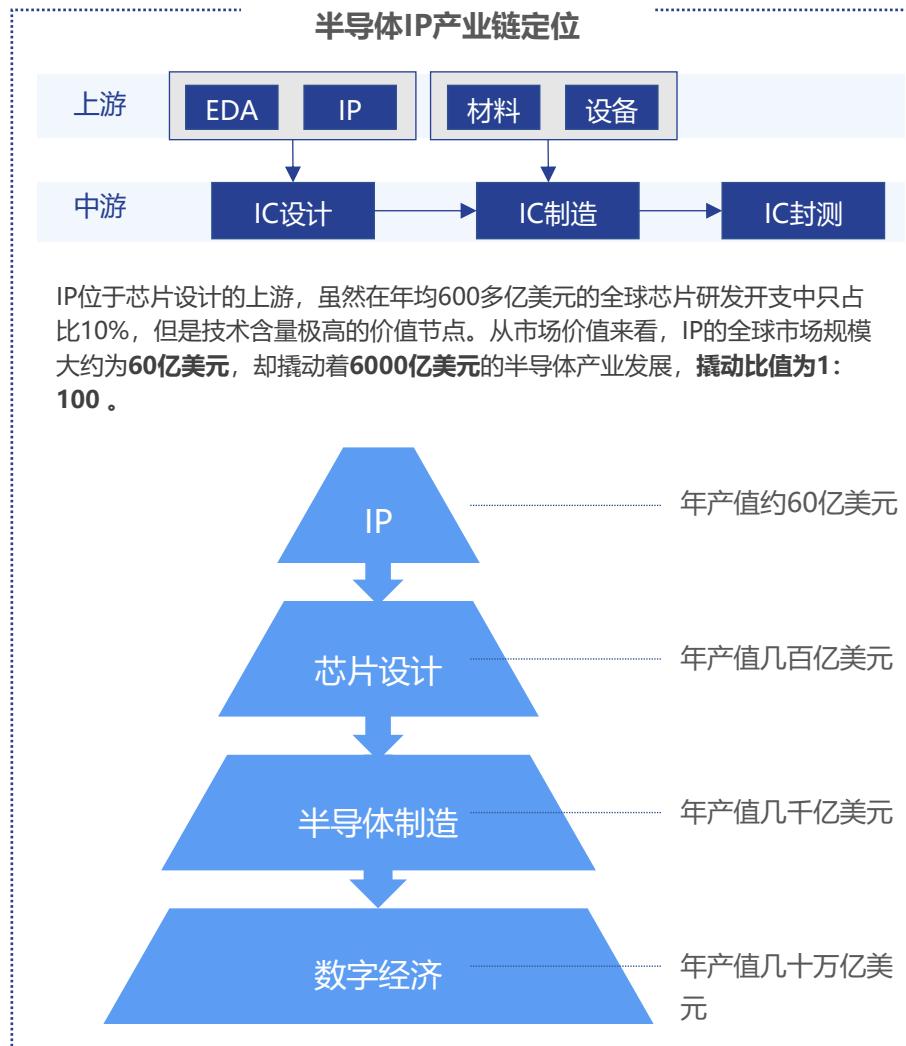
03

芯来科技六年发展历程与成果

04

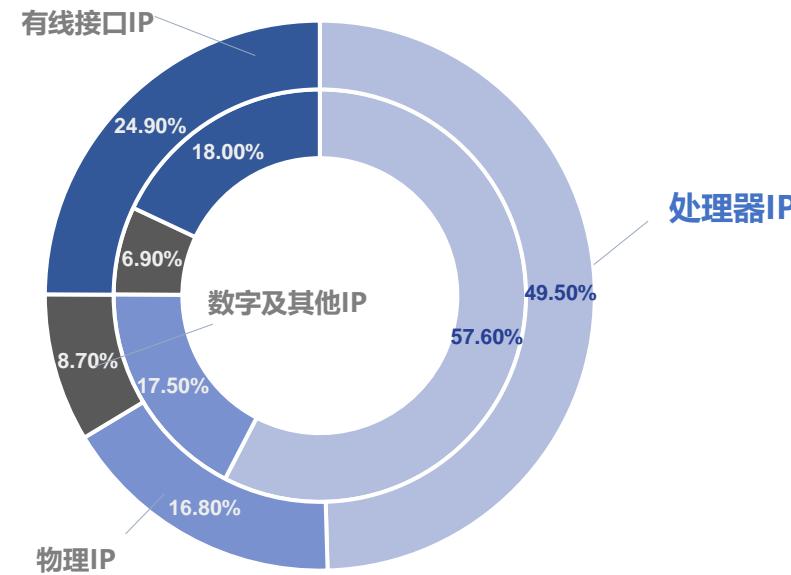
RISC-V IP 2.0模式介绍与创新分析

IP是撬动全球半导体产业链最重要的环节之一



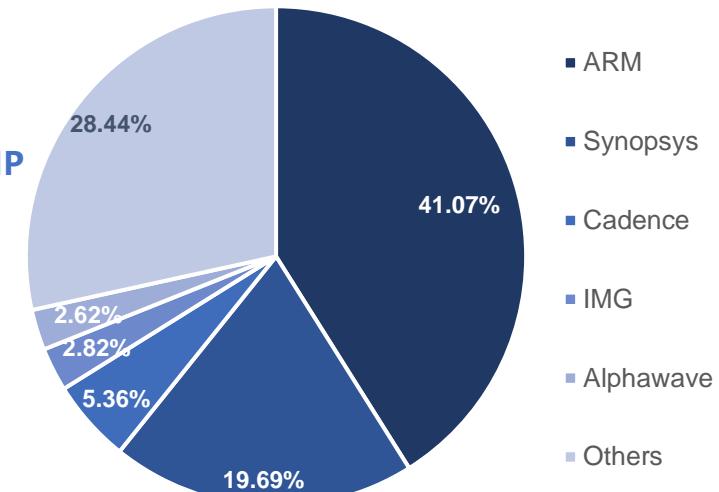
CPU IP 在半导体IP中占据最大市场份额，同时也具有极高的技术壁垒和生态壁垒

2017-2022年IP分类变化

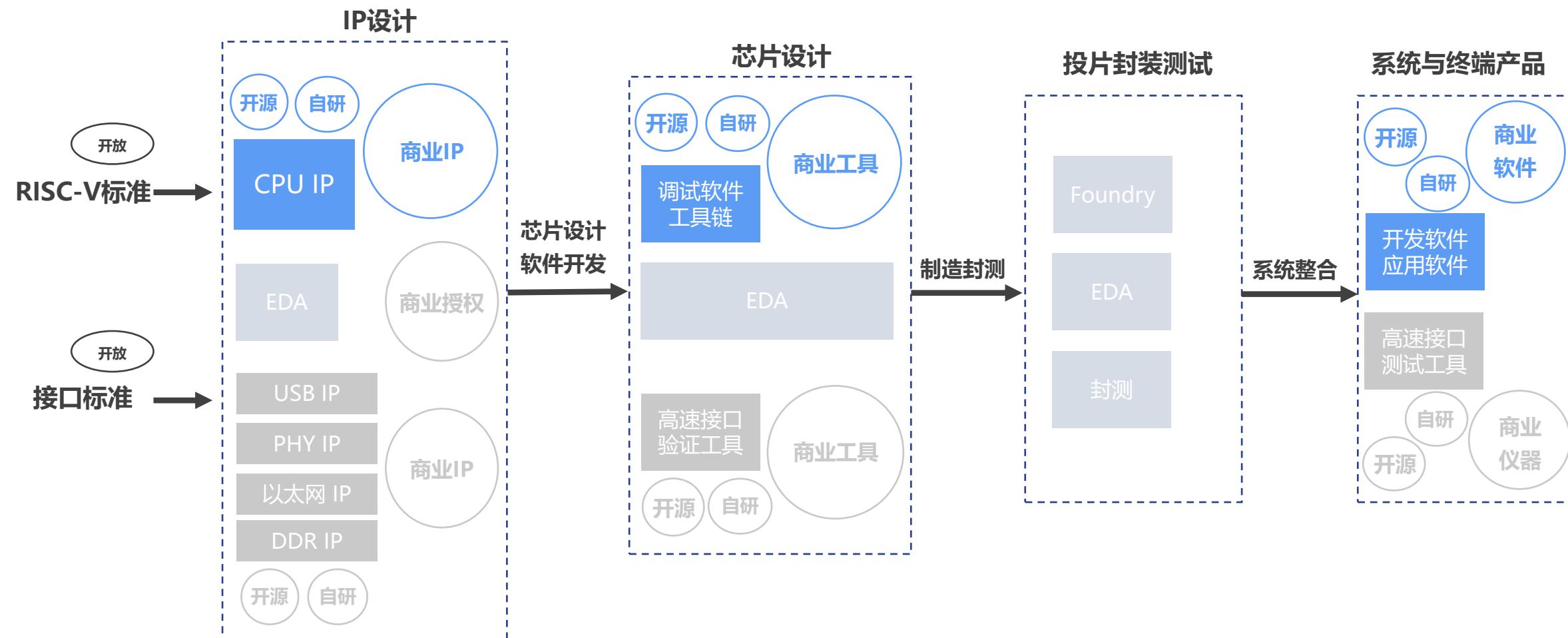


当前CPU IP市场基本由ARM垄断，其余处理器IP为专用型处理器IP

全球前五大IP供应商2022市场份额



标准、IP、EDA、设计、制造和软件构成了完整的半导体产业链



在开放标准生态下，开源、自研、商业是共存的关系

RISC-V CPU的IP化是RISC-V落地的第一步

芯来科技
NUCLEI

如同以太网标准、蓝牙标准等

CPU指令集是定义了CPU指令以及软硬件的接口标准

IEEE以太网标准

802.3-2018 - IEEE Standard for Ethernet

Publisher: IEEE

Cite This

PDF

Additional content is available

Superseded by IEEE Std 802.3-2022 (Revision of IEEE Std 802.3-2018)

Revision of IEEE Std 802.3-2015 (Revision of IEEE Std 802.3-2012)

Status: Superseded

蓝牙5.0标准

核心规范 5.0

该规范定义了创建可互操作的Bluetooth设备所需的技术。

勘误10734和勘误11838在声称符合核心规范5.0时是强制性的。

Documents

Core Specification 5.0

RISC-V CPU指令集



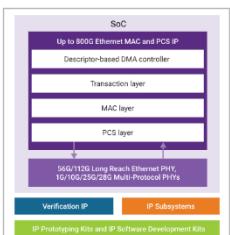
Specifications

基于各类标准

不同类型的公司研发并推出对应的IP

以太网接口IP

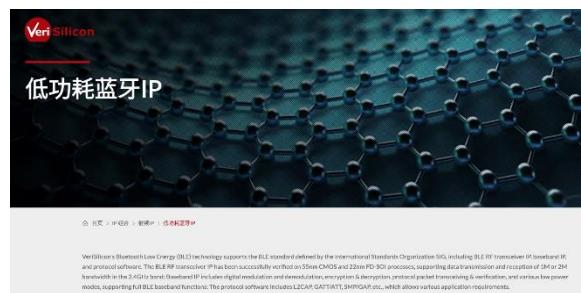
Synopsys 以太网 IP 解决方案



Synopsys 以太网 IP 解决方案包括最高可支持 400G/800G 的可配置控制器和 PHY、验证 IP、IP 原型设计套件、软件开发套件和接口 IP 子系统。兼容 IEEE 标准的解决方案确保了数字和混合信号层之间的互操作性，并且在车载、消费、高性能计算和网络的应用上实现最低功耗、最小面积以及极短延时。Synopsys MACsec 安全模块无缝集成 Synopsys，保护网络安全免受攻击。

Synopsys 以太网 IP 解决方案已经通过了与第三方的互操作性以及认证测试，使得系统级芯片 (SoC) 设计者能够加速上市时间，并降低下一代 SoC 的集成风险。

无线蓝牙IP



RISC-V CPU IP

Nuclei RISC-V CPU IP

Empower the Computing Revolution of the Future



RISC-V CPU的IP化是推动RISC-V向产业落地的第一步



01

RISC-V行业发展的关键商业化要素

02

RISC-V CPU IP的必要性与重要性

03

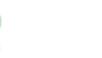
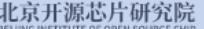
芯来科技六年发展历程与成果

04

RISC-V IP 2.0模式介绍与创新分析

芯来科技 —— 本土专业的中立IP/解决方案提供商

芯来科技
NUCLEI

	北美	中国本土	其他
芯片/互联网巨头	     	   	   
中立IP/解决方案提供商	  		 
RISC-V芯片公司	 	            	 
开源提供商	 	  	
软件工具链	 	     	   

公司介绍

- 芯来科技成立于2018年，是中国大陆本土专业的RISC-V IP、子系统IP及SoC解决方案提供商，赋能下游各类应用场景



- 从0到1自主研发全系列RISC-V CPU IP，拥有一流的特性和优势



- 总部位于上海，在华北、华东、华中及华南均能够提供本地技术支持



- 累计出货量达数亿颗，是国内本土RISC-V IP领军企业

>250家正式授权客户



芯来科技六年发展历程

芯来科技
NUCLEI

2018之前数年个人投入RISC-V



2018年6.22起步

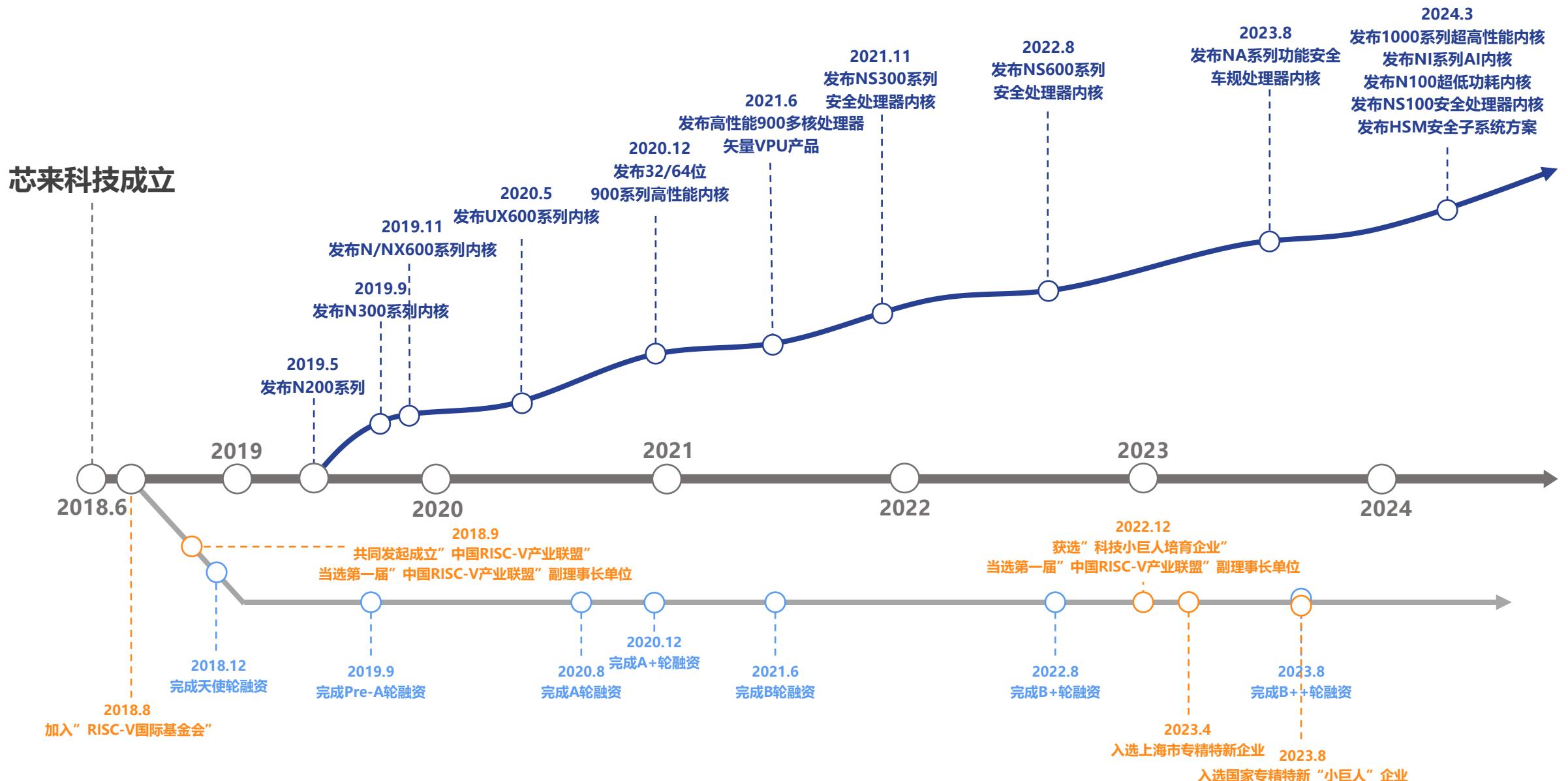


2021年6.22 三周年 适逢中国峰会



至今 (2024年) 六周年

芯来科技六年发展历程

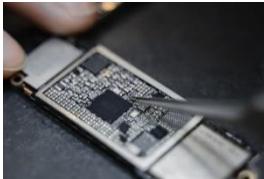


芯来科技已构建了全球最完备的RISC-V CPU IP产品货架之一

通用处理器产品线

N 级别

32位架构
MCU, AIoT, 安全



U 级别

32位架构+MMU
Linux, 边缘计算



NX 级别

64位架构
存储, AR/VR



UX 级别

64位架构+MMU
Linux, 数据中心, 网络



UX1000
(SMP)

1000 系列

Out-of-Order
3/4/6-Wide Decode

900 系列

9-Stage Pipeline
Dual-Issue

N900
(SMP)

U900
(SMP)

NX900
(SMP)

UX900
(SMP)

NA900

NI900

600 系列

6-Stage Pipeline
Single-Issue

N600

U600

NX600

UX600

NS600

300 系列

3-Stage Pipeline
Single/Dual-Issue

N300

NS300

NA300

200 系列

2-Stage Pipeline
Single-Issue

N200

NS100

100 系列

2-Stage Pipeline
Single-Issue

N100

专用处理器产品线

NS 级别

高安全性场景, 金融支付
SIM卡, 物联网安全



NA 级别

ISO26262功能安全
汽车电子

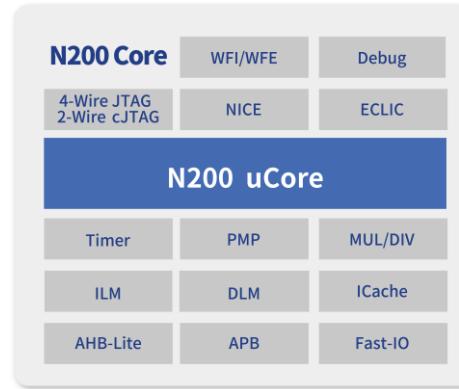


NI 级别

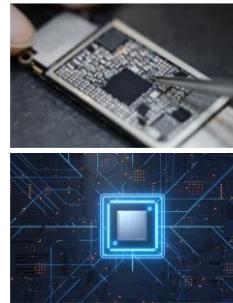
人工智能, 自动驾驶
通信计算, 视频处理



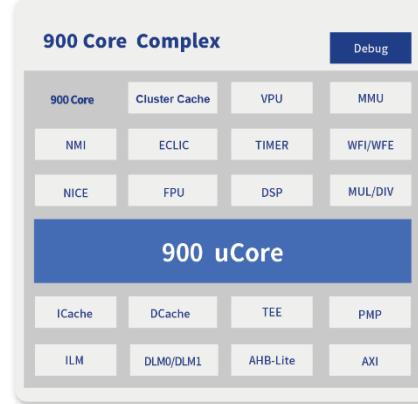
200系列



应用场景：IoT、MCU、低功耗等



900系列



应用场景：64b Linux、AI、存储、应用处理器



1000系列

UX1030

- 3译码宽度的处理器
- 较好的性能和较低的面积功耗

UX1040

- 4译码宽度的处理器
- 较高的性能和优秀的面积功耗

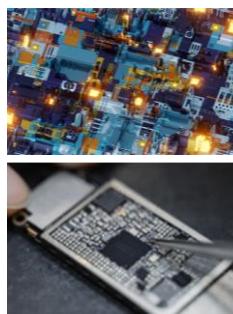
UX1060

- 6译码宽度的处理器
- 更高的性能，主要面向高性能应用领域

300系列



应用场景：IoT、MCU、工控等



NA900系列

获得 ISO26262 ASIL-D产品认证

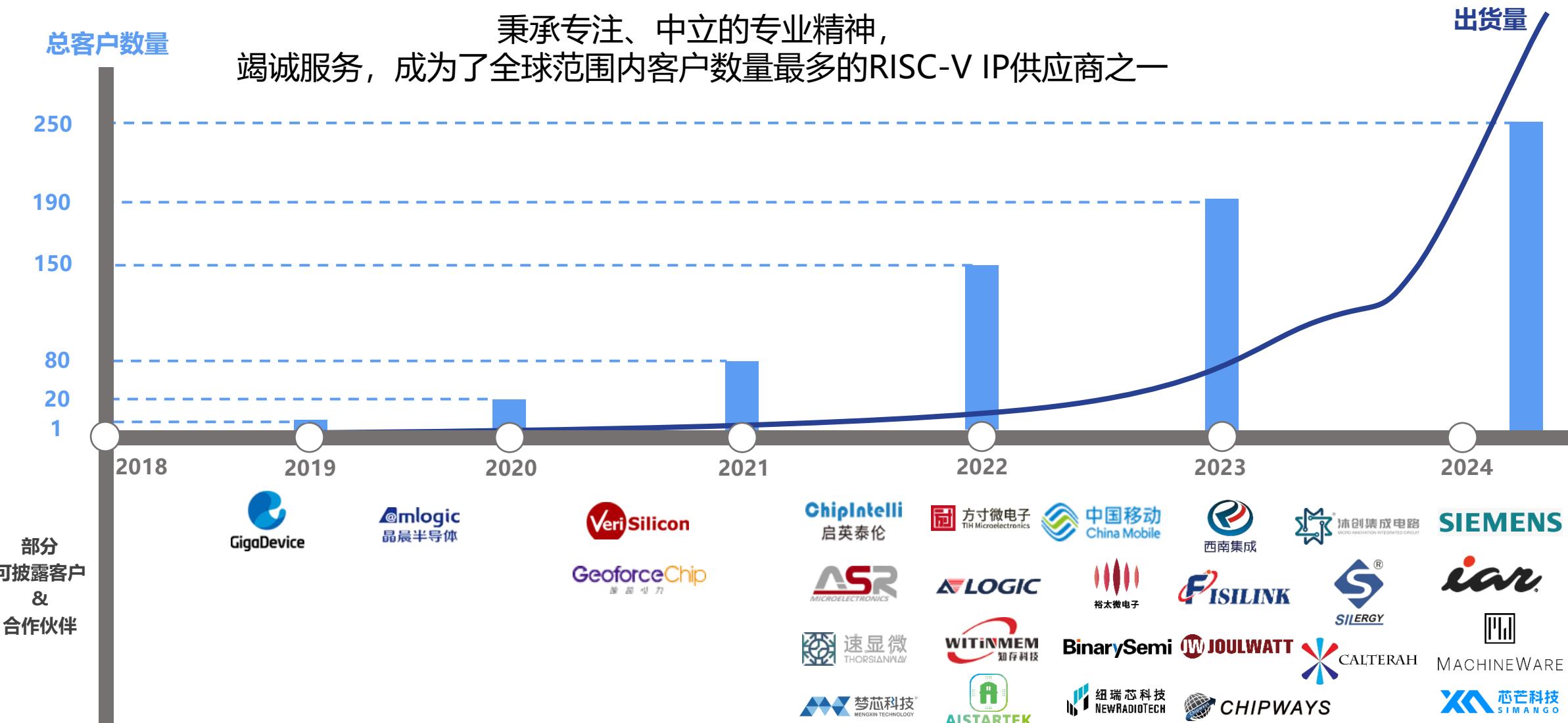


应用场景：高性能自动驾驶、通信网络、数据中心、人工智能等



芯来科技已成为本土RISC-V CPU IP的领军企业

芯来科技
NUCLEI



01

RISC-V行业发展的关键商业化要素

02

RISC-V CPU IP的必要性与重要性

03

芯来科技六年发展历程与成果

04

RISC-V IP 2.0模式介绍与创新分析

芯来科技首次推出“随芯包”模式

芯来科技首次推出RISC-V IP随芯包模式

将传统按项目制授权转变为订阅模式

助力本土设计公司更高效地完成
CPU IP的授权过程
大幅缩减CPU IP的授权成本

一次订阅，订阅期内无限使用

按需订阅，随时升级

实时享有最新IP特性

芯来科技
NUCLEI
随芯包模式

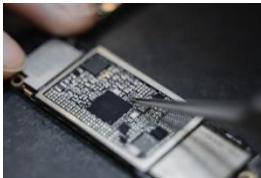


芯来科技随芯包模式，可满足本土大部分的CPU IP需求

通用处理器产品线

N 级别

32位架构
MCU, AIoT, 安全



U 级别

32位架构+MMU
Linux, 边缘计算



NX 级别

64位架构
存储, AR/VR



UX 级别

64位架构+MMU
Linux, 数据中心, 网络



UX1000
(SMP)

1000 系列

Out-of-Order

3/4/6-Wide Decode

900 系列

9-Stage Pipeline
Dual-Issue

N900
(SMP)

U900
(SMP)

NX900
(SMP)

UX900
(SMP)

NA900

NI900

600 系列

6-Stage Pipeline
Single-Issue

N600

U600

NX600

UX600

NS600

300 系列

3-Stage Pipeline
Single/Dual-Issue

N300

NS300

NA300

200 系列

2-Stage Pipeline
Single-Issue

N200

低功耗订阅

N100

嵌入式订阅

同样支持自由组合订阅

全产品订阅

100 系列

2-Stage Pipeline
Single-Issue

NS100

以芯来自研IP为基石

RISC-V CPU IP

N200 N300 N/U/NX/UX600 N/U/NX/UX900 UX1000

总线与接口IP

Bus Matrix SRAM SDRAMCtrl
Ethernet Mac USB2.0 HS/FS

深嵌入式AI IP

uNPU

加解密 IP

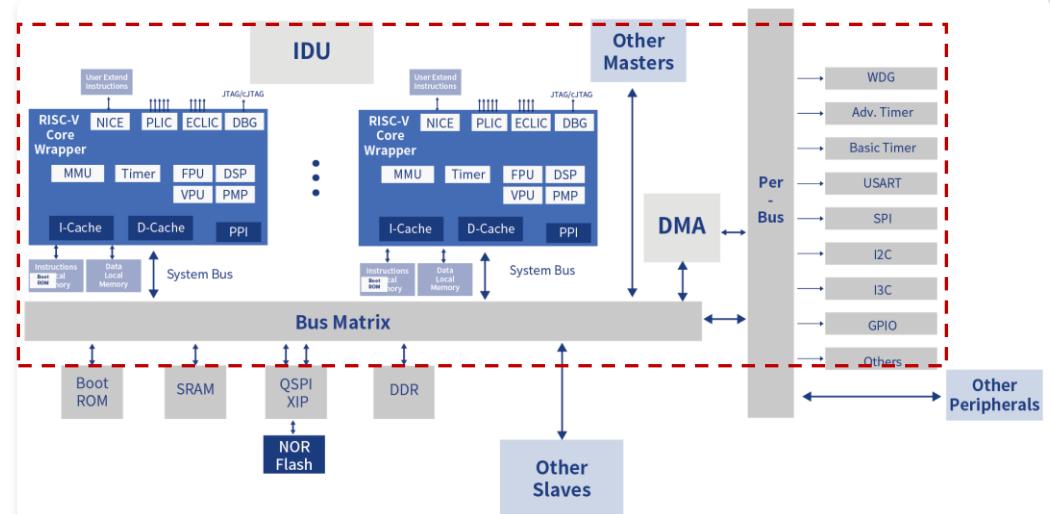
TRNG ECC
HASH/CRYPTO SM2/3/4

数字SOC IP

SDIO	DMA	DCMI	Display-Ctrl
DMA2D	FFT	CRC	GPIO
WWDG/IWDG	RTC	I2C/I3C	Timer/PWM
USART	I2S	SPI	QSPI

为客户量身定制的SoC子系统

多核AMP案例，支持双模模式（实时处理模式和应用处理模式），并且包括核间中断处理单元IDU，总线Bus等

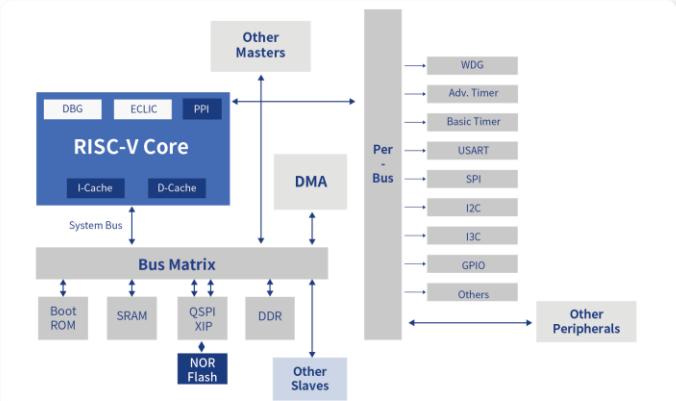


- 子系统交付内容:** Databook, RTL, TB, Case, Regression, Sdc constraint & synthesis reference script, FPGA快速原型, Driver, SDK, Ctest, Application Demo
- 基本上囊括了SoC前端80%的共性工作，客户只需要做20%的自有部分，譬如第三方或自有IP集成, IO, PLL, 工艺集成 (SRAM, IO, PLL, PMU, 模拟) 等

累计超过80+子系统客户

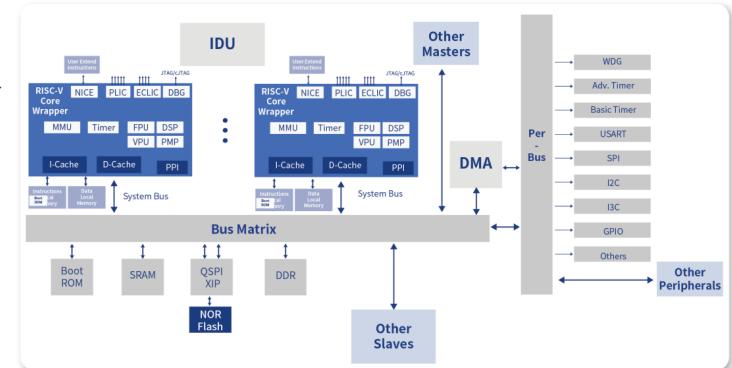
客户案例一

单核案例，客户基于此子系统所配套的硬件集成和软件SDK于2周内成功Bring Up



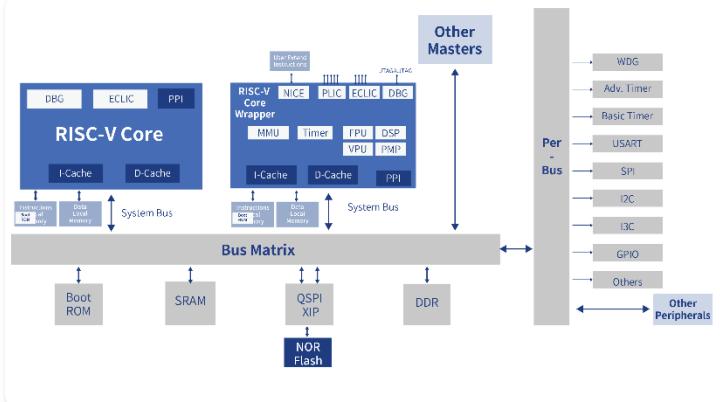
客户案例二

多核AMP案例，支持双模模式（实时处理模式和应用处理模式），并且包括核间中断处理单元IDU，总线Bus等

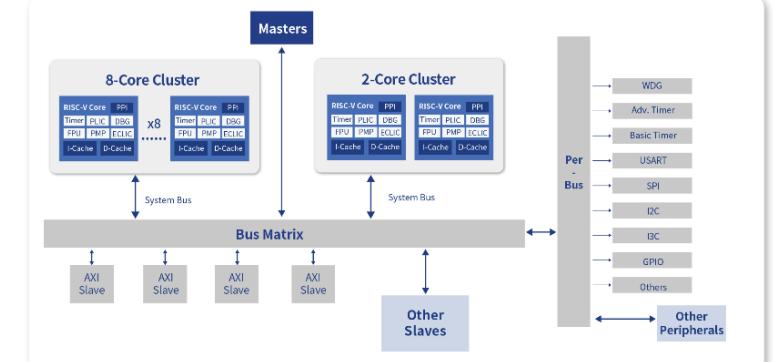


客户案例三

复杂AMP多核，
微控制器+矢量CPU
子系统案例



多核SMP案例，8核
SMP+双核SMP大型子系统案例

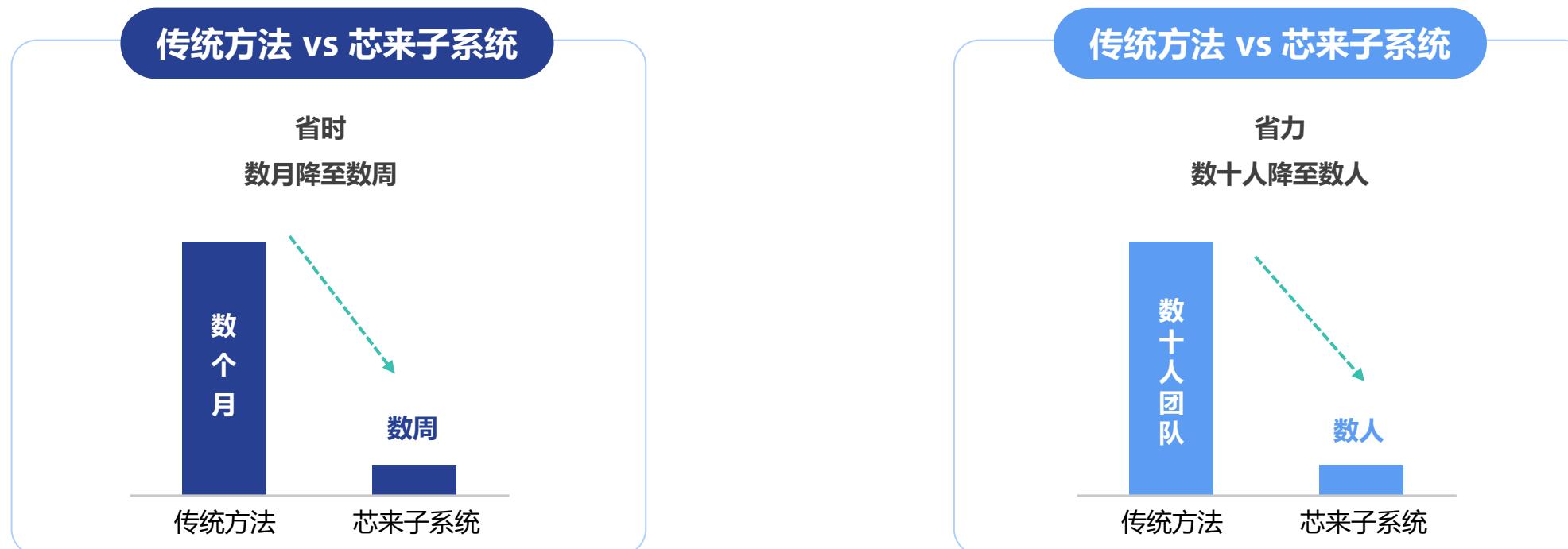


芯来科技首创CPU子系统IP模式，为客户省钱省时省力

芯来科技
NUCLEI

采用“子系统”模式，客户仅需要相比传统模式几分之一的预算（省钱）、投入少量的人员（省力）、极少的等待时间（省时），便可完成一颗SoC芯片的前端工作。

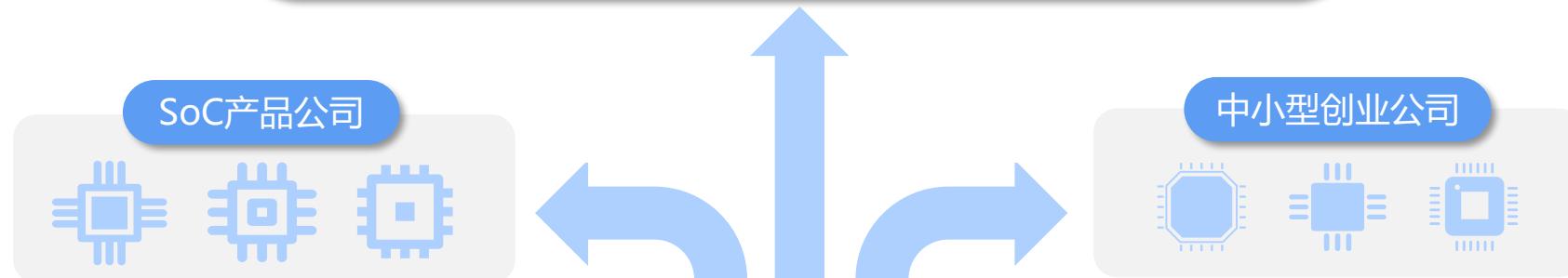
- **省钱：**全套SoC子系统IP极大**降低了**客户的SoC**一次性投入成本**
- **省时：**量身定制的SoC子系统极**大缩短了**客户的SoC**开发时间**
- **省力：**配套的SoC软件驱动与SDK帮助客户**快速Bring Up产品原型**



CPU子系统IP模式，可服务各类型的芯片项目方



新时代背景下海量与多元化的芯片项目方：
“系统公司” & “设计服务公司”

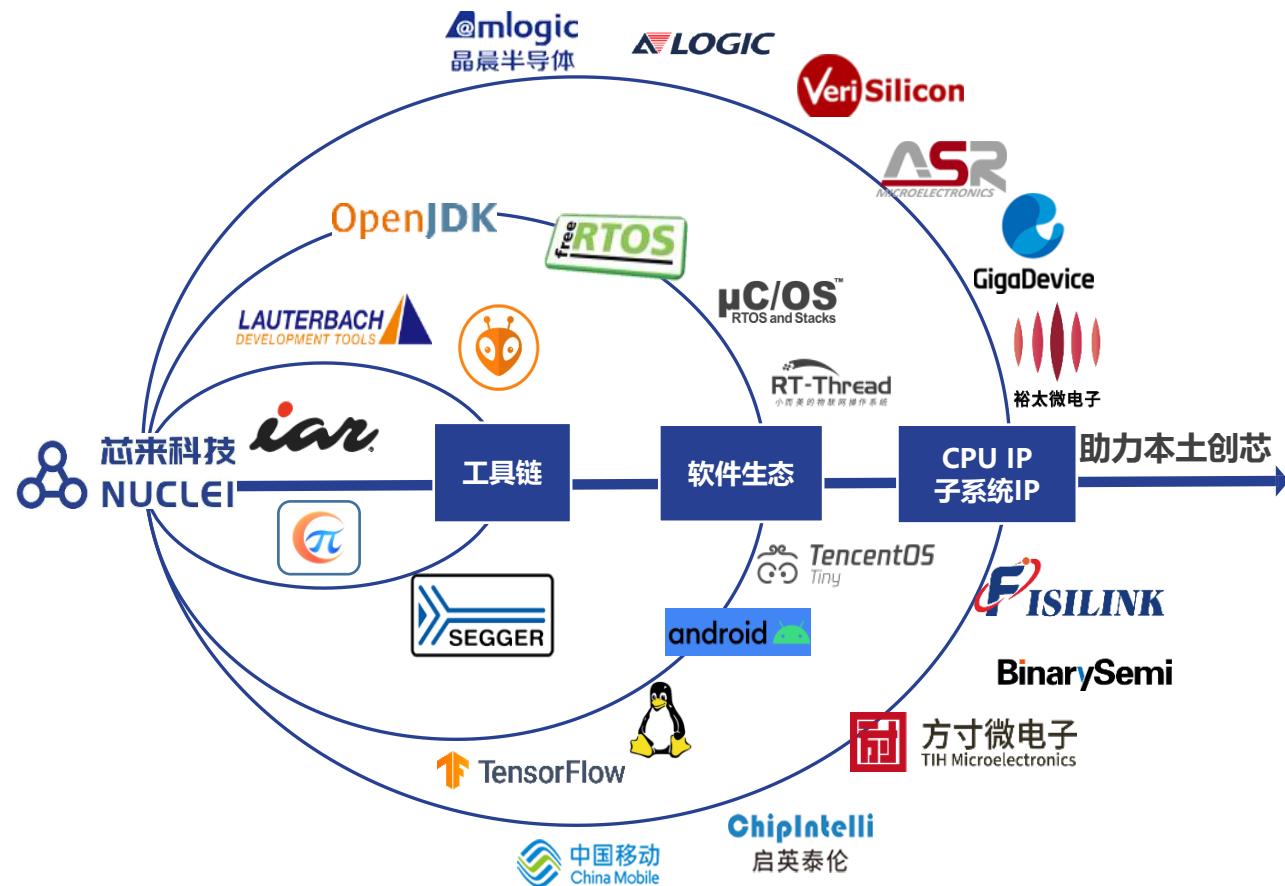


芯来科技

基于RISC-V的完整CPU矩阵
海量丰富的数字IP库
敏捷的子系统IP模式

芯来科技RISC-V IP 2.0模式，用创新赋能本土集成电路产业升级

芯来科技
NUCLEI



- 助力本土设计公司更高效的完成CPU IP的授权过程
- 大幅缩减CPU IP的授权成本
- 大幅降低SoC前端精力和成本
- 加速本土芯片设计企业产品上市时间
- 赋能本土集成电路产业升级

01

RISC-V商业化要素具有非常显著的必要性与重要性

02

RISC-V是大势所趋，但是需要一个长期的投入过程

03

商业化实体只有实现商业化的闭环才能长期存续

04

只有不断持续的创新，为客户带来真切的价值，商业化方能实现闭环



芯来科技公众号



芯来科技业务联络



谢谢观看！