







Agent Faker: TL-C一致性Cache的软件测试框架

张传奇 中科院计算所 2021年6月25日

⇔ Cache单元测试

- 现有的高性能处理器开发中,Cache是一个必须的且较为独立的单元模块,非常适合做单元测试
 - 目前给Cache进行测试验证的框架大多是商用的
 - 之前的框架大多基于UVM,适配的是verilog/system verilog的RTL设计

- 总线测试的缺失
 - TileLink作为一个较新的总线协议,目前还没有比较完整的行为监控

⇔ 开源社区已有的基础条件

- TileLink:
 - 其中的TL-C协议支持Cache一致性,支持兼容MOESI类的一致性协议
 - 对任何遵守该协议的SoC系统来说, TileLink确保其无死锁

- ChiselTest: ucb-bar/chisel-testers2
 - 是给Chisel开发的RTL设计进行测试的工具
 - 轻量级,易于读写,易于编写
 - 使用scala,可以更方便地编写硬件测试程序
 - 基础操作支持: poke, peek, expect, step等等

⇔ Cache单元测试

- Cache测试的关键点:
 - 数据一致性
 - 满足总线行为规范
- 在我们开发的香山处理器中:
 - L2是一个基于TL-C的可配置Private Cache
 - 采用的一致性协议是基于目录的MESI, inclusive
 - 读/写分配, uncache读穿透

⇔可能方案

- 符合一致性定义的方案:
 - ・测试结束后,从乱序的Transaction中建立出一个串行序表,检查这个序中的数据是否能满足一致性

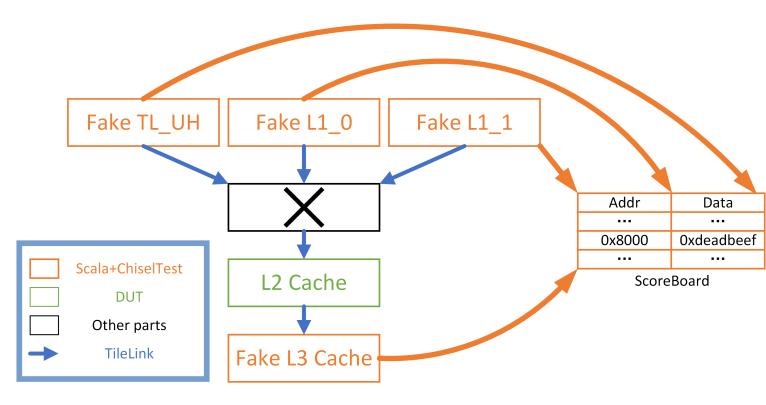
• 计分板方案:

• 计分板记录每个地址的最新数据和状态,每次写入操作确认时更新,每次读取操作确认时校验

⇔ 测试框架设计

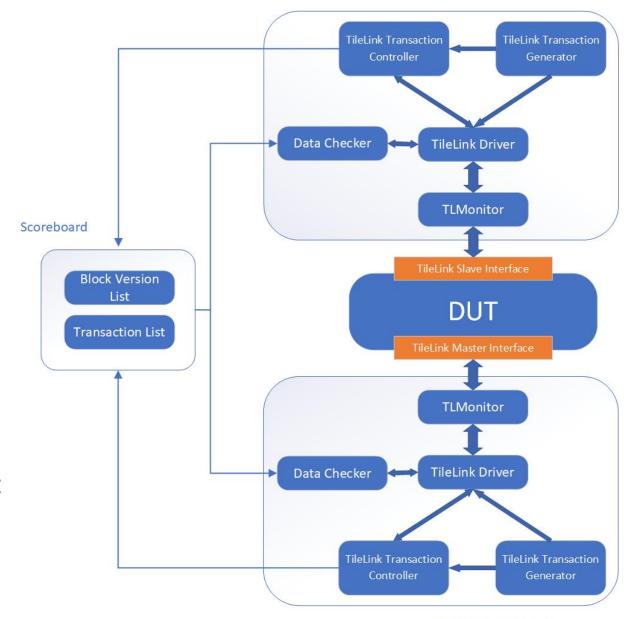
• 所有标注Fake的模块,都是通过ChiselTest库来进行电路(DUT+已充分验证的辅助模块)输入输出的操纵,同时通过Scala编写的软件模拟TileLink Agent的行为

• 随机生成一个地址池,从中选取地址进行激励,这样可以提升操作间冲突的可能性



⇒ 具体测试框架

- 右图是测试框架更具体的图示
- Generator负责生成 **Transaction**
- Controller负责监控和操作 Transaction行为,并和计分 板同步
- Driver与电路接口进行交互
- Data Checker进行数据校验
- TLMonitor是rocket-chip下提 供的TileLink部分行为检查



TileLink Slave Agent

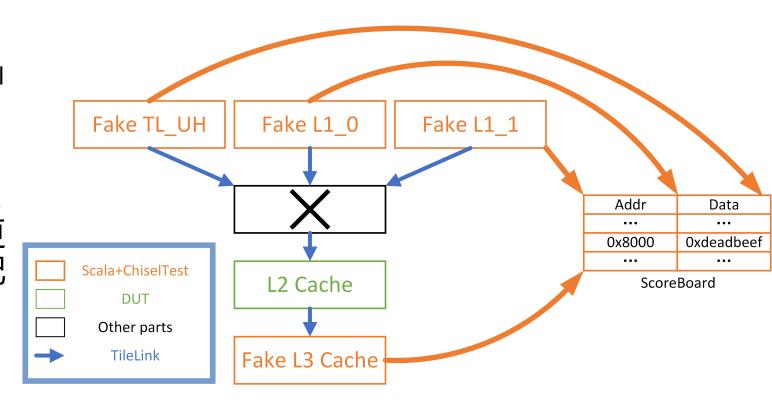
TileLink Master Agent

❤ 框架推广

- L1D Cache的下端仍然为TL-C总线,上游为核内一套简单的握手协议
 - 包含有2个Load口,1个Store口,1个Lsq等待口,1个原子操作口
 - 本质上,他们都同样可以抽象成为计分板上的读写操作,同样可以纳入监控体系
- TLB测试框架:
 - 抽象出正确性测试的关注点:数据正确性和行为正确性
 - 数据正确性指 VPN→PPN 的映射是否正确
 - 行为正确性指TLB能否正确汇报各种异常和违例

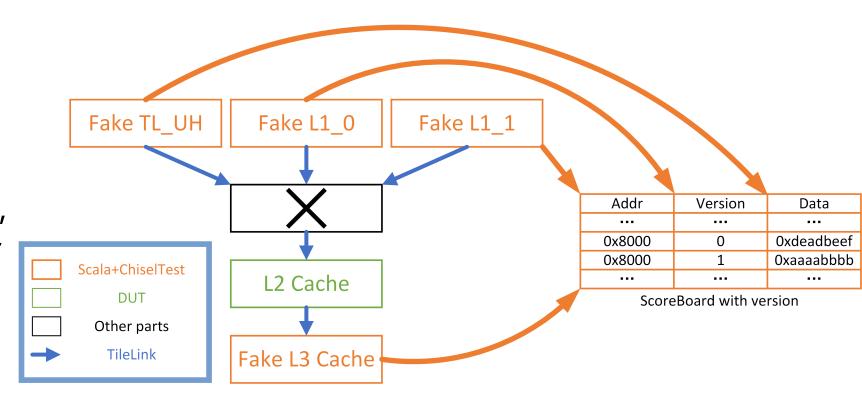
拳 易于修改:香山L2的特殊要求

- L2的特殊要求:
 - 如果L2处理Get遇到miss,则会将此请求转发给L3,并不会refill取到的值
- 这就导致L1可能收到L3之前版本的数据,而计分板是时刻更新的,这样会出现数据不匹配的问题



→ 易于修改:香山L2的特殊要求

- 最后引入了版本号来解 决此问题
- · 借用了在UL信息中D通 道不会使用的param域, 这个域可在TileLink网络 中传播
- 如果为0则表示L2hit , 其他则表示版本号 , 如 此进行区分



₩新时代的UVM

• Chisel的开发效率很高,但是要真正将电路落地,还是需要可靠的验证

- •目前并没有基于Chisel的验证库存在,开发验证库也会成为推广Chisel的一个重要动力
- 如果能脱离传统的基于SV的UVM,转而使用Scala这类的高级语言, 测试的开发可能会变得更加有效率











北京微核芯科技有限公司 提供产业经验、联合完成结构设计及物理设计

招募香山处理器二期联合开发合作伙伴





欢迎更多伙伴加入!

联系人:李迪13811881360







敬请批评指正!