



# 香山处理器MMU的设计与实现

---

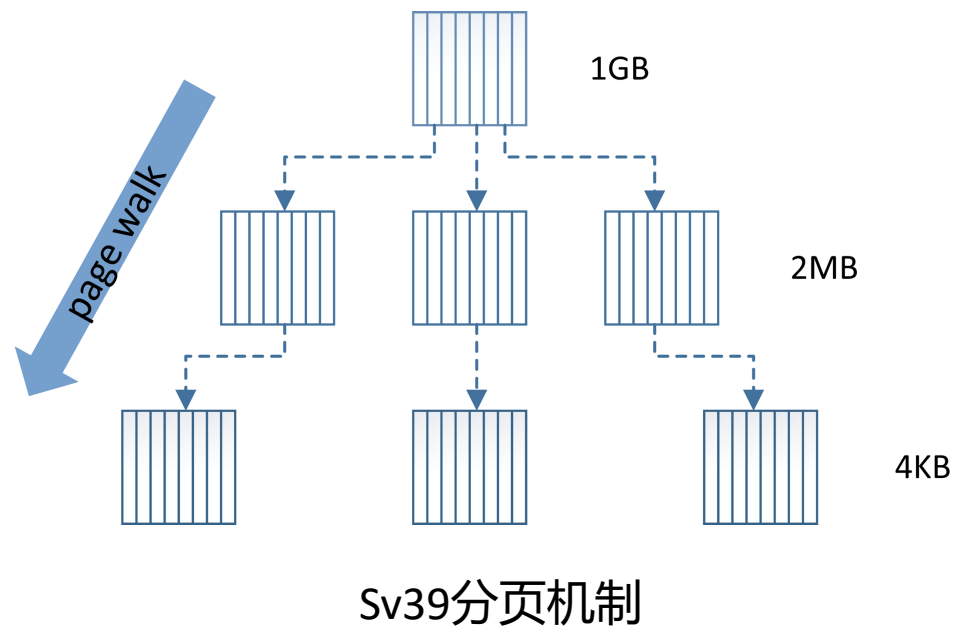
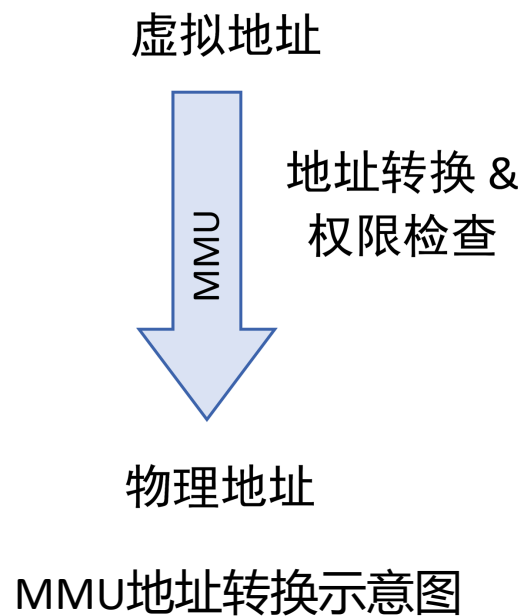
张紫飞 张林隽

中科院计算所

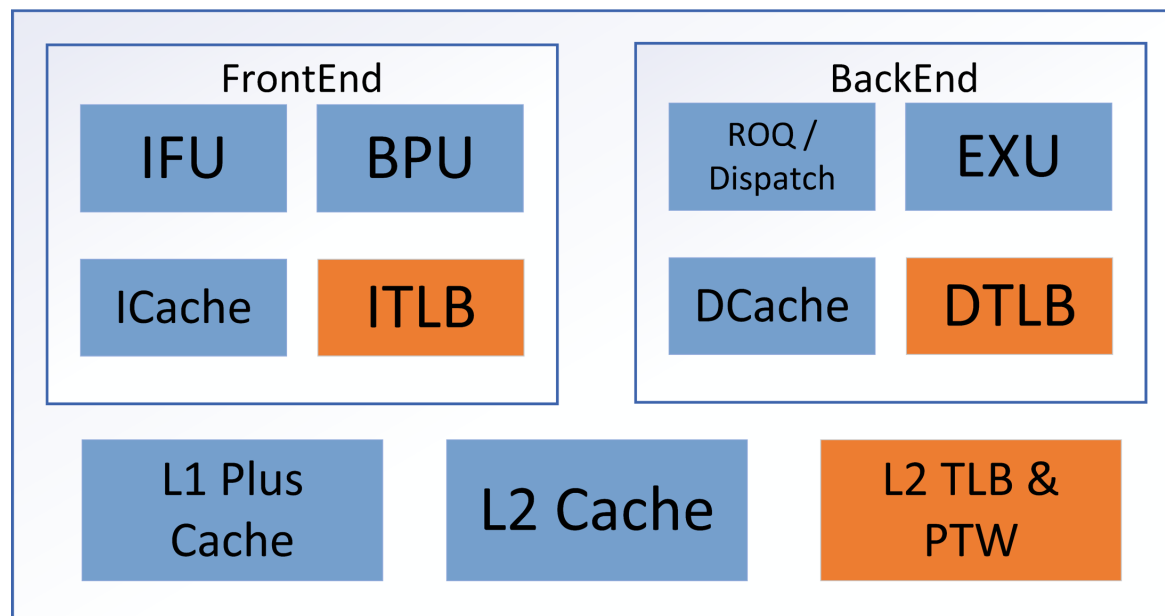
2021年6月25日

# Memory Management Unit

- MMU将虚拟地址转换为物理地址
- Sv39分页机制



- 紧耦合：ITLB + DTLB
- 松耦合：L2TLB + PTW

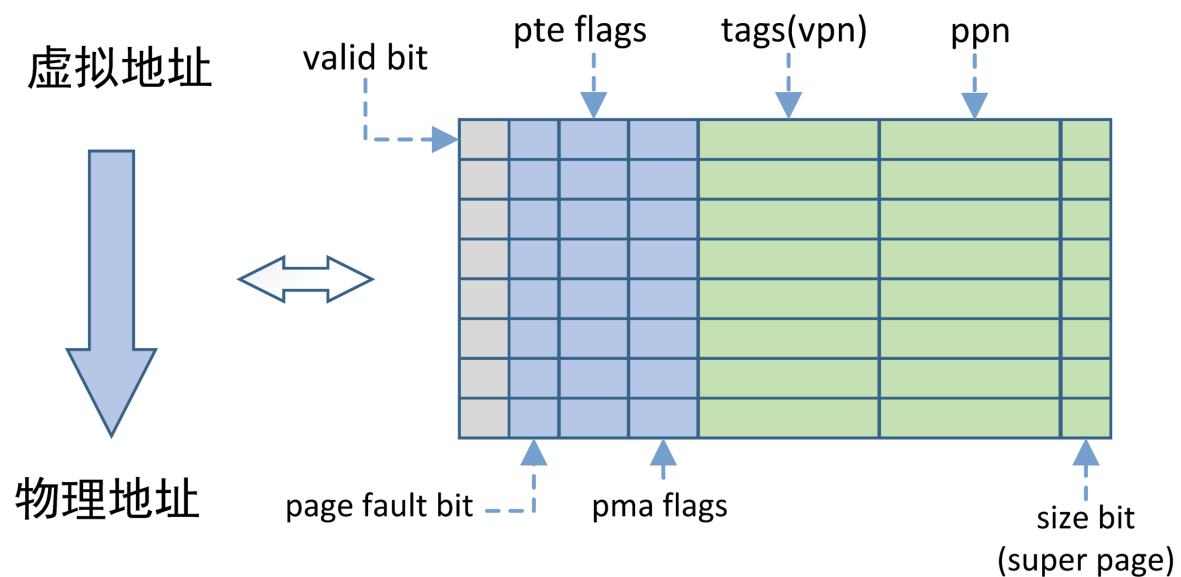


MMU组成示意图



# TLB

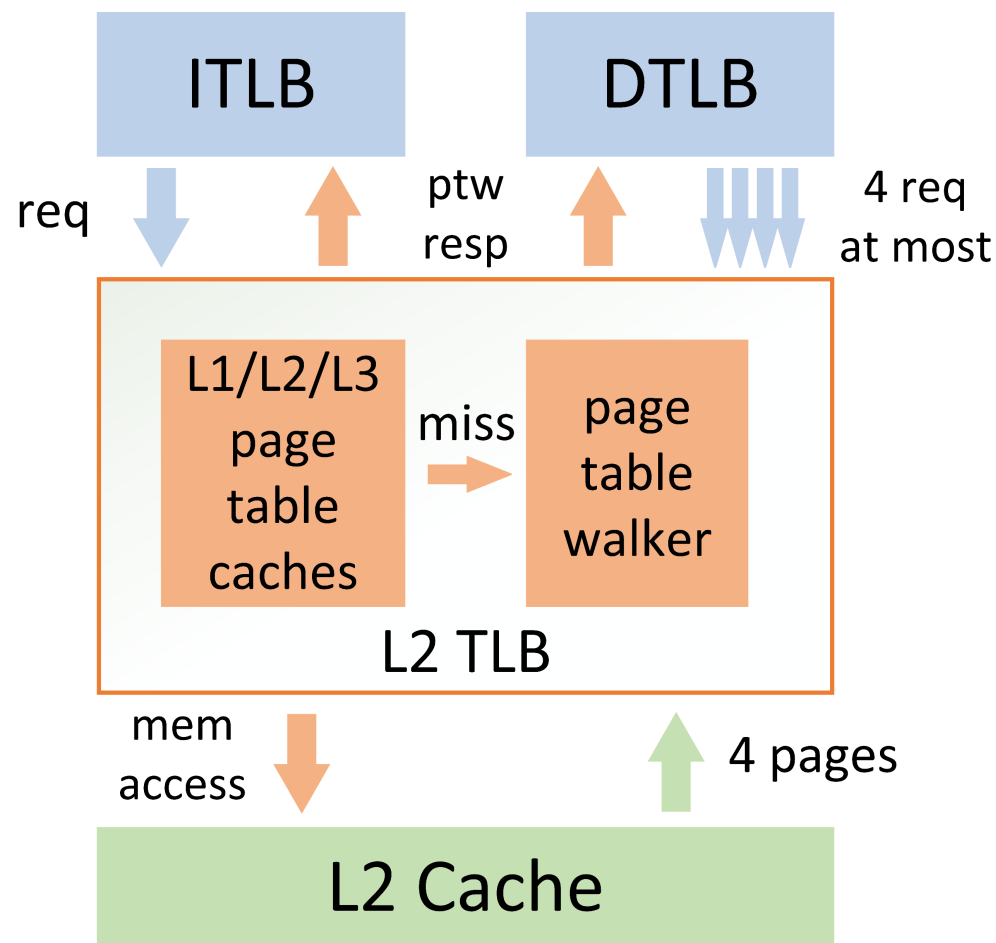
- 全相联
- 32项 4KB Page
- 4项 2MB & 1GB Page
- PLRU ( ITLB ) & 随机替换 ( DTLB )
- 支持PMA



TLB结构图

## L2 TLB + Page Table Walker

- ITLB和DTLB共享
- 更大的页表缓存
- 查询内存中页表
- 目录项缓存加速

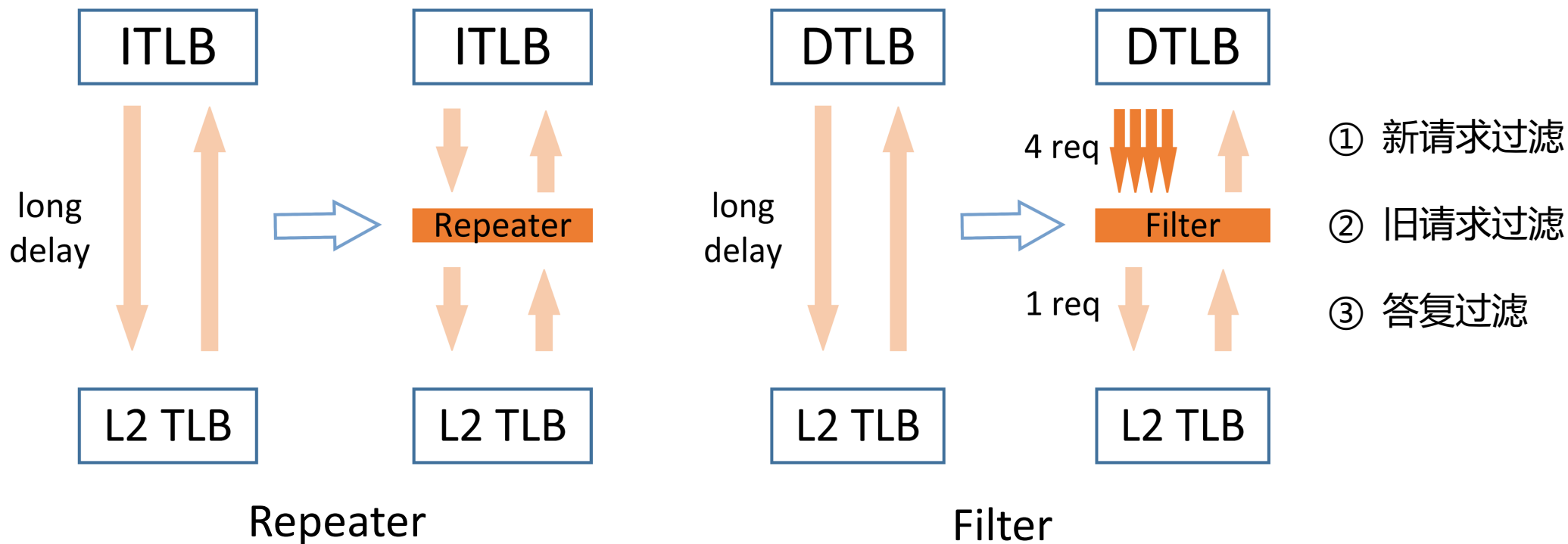


MMU结构框图



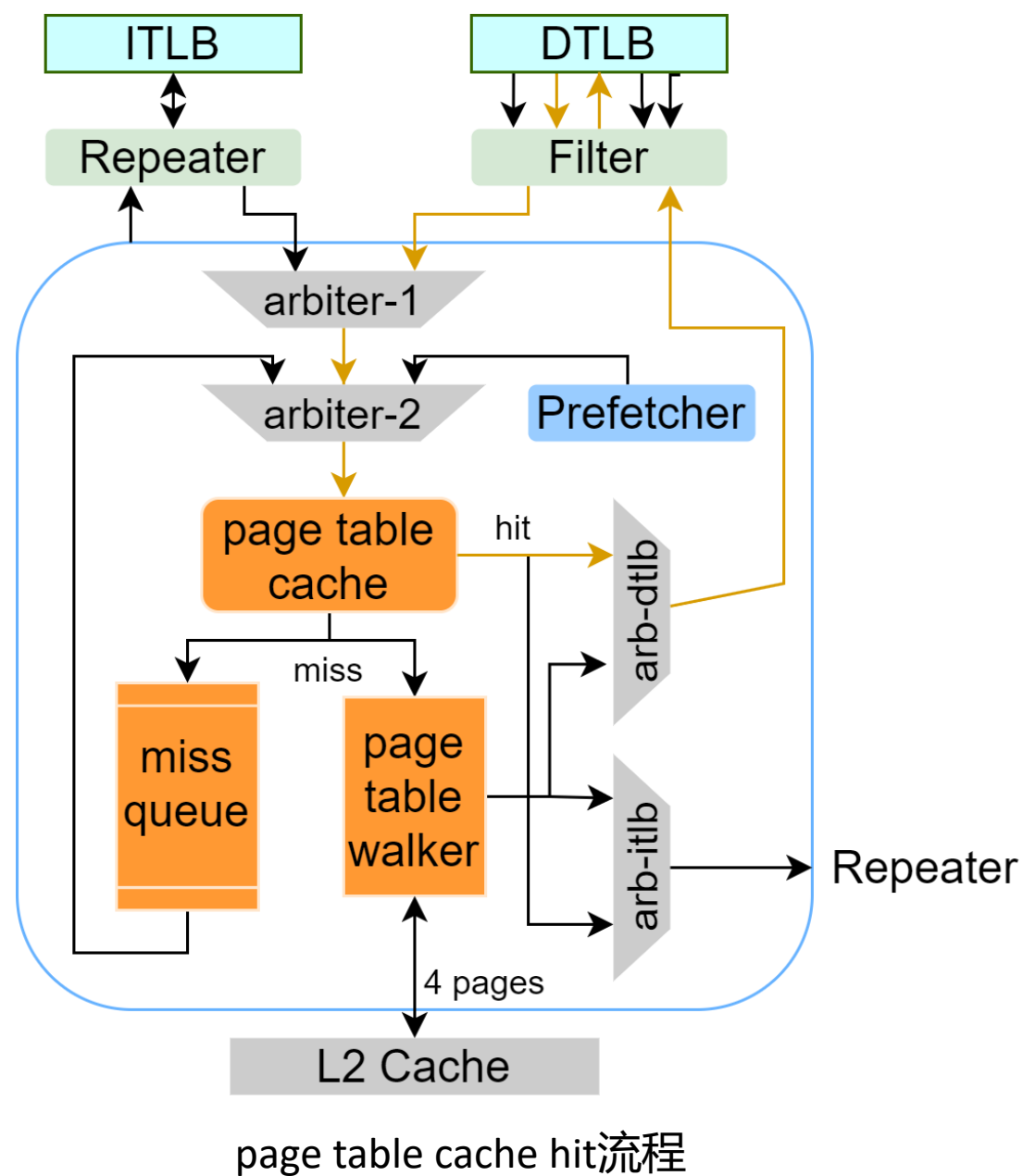
# Repeater & Filter

- Repeater : 缓冲
- Filter : 缓冲 , **重复请求过滤** , 多进单出队列



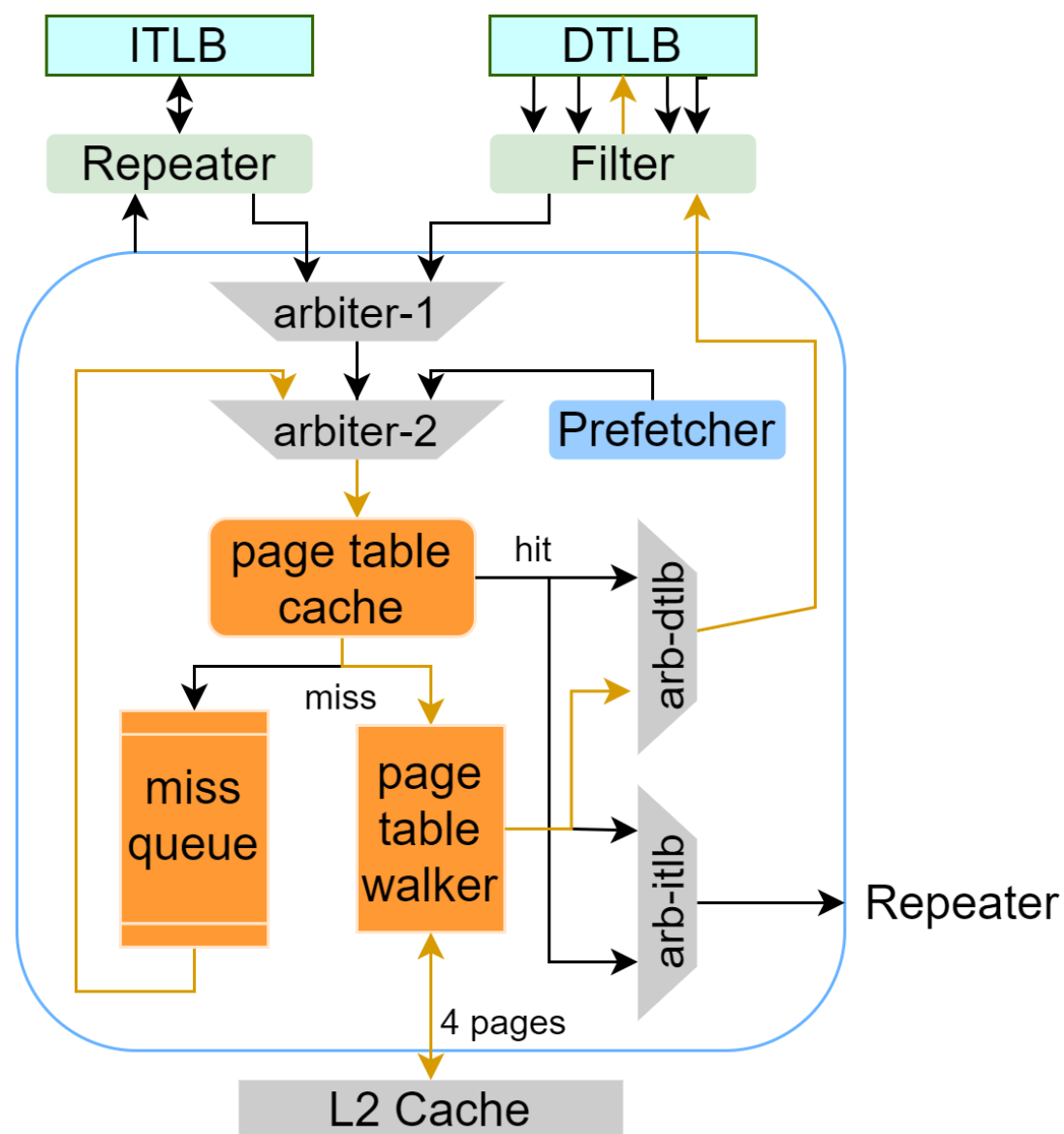
## L2 TLB + PTW

- page table cache :
  - **三级**页表缓存
  - 虚地址**并行访问**
  - **4项页表**一个缓存块
  - PLRU
- miss queue :
  - 增加inflight请求数量
  - **不监听访存**
  - **出队查询cache**避免重复
- page table walker :
  - 逐层查询页表
  - **L2 Cache**维护与DCache的同步



## L2 TLB + PTW

- page table cache :
  - **三级**页表缓存
  - 虚地址**并行访问**
  - **4项页表**一个缓存块
  - PLRU
- miss queue :
  - 增加inflight请求数量
  - **不监听访存**
  - **出队查询cache**避免重复
- page table walker :
  - 逐层查询页表
  - **L2 Cache**维护与DCache的同步



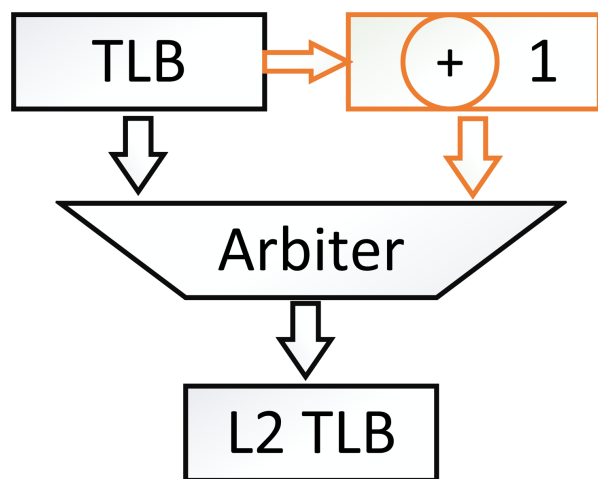
page table cache miss流程



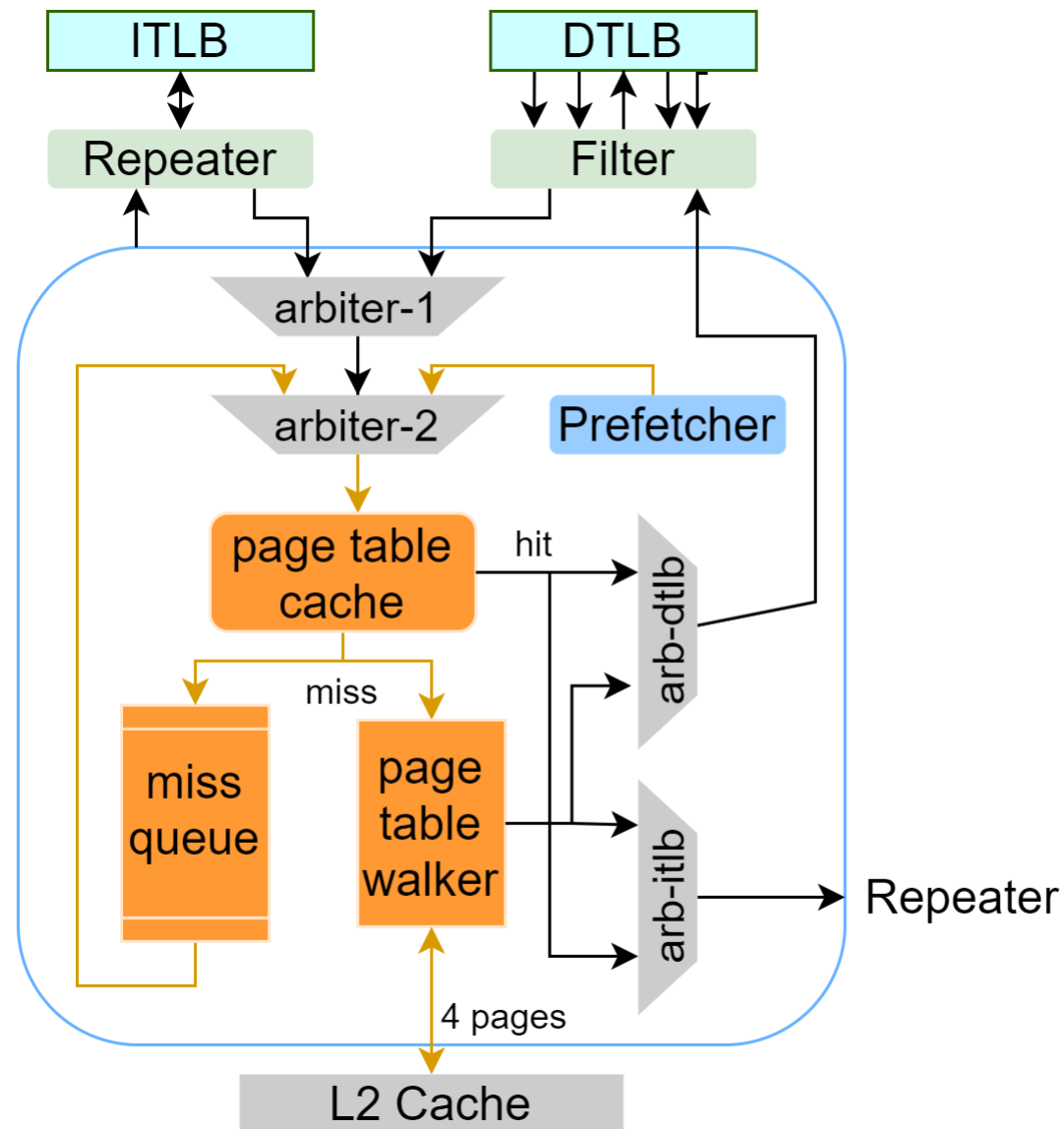


# 预取

- Next-Line预取
- TLB的请求后增加一个Next-Line请求
- 预取到L2 TLB中



Next-Line结构



prefetch 处理流程

**感谢** 

北京微核芯科技有限公司  
BEIJING VCORE TECHNOLOGY CO., LTD.

**提供产业经验、联合完成结构设计及物理设计**

**招募香山处理器二期联合开发合作伙伴**



北京微核芯科技有限公司  
BEIJING VCORE TECHNOLOGY CO., LTD.



**ESWIN**

优矽科技

**欢迎更多伙伴加入！**

**联系人：李迪 13811881360**

**敬请批评指正！**