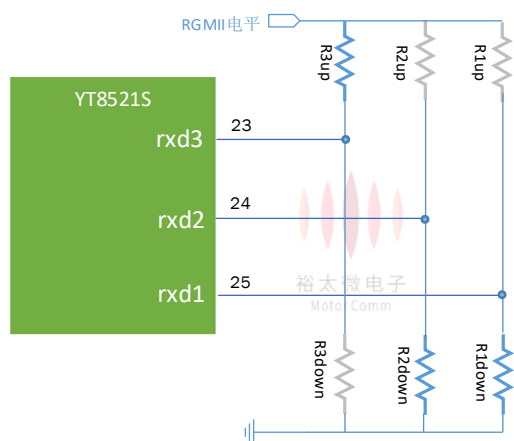


YT8521S 初始化配置说明

一. 硬件相关

YT8521S 的模式通过硬件配置



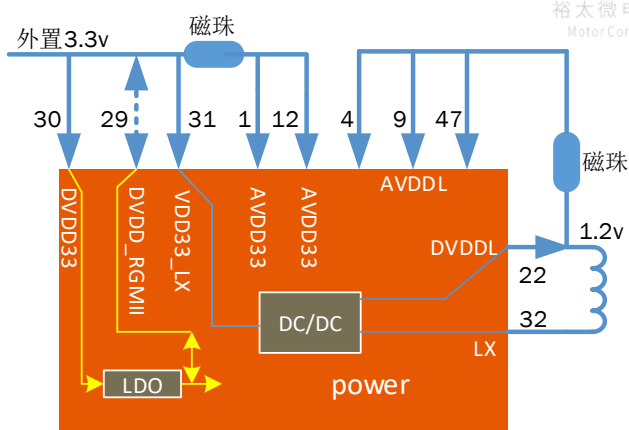
YT8521S在上电复位期间，检测rx3、rx2、rx1管脚上的电平，来确定工作在何种模式。（上电复位期间，这三个管脚作为输入；而在正常工作期间，是作为输出）

硬件设计上，通过在这三个管脚加上/下拉电阻来配置其在上电复位期间的电平。

例如：R3up, R2down, R1down是焊接在板子上的，那么

Rxd3, rxd2, rxd1在上电复位期间电平就是1 0 0, 对应的工作模式就是sgmii→rgmii (mac)

mode2	mode1	_mode0	
Rxd3	rxd2	rxd1	
0	0	0	utp ↔ rgmii
0	0	1	fiber ↔ rgmii
0	1	0	utp/fiber ↔ rgmii
0	1	1	utp ↔ sgmii
1	0	0	sgmii ↔ rgmii(mac)
1	0	1	sgmii ↔ rgmii(phy)
1	1	0	utp ↔ fiber(auto)
1	1	1	utp ↔ fiber(force)



若 RGMII电平设置为3.3v，则pin29与30管脚直接相连；如果设置RGMII电平为1.8v或2.5v，则29管脚与30管脚需要断开

RGMII电平的设置，是通过pin36、37管脚外接上下拉电阻来配置

(下表0表示需下拉电阻4.7k接地，1表示需上拉电阻4.7k接3.3v)

Pin37	pin36	RGMII 电平
0	0	3.3v
0	1	2.5v
1	0	1.8v

二. 软件初始化

RGMII--UTP 模式下，采用裕太提供的驱动或采用通用 linux 驱动，上电后 YT8521S 的默认设置可以进行正常通信。

但有以下三点需要注意

1. 有些主控平台，例如龙芯、飞腾，当 phy 与主控之间通过 RGMII 相连时，主控要求 rx clk(YT8521S 的 pin28)的时钟信号要一直提供，而 YT8521S 上电默认的 rx clk 信号是当 link down 时会被取消。典型表现是插网线启动系统时正常，而不插网线时系统不能启动。

为适配此种应用，YT8521S 在上电复位后，初始化中需要做如下配置：

extReg0x0C bit12 清0 // 该位默认为1，表示当phy link down 时 rx clk 不输出

extReg0x27 bit15 清0 // 该位默认为1，表示检测到不插网线一段时间后，phy 进入 sleep 模式

如果 phy 工作在带有sgmii 或 fiber 的模式，那么还需要设置 0xA012 的 bit2:1 为 1 0；(默认是 0 0)

extReg0x0C

Bit	Symbol	Access	Default	Description
15	En_gate_tx_clk_gmii	RW	0x1	To enable gate phy tx_clk_gmii when phy is link down
14:13	Reserved	RO	0x0	Reserved
12	En_gate_rx_clk_gmii	RW	0x1	To enable gate phy rx_clk_gmii when phy is link down
11:0	Reserved	RO	0x0	Reserved

extReg0x27

Bit	Symbol	Access	default	Description
15	En_sleep_sw	RW	0x1	1 = enable sleep mode: PHY will enter sleep mode and close AFE after unplug cable for a timer;
14	Pllon_in_slp	RO	0x0	1 = keep PLL on in sleep mode; 0 = close PLL in sleep mode.
13	Slp_pulse_sw	RW	0x1	when PHY enter sleep, 1 = enable PHY to send out one pulse periodic; 0 = disable PHY to send pulse.
12	En_upd_afe_sbs	RW	0x0	When AFE control is changed, no matter it's triggered by sleep control logic or normal work mode change, 1 = Update AFE step by step;
11:6	Reserved	RO	0x0	Reserved
5	Sleeping	RO	0x0	status register. 1 = PHY is slept; 0 = PHY is waked
4	Reserved	RO	0x0	Reserved
3:0	Slp_state	RO	0x0	FSM state of internal sleep control logic.

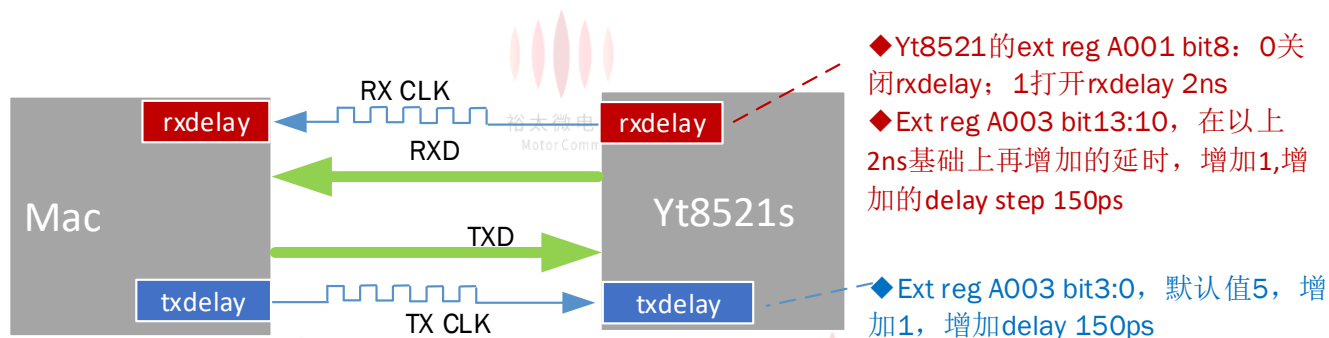
2. 有些主控平台，例如全志、瑞芯微要求上电后，phy 需要额外提供一个 125M 的 clk 信号。

此种应用中，硬件上需要利用到 YT8521S 的 clk out 管脚(pin44)，该管脚可以配置使其输出 125M clk，但需要如下配置：

extReg0x27 bit15 清0 // 该位默认为1，表示检测到不插网线一段时间后，phy 进入 sleep 模式

extReg0xA012 bit5 置1 // 该位默认为0，disable clk out; 改为1，则使其输出

3. phy 如果工作在含有 RGMII 接口的模式，按照业内惯例，tx clk delay 由 MAC 来完成；rx clk delay 由 phy 来完成。所以 YT8521S 默认地是 rx clk delay 2ns； tx clk delay 是默认 750ps



但不排除有些 mac 会 tx delay 不做配置，或 rx delay 也做配置等情况。就需要针对 mac 的配置情况，来相应地在 YT8521S 上电初始化时做适配。