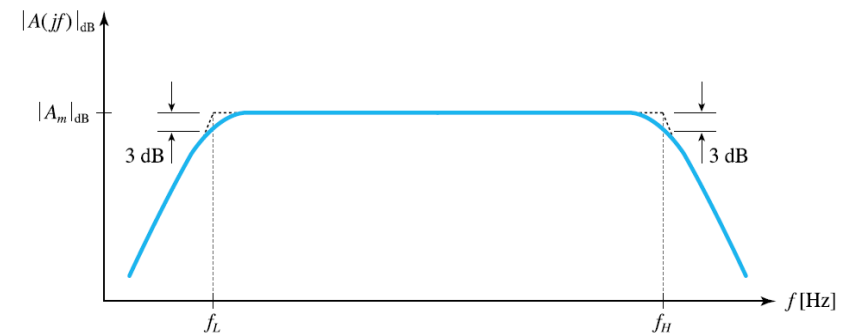
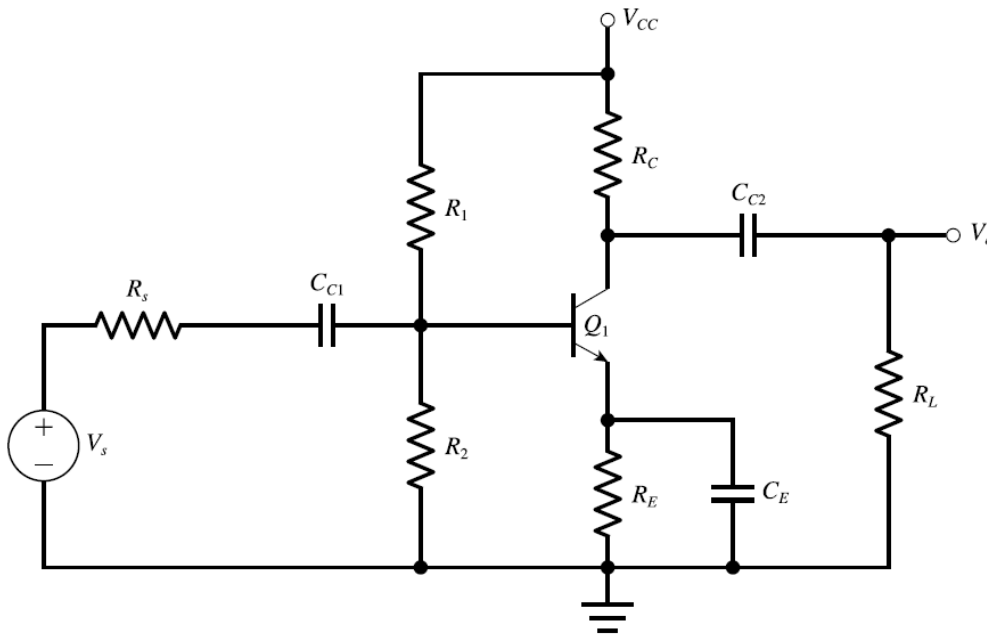
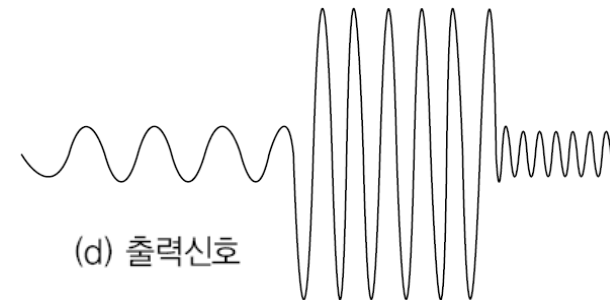

증폭기의 주파수 응답특성 트랜지스터의 정격 및 방열대책

8.1 기본개념

실제 증폭기의 이득은 회로를 구성하는 결합 커패시터와 부하 커패시터 그리고 트랜지스터 내부의 기생 정전용량 성분들에 의해 영향을 받으며, 신호의 주파수에 따라 출력이 달라지는 주파수 응답특성을 갖는다.



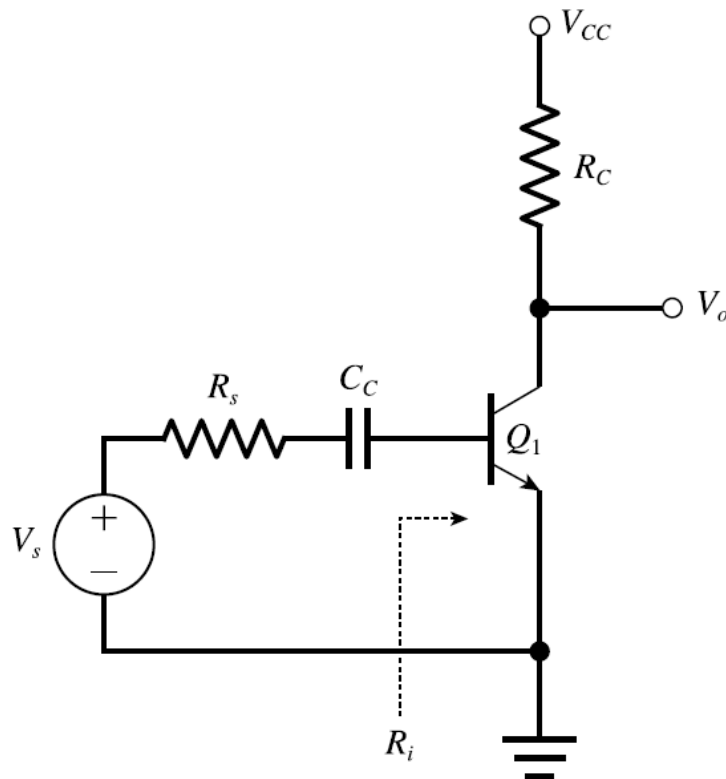
(c) 입력신호



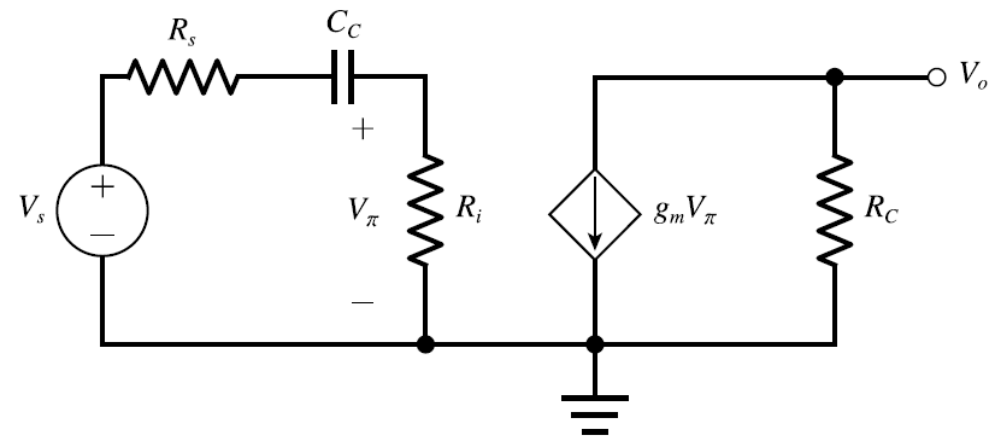
(d) 출력신호

8.1 기본개념

결합 커패시터의 영향



(a) 결합 커패시터 C_C 를 갖는 공통 이미터 증폭기



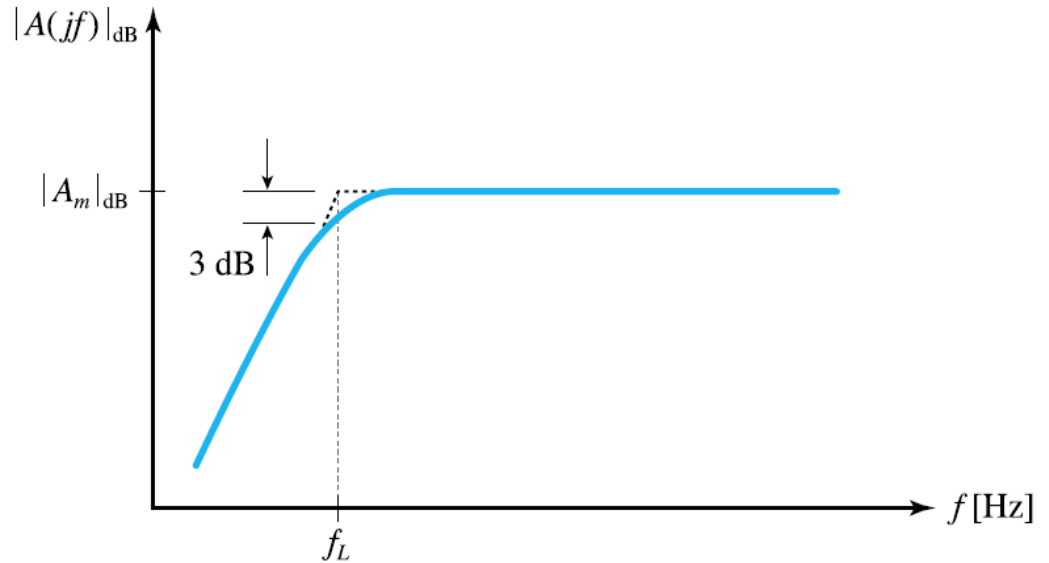
(b) 소신호 등가회로

$$V_o = \frac{-g_m R_C R_i}{R_s + R_i + \frac{1}{sC_C}} V_s = \frac{A_m}{1 + \omega_L/s} V_s$$

8.1 기본개념

결합 커패시터의 영향

$$V_o = \frac{-g_m R_C R_i}{R_s + R_i + \frac{1}{sC_C}} V_s = \frac{A_m}{1 + \omega_L / s} V_s$$



(c) 주파수 응답특성

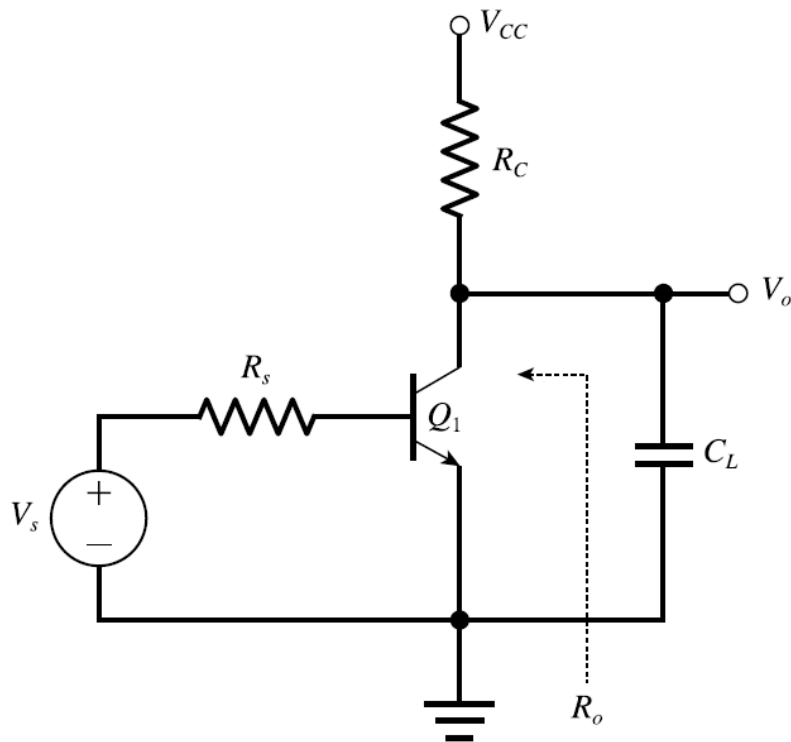
[그림 8-2] 증폭기의 저주파 응답특성 예

- 하측 차단주파수(lower cutoff frequency) : 출력전압이 -3 dB 만큼 감소하는 하측 주파수,
 $f_L = 1/[2\pi(R_s + R_i)C_C]$

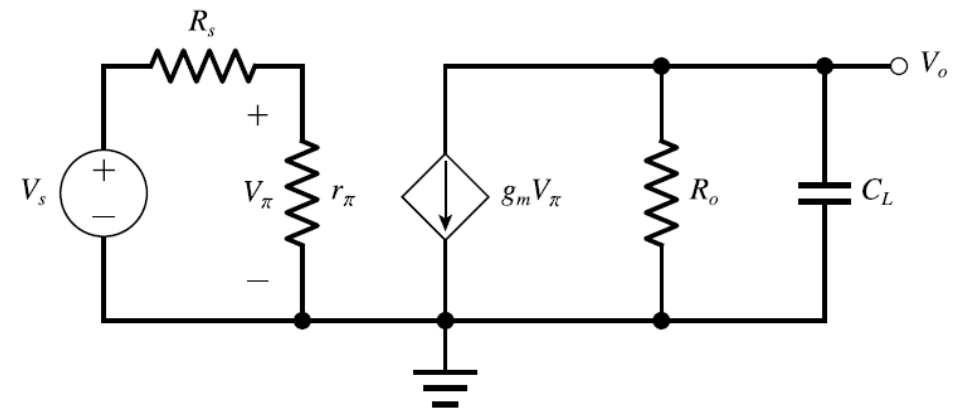
→ C_C 값이 클수록 하측 차단주파수 f_L 이 작아짐

8.1 기본개념

부하 커패시터의 영향



(a) 부하 C_L 을 갖는 공통 이미터 증폭기



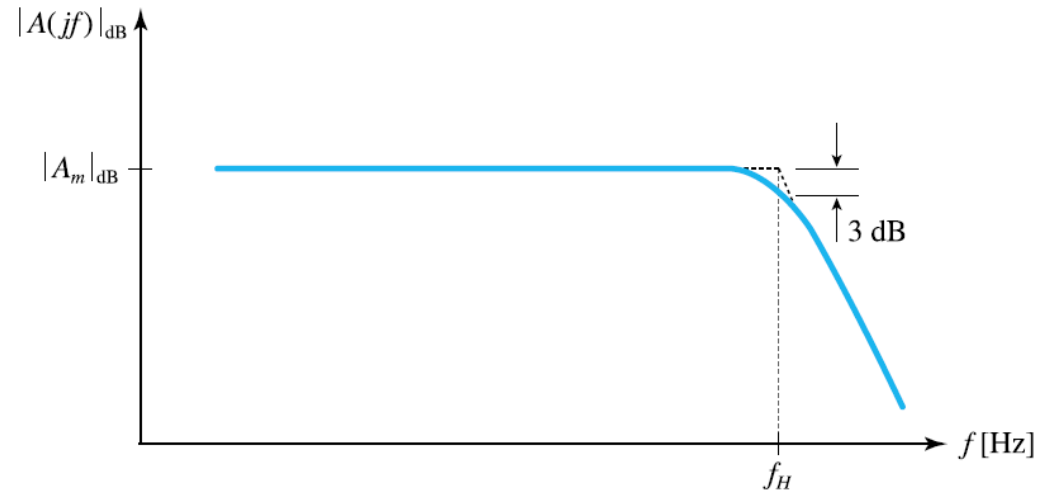
(b) 소신호 등가회로

$$V_o = \frac{\frac{1}{sC_L}}{R_o + \frac{1}{sC_L}} A_m V_s = \frac{A_m}{1 + s/\omega_H} V_s$$

8.1 기본개념

부하 커패시터의 영향

$$V_o = \frac{\frac{1}{sC_L}}{R_o + \frac{1}{sC_L}} A_m V_s = \frac{A_m}{1 + s/\omega_H} V_s$$



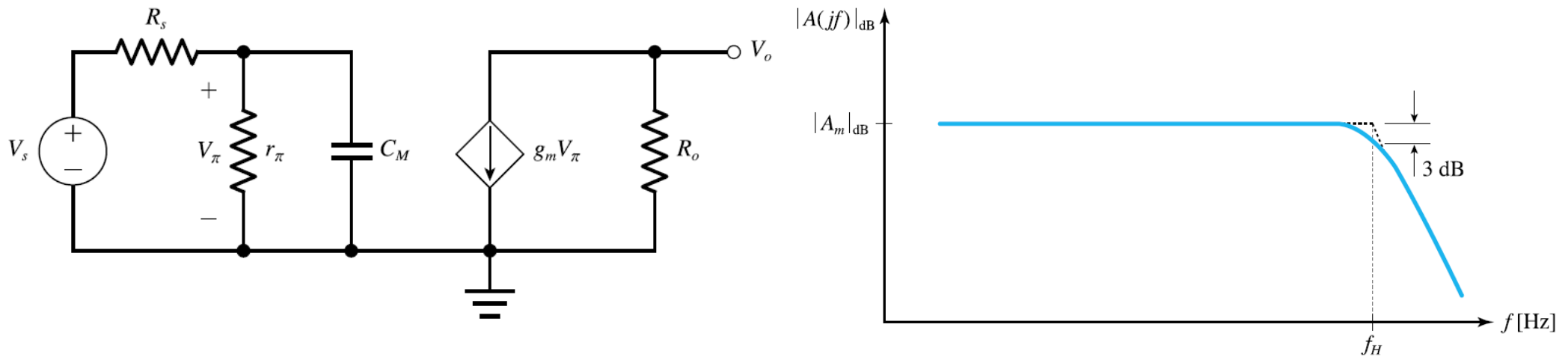
(c) 주파수 응답특성

- 상측 차단주파수(upper cutoff frequency) : 출력전압이 -3 dB 만큼 감소하는 상측 주파수,
 $f_H = 1/(2\pi R_o C_L)$

→ C_L 값이 클수록 상측 차단주파수 f_H 가 작아짐

8.1 기본개념

기생 커패시터의 영향



(b) 주파수 응답특성

- BJT 내부의 기생 커패시턴스 C_M 의 영향 : C_M 이 클수록 상측 f_H 가 작아짐

8.1 기본개념

보드 선도 (Bode Plot)

- 증폭기 전달함수의 크기와 위상각을 신호 주파수에 대해 그린 그래프
- 증폭기 전달함수의 일반식

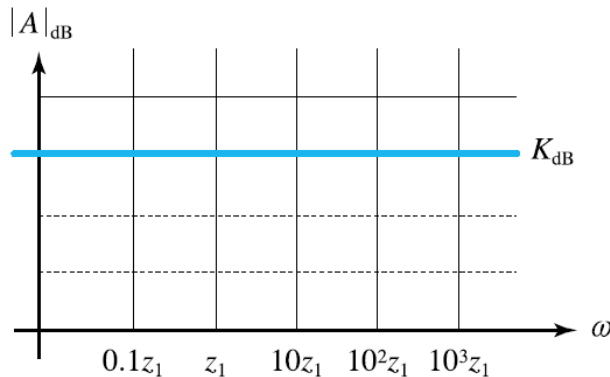
$$A(j\omega) = K \times \frac{(1 + j\omega/z_1)(1 + j\omega/z_2) \cdots}{(1 + j\omega/p_1)(1 + j\omega/p_2) \cdots} \quad (8.3)$$

- K : 중대역 이득(mid-band gain)
- z_1, z_2 : 영점(zero) 주파수
- p_1, p_2 : 극점(pole) 주파수

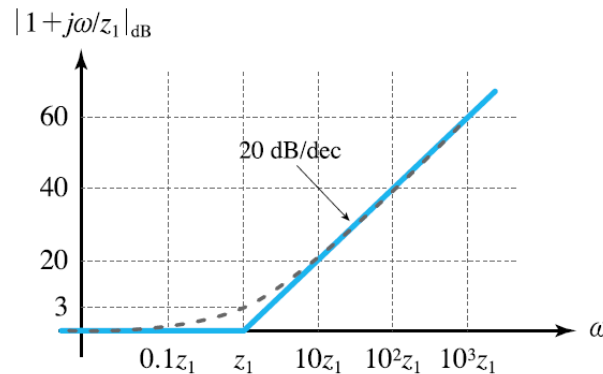
8.1 기본개념

보드 선도 (Bode Plot): 크기에 대한 점근 보드 선도

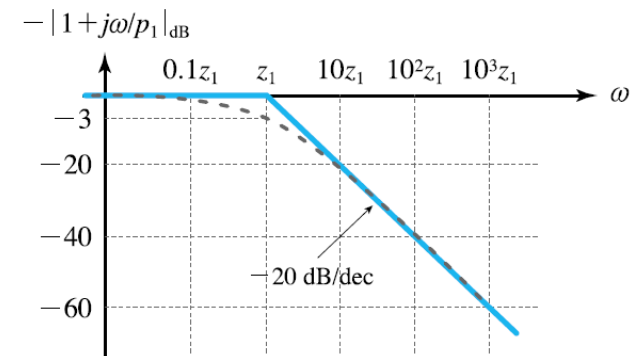
- KdB : 수평 직선
- 영점(zero) 주파수 z_1 의 크기 보드 선도
 - 영점 주파수 이하 : 0 dB의 직선으로 근사화
 - 영점 주파수 이상 : +20 dB/dec의 기울기를 갖는 직선으로 근사화
- 극점(pole) 주파수 p_1 의 크기 보드 선도
 - 극점 주파수 이하 : 0 dB의 직선으로 근사화
 - 극점 주파수 이상 : -20 dB/dec의 기울기를 갖는 직선으로 근사화



(a) K_{dB} 의 보드 선도



(b) $|1 + j\omega/z_1|_{dB}$ 의 보드 선도



(c) $-|1 + j\omega/p_1|_{dB}$ 의 보드 선도

8.1 기본개념

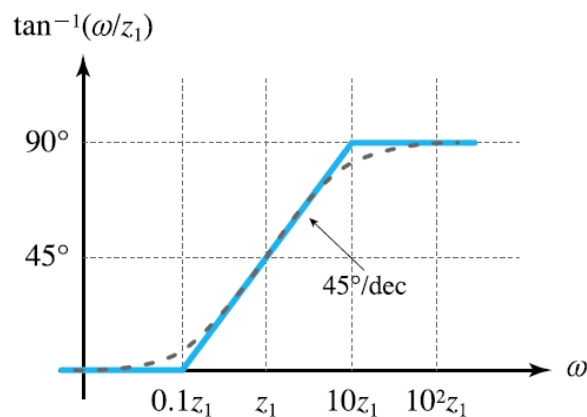
보드 선도 (Bode Plot): 위상에 대한 점근 보드 선도

영점(zero) 주파수 z_1 의 위상 보드 선도 : $0.1z_1, z_1, 10z_1$ 의 세 점을 중심으로 그려짐

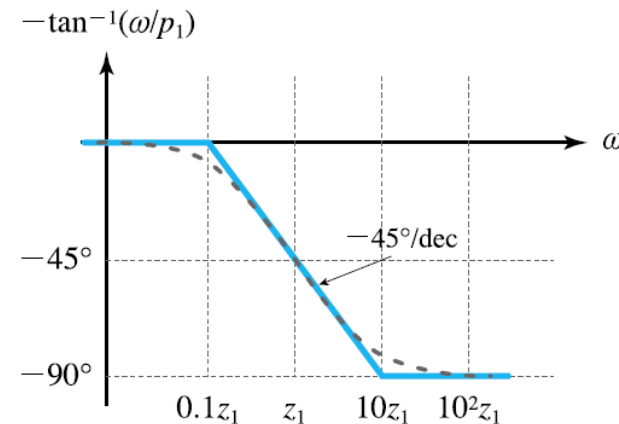
- $0.1z_1$ 이하의 주파수 : 0° 의 직선으로 근사화
- $0.1z_1 \sim 10z_1$ 의 주파수 : $+45^\circ/\text{dec}$ 의 기울기를 갖는 직선으로 근사화
- $10z_1$ 이상의 주파수 : 90° 의 직선으로 근사화됨

극점(pole) 주파수 p_1 의 위상 보드 선도 : 동일한 원리가 적용됨

- $0.1p_1 \sim 10p_1$ 의 주파수 범위에서는 $-45^\circ/\text{dec}$ 의 기울기를 가짐



(a) $-\tan^{-1}(\omega/z_1)$ 의 보드 선도



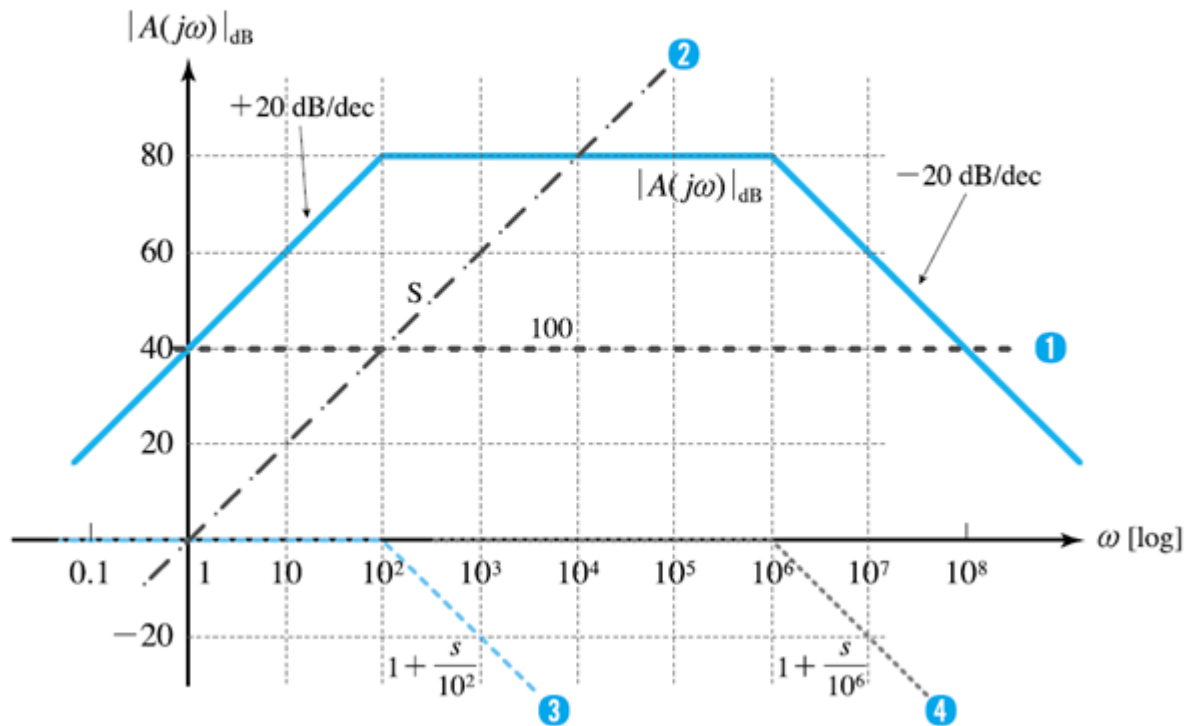
(b) $-\tan^{-1}(\omega/p_1)$ 의 보드 선도

8.1 기본개념

보드 선도 (Bode Plot): 예제 8-1

다음 전달함수의 크기와 위상각에 대한 점근 보드 선도를 그려라.

$$A(s) = \frac{100s}{(1 + s/10^2)(1 + s/10^6)}$$

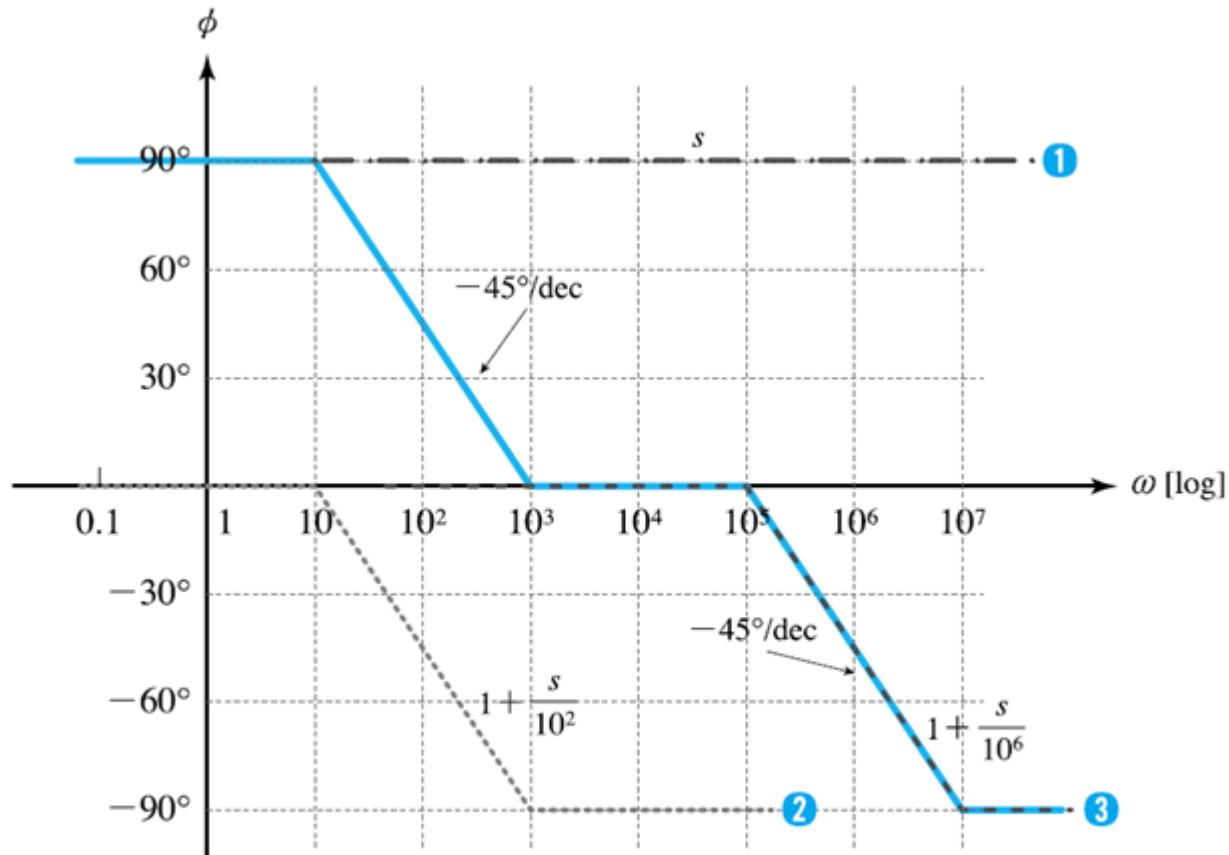


(a) 크기에 대한 점근 보드 선도

[그림 8-7] [예제 8-1]의 점근 보드 선도

8.1 기본개념

보드 선도 (Bode Plot): 예제 8-1



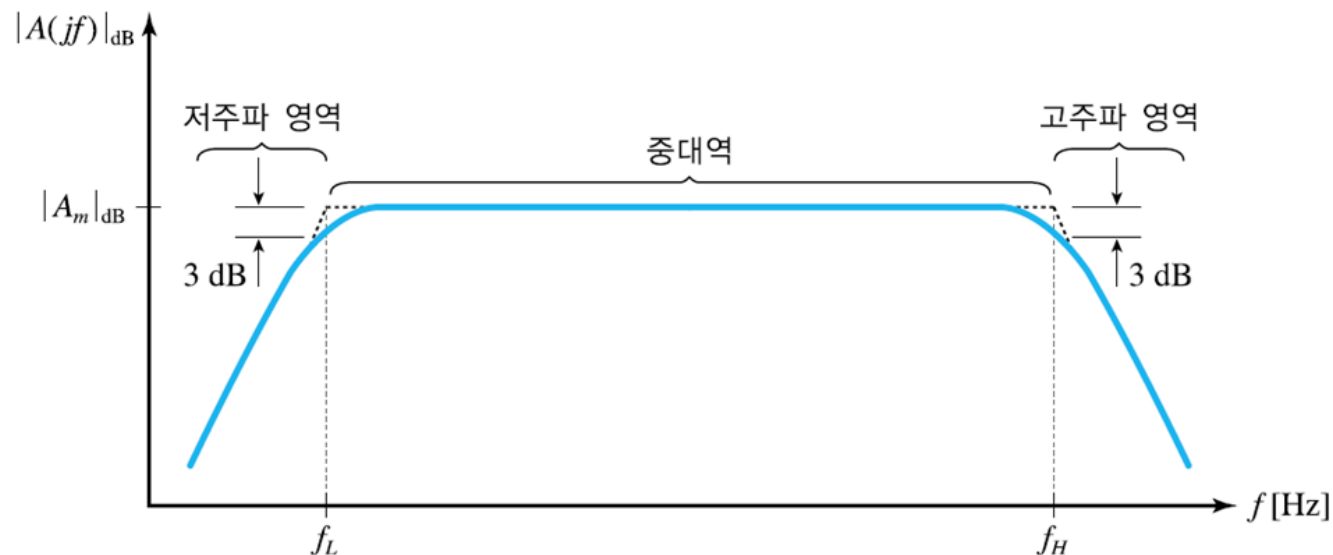
(b) 위상각에 대한 점근 보드 선도

[그림 8-7] [예제 8-1]의 점근 보드 선도

8.1 기본개념

주파수 응답특성 파라미터

- 하측 차단주파수(lower cutoff frequency) f_L : 주파수가 감소함에 따라 증폭기의 이득이 기준값(중대역 이득)에 비해 -3 dB 만큼 감소하는 주파수
 - 출력전력이 1/2로 감소하는 주파수, 하측 반전력(half-power) 주파수
 - 증폭기의 저주파 응답특성을 나타냄
 - 결합 및 바이패스 커패시턴스에 영향을 받음



[그림 8-8] 증폭기의 주파수 응답특성 파라미터

8.1 기본개념

주파수 응답특성 파라미터

- 상측 차단주파수(upper cutoff frequency) f_H : 주파수가 증가함에 따라 증폭기의 이득이 기준값(중대역 이득)에 비해 -3 dB 만큼 감소하는 주파수
→ 출력전력이 1/2로 감소하는 주파수, 상측 반전력(half-power) 주파수
→ 증폭기의 고주파 응답특성을 나타냄
→ 내부의 기생 커패시턴스에 영향을 받음
- 대역폭(bandwidth) BW : 주파수에 무관하게 증폭기의 이득이 일정한 값을 갖는 주파수 영역(즉, f_L 과 f_H 사이)

$$BW = f_H - f_L \quad (8.6)$$

$$BW \simeq f_H \quad (8.7)$$

- 중대역 이득(midband gain) $|A_{dm}|_{dB}$: 증폭기의 기준 이득값
→ 주파수에 무관하게 일정한 값을 가짐
→ 모든 커패시턴스의 영향이 무시될 수 있을 정도로 작은 주파수 영역에서의 이득
- 이득-대역폭 곱(gain-bandwidth product) GBP :

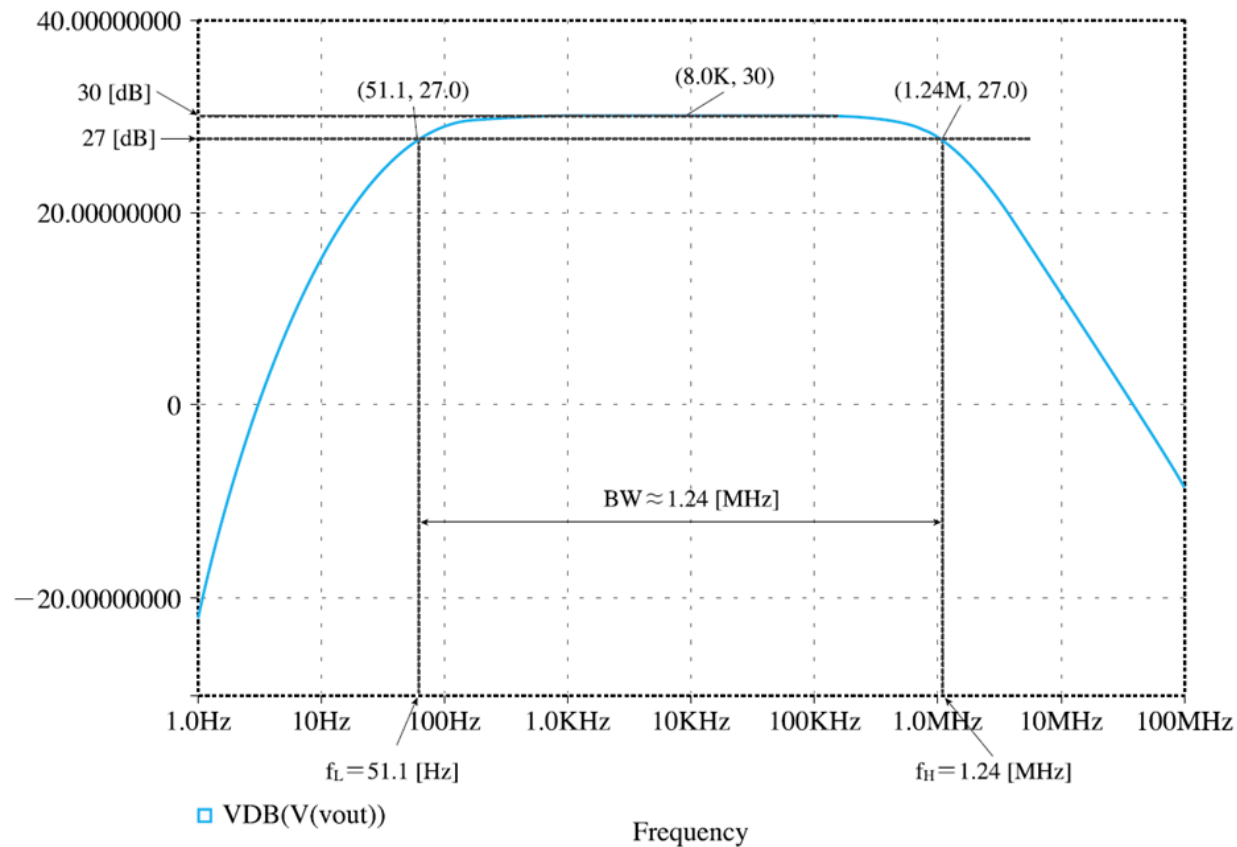
$$GBP = A_m f_H \quad (8.8)$$

→ 주어진 증폭기에 대해 일정한 값을 가짐. 이득과 대역폭 사이에 교환조건이 존재

8.1 기본개념

주파수 응답특성 파라미터

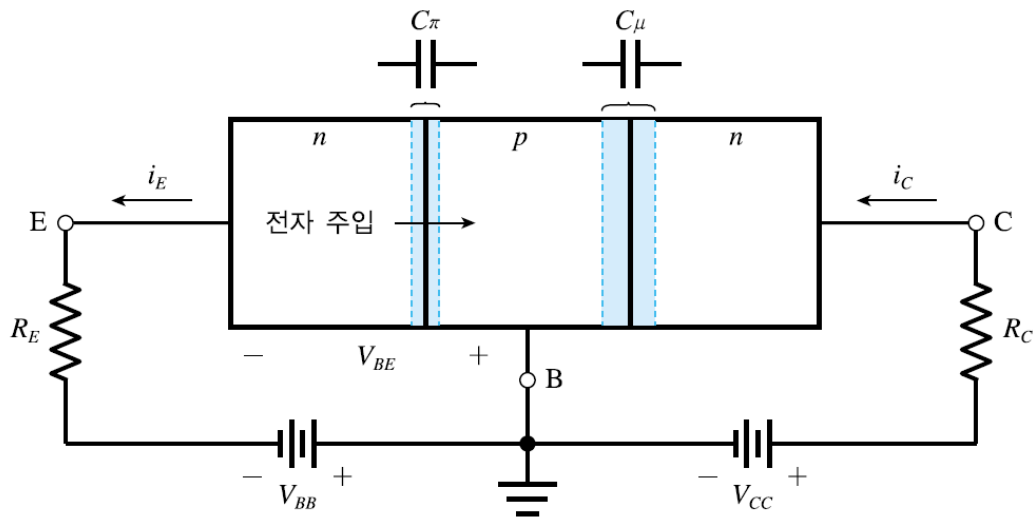
예제 8-2



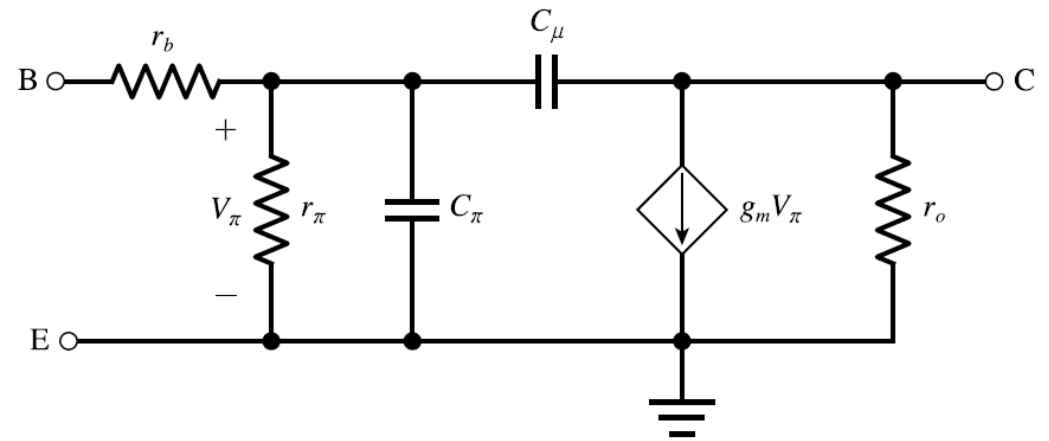
[그림 8-10] [예제 8-2] 보드 선도의 파라미터 값

8.1 기본개념

BJT의 고주파 등가모델



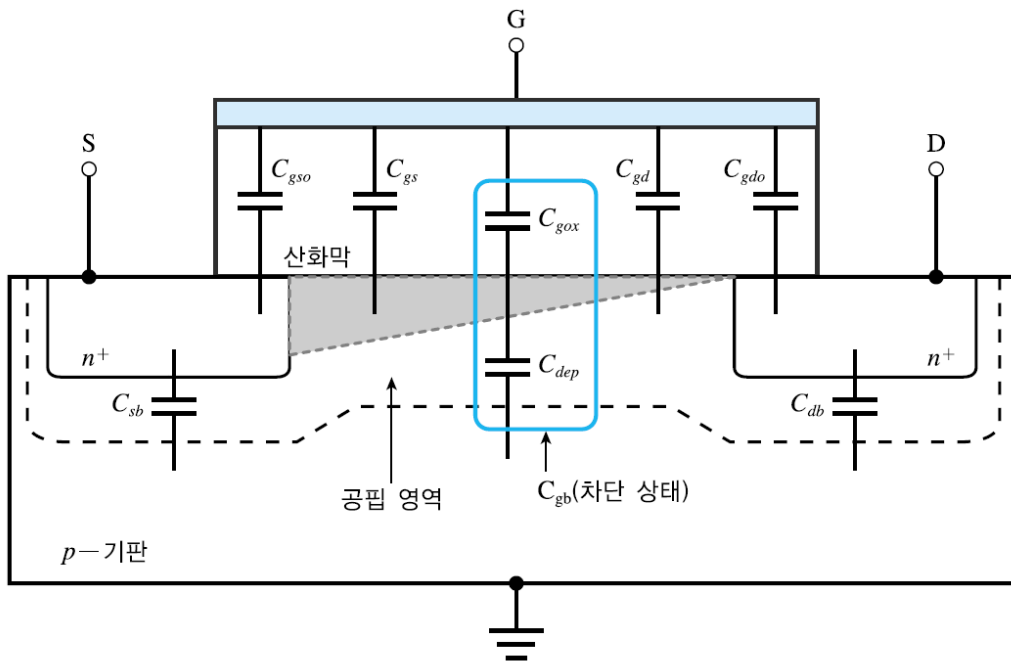
[그림 8-11] BJT의 기생 정전용량 성분



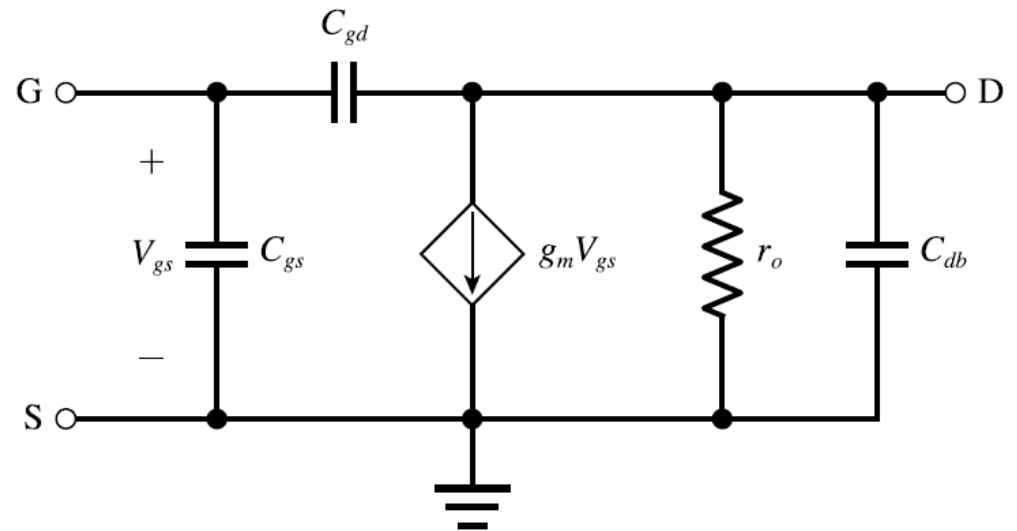
[그림 8-12] BJT의 고주파 소신호 등가모델

8.1 기본개념

MOSFET의 고주파 등가모델



[그림 8-16] MOSFET의 기생 정전용량 성분



[그림 8-17] MOSFET의 고주파 소신호 등가회로

10.2 트랜지스터의 정격 및 방열대책

10.2.1 트랜지스터의 정격

- 트랜지스터가 동작할 수 있는 전압, 전류 및 전력소비의 한계치
- 정격값이 초과되면 트랜지스터의 정상 동작이 보장되지 않거나 소자가 치명적인 손상을 받을 수 있으므로, 회로설계 시에 고려되어야 함
- 제조회사에서 제공하는 규격표(data sheet)에 명시됨
- BJT의 정격 파라미터
 - 컬렉터-이미터 항복 전압 (V_{CEO})
 - 컬렉터-베이스 항복 전압 (V_{CBO})
 - 이미터-베이스 항복 전압 (V_{EBO})
 - 최대 컬렉터 전류 ($I_{C,max}$)
 - 최대 소비전력 ($P_{D,max}$)

10.2 트랜지스터의 정격 및 방열대책

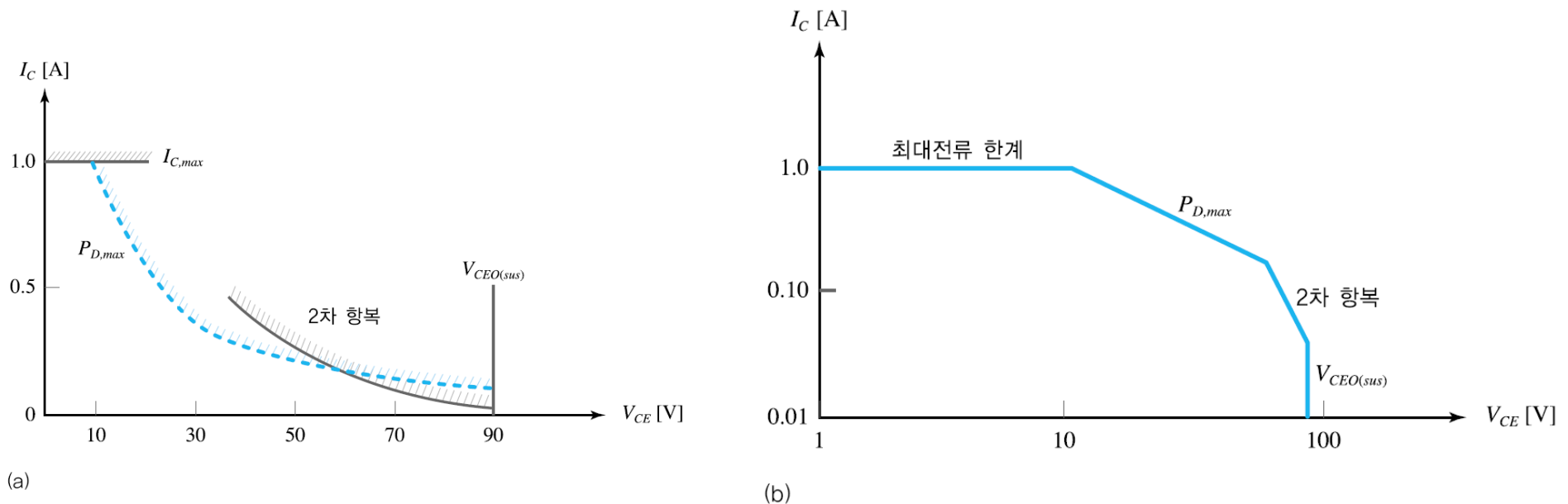
[표 10-1] 바이폴라 트랜지스터의 정격

구분 파라미터	소신호 증폭 및 스위칭용		전력 증폭기용	
	2N2222A	2N3904	2N3055	2N6275
V_{CEO} [Vdc]	40	40	60	120
$I_{C,max}$ (continuous) [Adc]	0.6	0.2	15	50
$P_{D,max}$ @ $T_A=25^{\circ}\text{C}$ [W]	0.5	0.625		
$P_{D,max}$ @ $T_C=25^{\circ}\text{C}$ [W]	1.8	1.5	115	250
Thermal resistance θ_{JA} [$^{\circ}\text{C}/\text{W}$]	300	200	–	–
Thermal resistance θ_{JC} [$^{\circ}\text{C}/\text{W}$]	83.3	83.3	1.52	0.7
f_T [MHz]	300	300	2.5	30
β_{DC} (DC 전류이득)	35~100	30~100	5~20	10~50

10.2 트랜지스터의 정격 및 방열대책

□ 안전동작영역 (Safe Operation Area, SOA)

- 트랜지스터가 안전하게 동작할 수 있는 영역
- 컬렉터 정격전류 $I_{C,max}$, C-E 항복유지전압 $V_{CEO(sus)}$, 최대 정격전력 $P_{D,max}$, 2차 항복(second breakdown) 등에 의해 결정됨



[그림 10-4] 트랜지스터의 안전동작영역

10.2 트랜지스터의 정격 및 방열대책

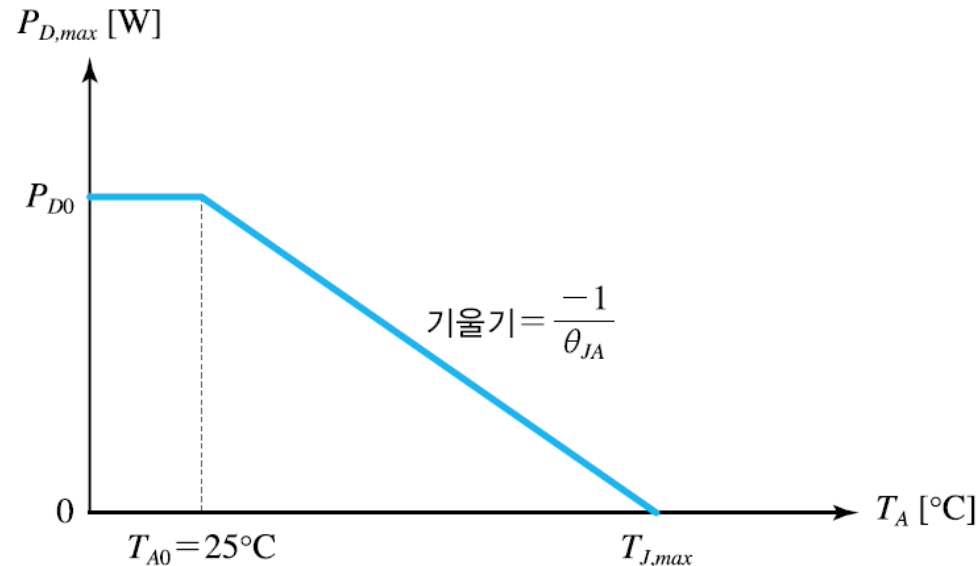
10.2.2 방열대책

- 트랜지스터에 전류가 흐르면 $P_D = V_{CE} I_C$ 에 의한 전력소비가 발생함
- 전력소비는 열로 발생되어 소자의 온도가 상승함
- 온도 상승 \rightarrow 전류 증폭률 β_0 증가 \rightarrow 전류 증가 \rightarrow 온도 상승의 정귀환 작용에 의해 소자의 온도가 계속 상승하는 **열폭주(thermal runaway)** 현상이 발생되며, 이는 소자에 치명적인 손상을 유발함
- 온도 상승에 의한 소자의 손상을 방지하기 위해 허용 가능한 소자(접합) 온도의 최대치가 규정됨
- 실리콘 트랜지스터의 최대 접합온도는 150~200 °C 정도

10.2 트랜지스터의 정격 및 방열대책

□ 전력저하곡선(power derating curve)

- 온도에 따른 최대 전력소비 특성을 나타내는 그래프
- 대기 온도 또는 케이스 온도를 기준으로 표시됨
- 전력저하계수(power derating factor) : $T_{A0}=25^{\circ}\text{C}$ 에서 $T_{J,max}$ 사이의 기울기 $-1/\theta_{JA}$ 로 정의됨
- 열저항(thermal resistance) : 접합에서 발생한 열이 대기 중으로 방출되는 열전도의 방해(저항) 정도를 나타냄 (전력저하계수의 역수 θ_{JA} 로 정의됨)



10.2 트랜지스터의 정격 및 방열대책

- 대기온도 $T_A > T_{A0}$ 에서 트랜지스터가 견딜 수 있는 최대 전력소비

$$P_{D,max} = \frac{T_{J,max} - T_A}{\theta_{JA}} \quad (10.1)$$

- 접합과 대기 사이의 열저항 (통상, $T_{A0} = 25^\circ\text{C}$)

$$\theta_{JA} = \frac{T_{J,max} - T_{A0}}{P_{D0}} \quad (10.2)$$

- TR의 소비전력이 P_D 인 경우에, 접합온도 T_J 와 대기온도 T_A 사이의 관계

$$T_J - T_A = \theta_{JA} P_D \quad (10.3)$$

→ $V_2 - V_1 = R \cdot I$ 와 유사성이 있음

10.2 트랜지스터의 정격 및 방열대책

- 접합과 대기 사이의 열저항

$$\theta_{JA} = \theta_{JC} + \theta_{CA}$$

- 방열기구가 부착된 경우의 열저항

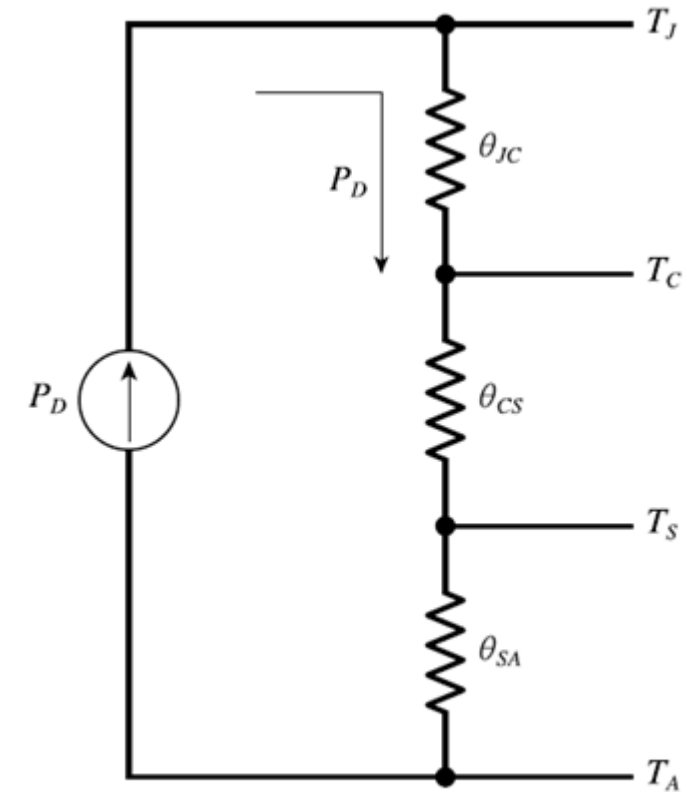
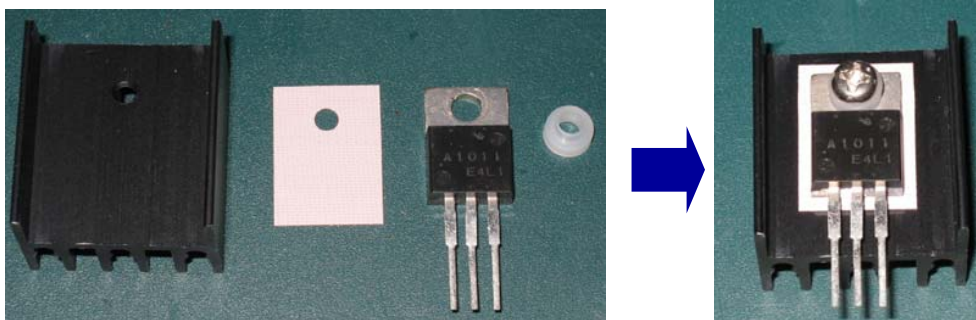
$$\theta_{JA} = \theta_{JC} + \theta_{CS} + \theta_{SA}$$

- θ_{JC} : 접합과 케이스(패키지) 사이의 열저항
- θ_{CA} : 케이스와 대기 사이의 열저항

- 방열기구가 부착된 트랜지스터의 열전달 모델

$$T_J - T_A = (\theta_{JC} + \theta_{CS} + \theta_{SA}) P_D$$

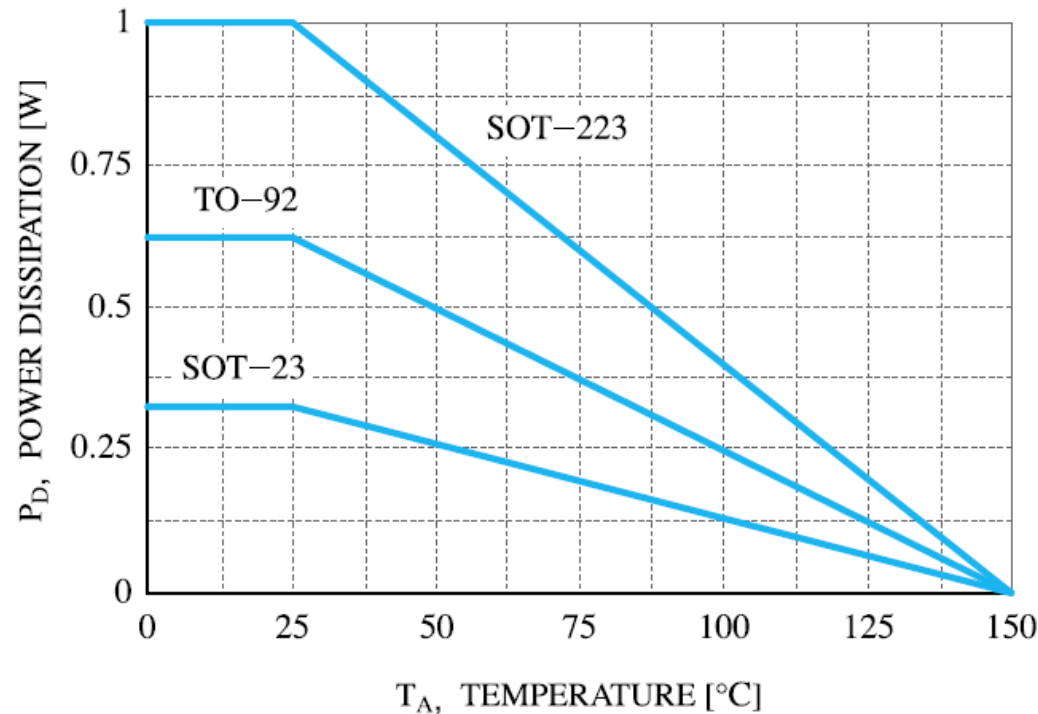
방열기구: heat Sink



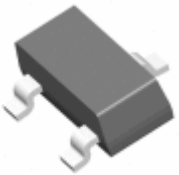
(b) 열저항, 소비전력, 온도의 관계

http://cafe.naver.com/audioparts.cafe?iframe_url=/ArticleRead.nhn%3Farticleid=12148&topReferer=http://cafeblog.search.naver.com%26imgsrc=data37/2009/6/25/253/%C5%A9%B1%E2%BA%AF%C8%AF_1m4702_%B9%E6%BF%AD%C6%C7_doikkim0301.jpg

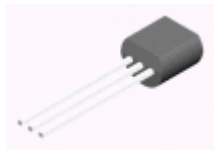
10.2 트랜지스터의 정격 및 방열대책



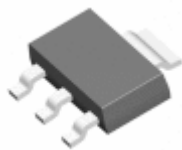
[그림 10-14] 2N3094 BJT의 패키지 형태에 따른 전력저하(대기온도-전력소비) 곡선



SOT-23



TO-92



SOT-223

<http://www.national.com/en/packaging/index.html>