

---

# BJT 증폭기

# BJT 증폭기

---

BJT 증폭기(amplifier)는 BJT를 이용하여 입력되는 전압이나 전류를 크게 만들어서 출력으로 내보내는 회로

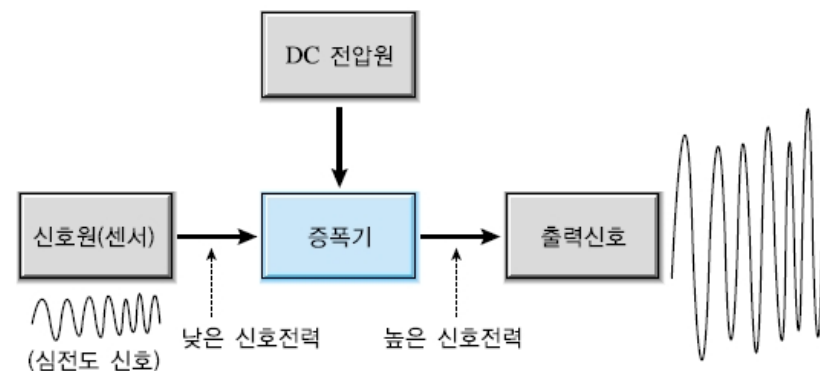
- 공통 이미터 증폭기
- 공통 베이스 증폭기
- 공통 컬렉터 증폭기

Keywords: 전압이득(voltage gain), 입력 임피던스, 출력 임피던스, 전력소모, 잡음

# 증폭기의 동작

## □ 아날로그 신호와 선형 증폭기

- 아날로그 신호의 크기는 시간에 대해 연속적인 변동량으로 표현
- 선형 증폭기는 입력신호를 크게(증폭)하여 출력신호를 발생
- 심전도 시스템의 예
  - 신호원의 활성전위는 센서로부터 얻어지는 매우 작은 신호레벨의 시변 전류 또는 전압신호인데, 이것으로부터 판독 가능한 출력신호를 만들어 내기 위해 요구되는 전력은 심전도 센서에서 감지된 신호의 전력보다는 훨씬 더 커야 함. ➔ 증폭기가 필요한 이유



[그림 4-1] 증폭기를 사용하는 심전도 시스템의 예

# 증폭기의 동작

---

## □ 선형 증폭기

- 증폭기 회로의 해석은 **DC(직류) 전원**에 따른 **DC 해석**과 **시변 신호원**에 따른 **AC(교류) 해석**으로 구분
- 증폭기 회로의 전체 응답은 DC 회로 응답과 AC 회로 응답의 총합

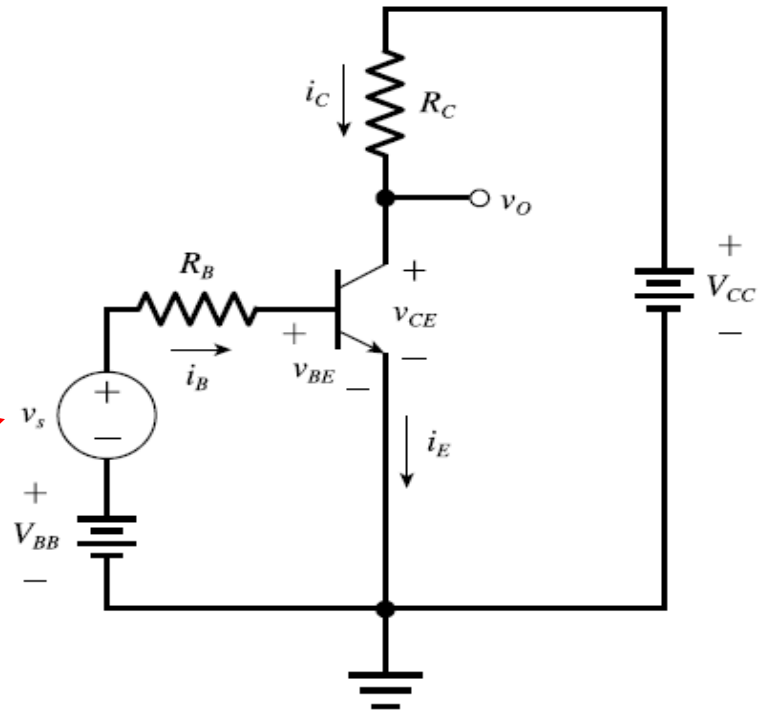
## □ 바이어스 회로

- 트랜지스터 바이어스: 직류전압을 인가하여 트랜지스터의 동작점(Q-점)을 설정하는 것 → **BJT가 순방향 활성모드에서 동작하도록.**
- 증폭기로 동작하려면 ⇒  $\left\{ \begin{array}{l} \text{B-E접합은 순방향 바이어스} \\ \text{B-C접합은 역방향 바이어스} \end{array} \right.$
- BJT의 소신호 파라미터가(  $g_m, \tau_\pi, \tau_e, \tau_o$  ) 증폭기의 동작특성에 영향을 미침

# 증폭기의 동작

## □ 증폭기 해석과 파라미터 표기법

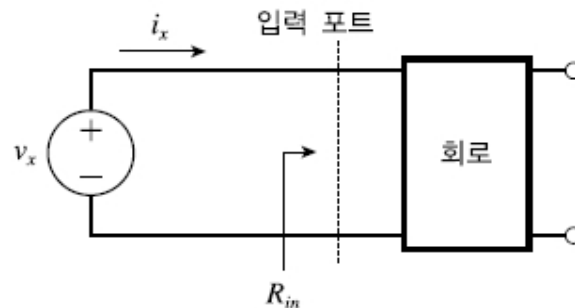
변수	의미
$i_B, v_{BE}$	전체 순시값(DC+AC)
$I_B, V_{BE}$	DC 값
$i_b, v_{be}$	순시값(AC)



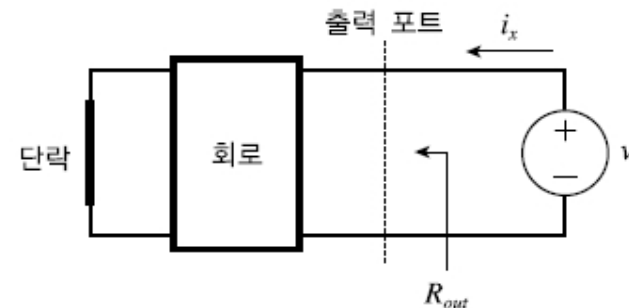
# 증폭기의 동작

## □ 입력 및 출력 임피던스 개념

- 전압 증폭기 앞,뒤에 다른 회로를 연결을 고려
- 이상적인 입력 임피던스는 무한대
- 이상적인 출력 임피던스는 0
- 입출력 임피던스는  $i_x$  를 측정하여  $R_{in} = v_x / i_x$  로 구함
- 입력 임피던스를 측정할 때, 출력단은 개방되어 있음에 유의.
- 출력 임피던스를 측정할 때, 입력 전압원은 단락, 입력 전류원은 개방.



(a) 입력 임피던스의 측정



(b) 출력 임피던스의 측정

[그림 4-2] 입력 및 출력 임피던스의 측정

# 소신호 동작

## □ 각 동작점에서의 전류, 전압

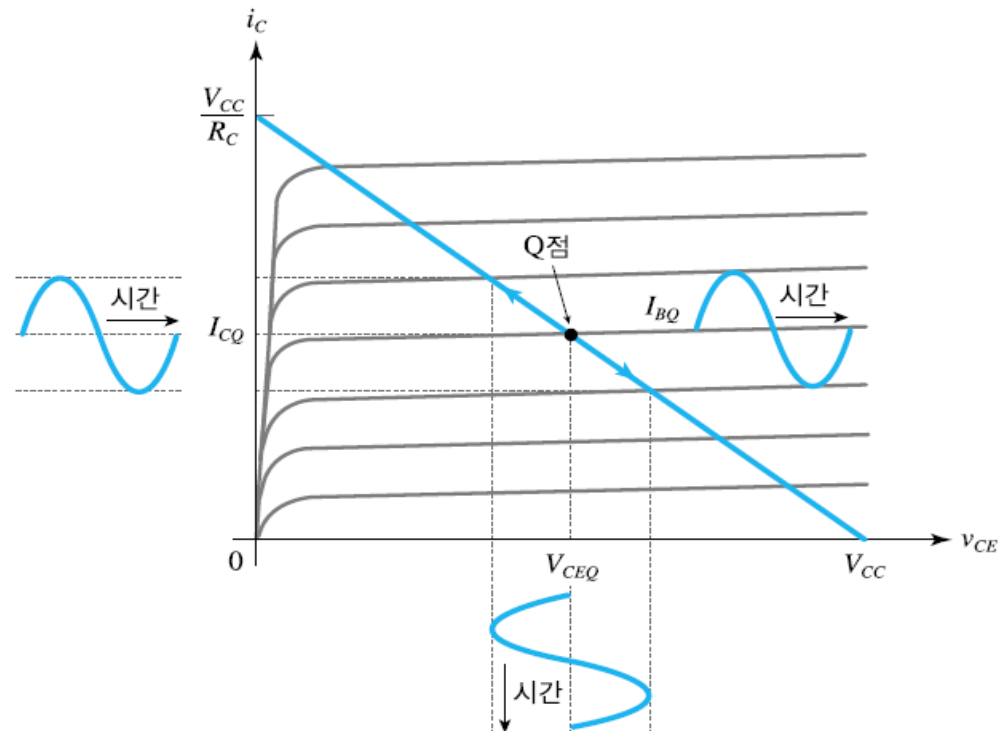
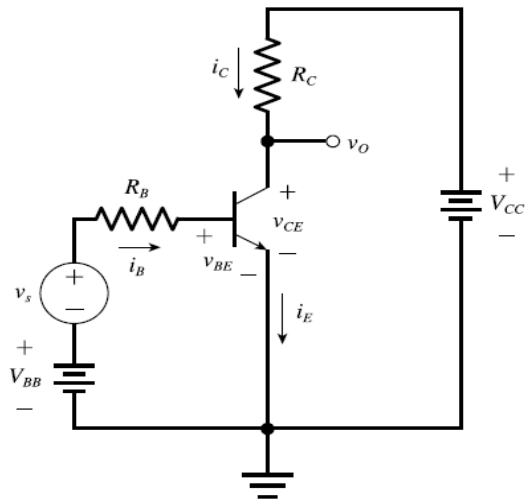
- 베이스 전류  $i_B$ 는 DC 바이어스 성분과 AC 베이스 전류의 합으로 표현되며, 여기서 아래첨자 Q는 동작점에서의 전류, 전압을 나타냄

$$i_B = I_{BQ} + i_b$$

$$i_C = I_{CQ} + i_c$$

$$v_{CE} = V_{CEQ} + v_{ce}$$

$$v_{BE} = V_{BEQ} + v_{be}$$



# 소신호 동작

## □ DC 해석을 통한 동작점 (Q-점) 해석

- $v_s = 0$  으로 가정 후 B-E와 C-E루프에 KVL적용

$I_{BQ}, I_{CQ}, V_{BEQ}, V_{CEQ}$  는 동작점에서의 전류, 전압)

$$V_{BB} = I_{BQ}R_B + V_{BEQ}$$

$$V_{CC} = I_{CQ}R_C + V_{CEQ}$$

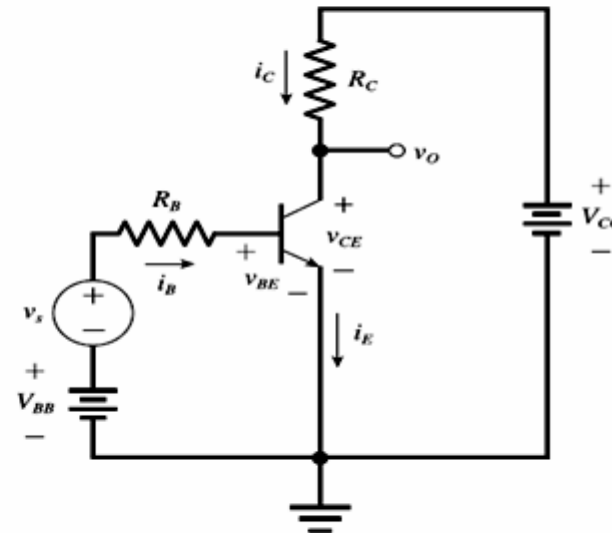
- 시변신호를 고려한 E-B 루프에 KVL 적용

$$V_{BB} + v_s = i_B R_B + v_{BE}$$

$$V_{BB} + v_s = (I_{BQ} + i_b)R_B + (V_{BEQ} + v_{be})$$

$$V_{BB} - I_{BQ}R_B - V_{BEQ} = i_b R_B + v_{be} - v_s$$

- $V_{BB} - I_{BQ}R_B - V_{BEQ} = 0$  이기 때문에 간소화 가능  
 $v_s = i_b R_B + v_{be}$





# 증폭기의 동작

## □ DC 해석을 통한 동작점 해석

- 시변신호를 고려하여 C-E루프에 KVL적용

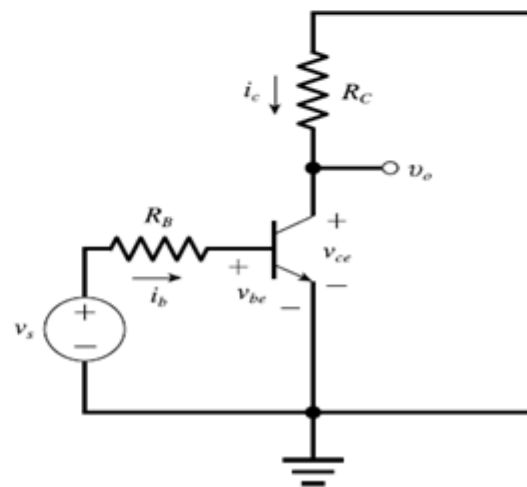
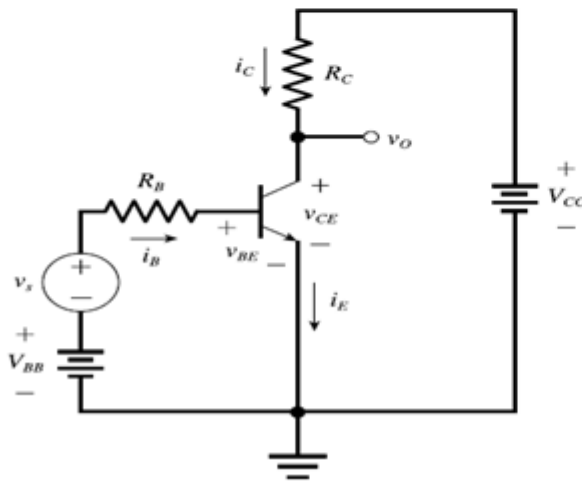
$$V_{CC} = i_c R_C + v_{CE} = (I_{CQ} + i_c) R_C + (V_{CEQ} + v_{ce})$$

$$V_{CC} - I_{CQ} R_C - V_{CEQ} = i_c R_C + v_{ce}$$

- $V_{CC} - I_{CQ} R_C - V_{CEQ} = 0$  이기 때문에 간소화된다

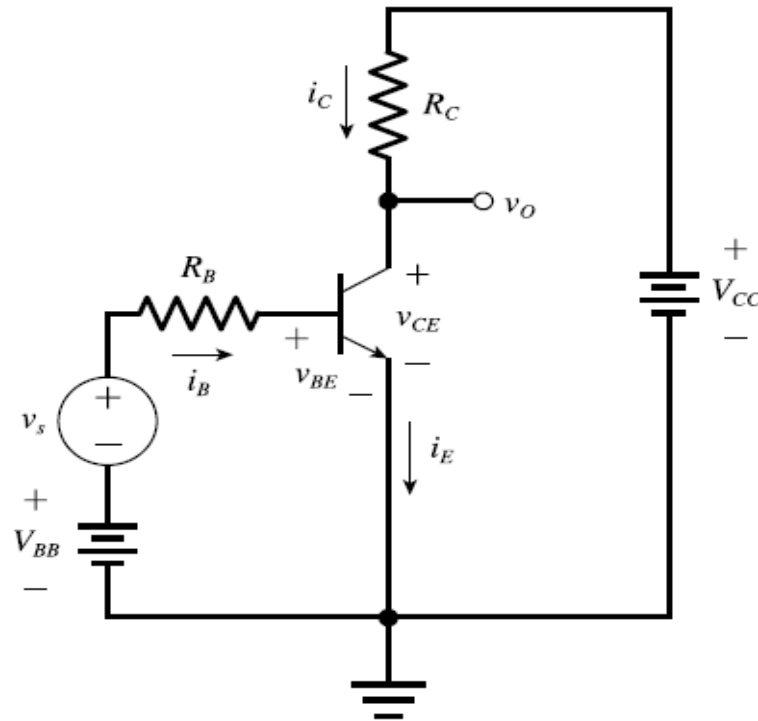
$$i_c R_C + v_{ce} = 0$$

- 공통 이미터 증폭기 회로(왼쪽)와 AC등가 회로(오른쪽)



# 공통 이미터(CE) 증폭기

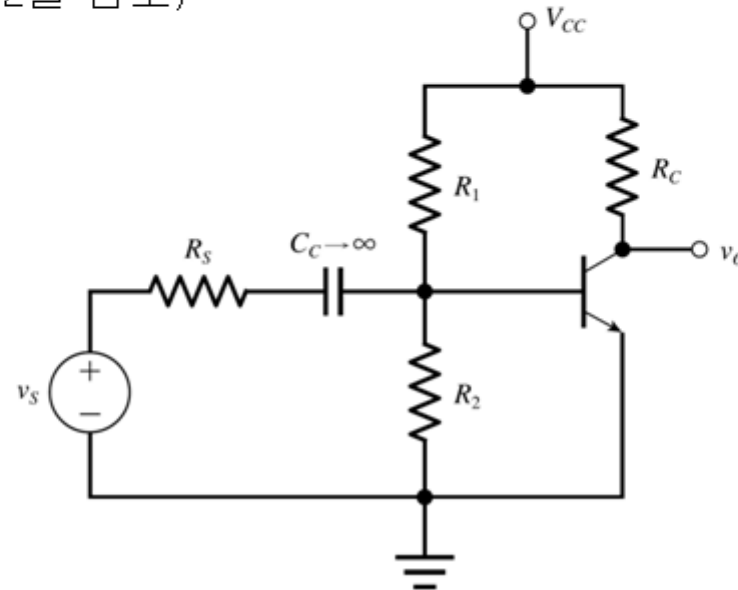
입력신호가 베이스 단자에 인가되고 컬렉터에서 출력신호가 나오도록 구성된다. 이 회로는 이미터 단자가 접지되어 입력과 출력에 공통단자 역할을 하므로 공통 이미터(common emitter) 증폭기라고 부른다.



# 공통 이미터(CE) 증폭기

## □ 기본 공통 이미터 증폭기

- $v_s$  는 커패시터  $C_c$ 를 통해 BJT의 베이스 단자로 입력(DC성분 차단)
- 저항  $R_1$ 과  $R_2$ 는 BJT가 순방향 활성영역에서 동작하도록 동작점을 결정
- 여기서  $C_c$ 는 결합 커패시터(coupling capacitor)라고 하며, 동작 주파수 범위에서 임피던스가 매우 작아지도록 큰 값의 커패시터를 사용
- 결합 및 바이패스 커패시터는 증폭기의 저주파(low frequency) 응답특성에 영향을 미침(8장 2절 참조)



[그림 4-6] 공통 이미터 증폭기

# 공통 이미터(CE) 증폭기

## □ 소신호 등가회로 해석

하이브리드- $\pi$  모델 사용

- 전달컨덕턴스 :

$$g_m = \frac{I_{CQ}}{V_T}$$

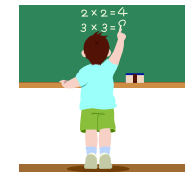
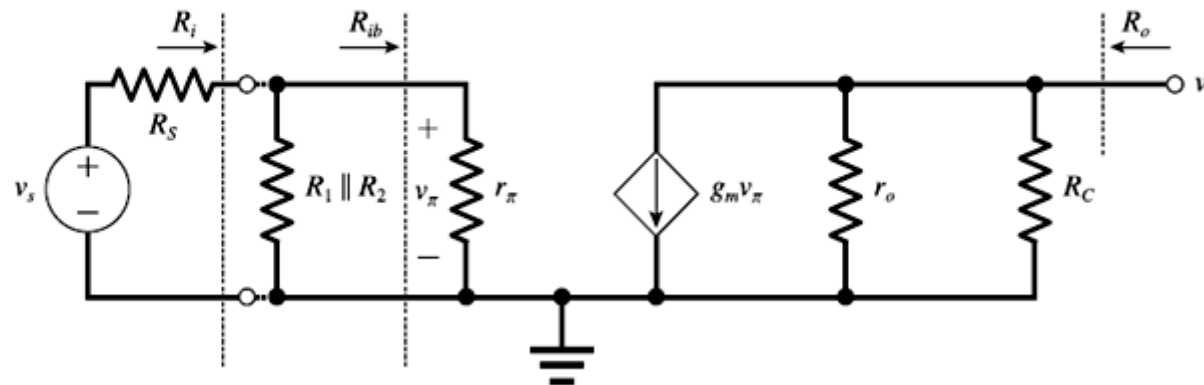
- 베이스-이미터 입력저항 :

$$r_\pi = \frac{V_T \beta_{ac}}{I_{CQ}} = \frac{V_T}{I_{BQ}} = \frac{\beta_{ac}}{g_m}$$

- 컬렉터 출력저항 :

$$r_o = \frac{V_A}{I_{CQ}}$$

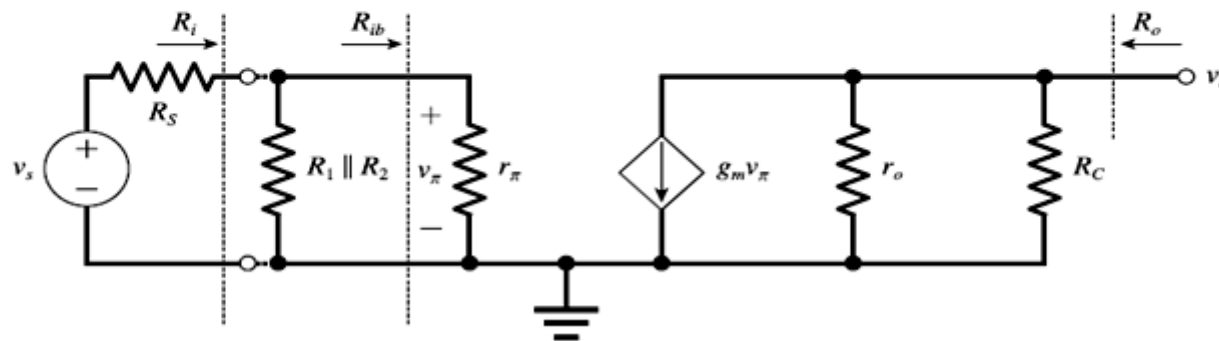
- 등가회로의 소신호 출력전압 :  $v_o = -(g_m v_\pi)(r_o \parallel R_C)$



# 공통 이미터(CE) 증폭기

## □ 소신호 등가회로 해석

- $r_\pi$  에 걸리는 전압 : 
$$v_\pi = \left( \frac{R_1 \parallel R_2 \parallel r_\pi}{R_S + (R_1 \parallel R_2 \parallel r_\pi)} \right) v_s$$
- 소신호 전압이득 : 
$$A_v \equiv \frac{v_o}{v_s} = -g_m \left[ \frac{R_1 \parallel R_2 \parallel r_\pi}{R_S + (R_1 \parallel R_2 \parallel r_\pi)} \right] (r_o \parallel R_C)$$
- 베이스 단자에서 본 입력저항 :  $R_{ib} = r_\pi$
- 바이어스 회로를 포함한 입력저항 :  $R_i = R_1 \parallel R_2 \parallel r_\pi$
- $v_s$  를 0으로 놓았을 때 출력저항 :  $R_o = r_o \parallel R_C$
- 간소화한  $A_v$  : 
$$A_v = (-g_m R_o) \left( \frac{R_i}{R_S + R_i} \right)$$



# 공통 이미터(CE) 증폭기

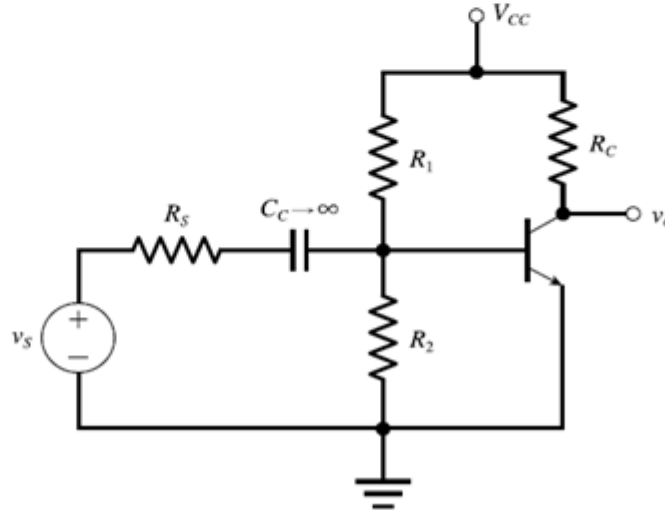
## 예제 4-1

### □ 소신호 회로해석

아래 회로에서 소신호 전압이득, 입력저항 그리고 출력저항을 구하라. 또한 시뮬레이션을 통한 증폭기로 정상동작을 하는지 확인하라. 단,

$$R_1=100\text{ k}\Omega, R_2=15\text{ k}\Omega, R_C=0.5\text{ k}\Omega, R_S=0.5\text{ k}\Omega, V_{CC}=15\text{ V}, \beta_{DC}=189, \beta_{ac}=191,$$

$$V_{BE(on)}=0.72\text{ V}, V_A=90\text{ V}$$

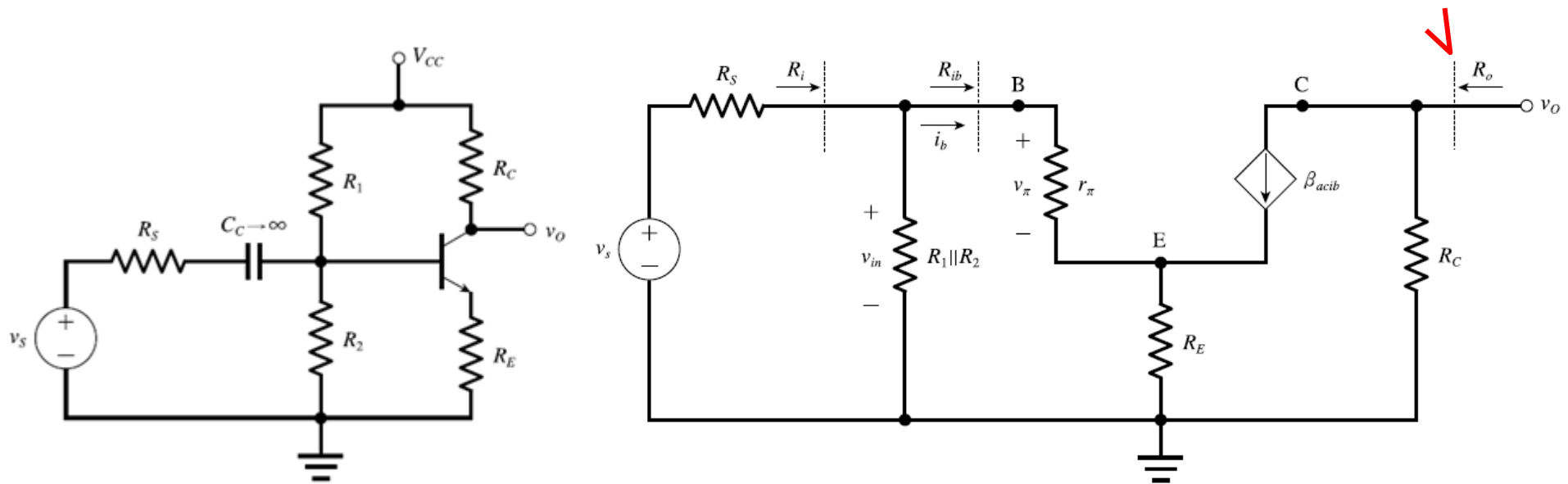


# 공통 이미터(CE) 증폭기

## □ 이미터 저항을 갖는 공통 이미터 증폭기

- $R_E$  는  $I_{CQ}$ 의 변동을 작게 만들어 동작점 안정화

## □ 얼리(Early)효과를 무시한 회로와 소신호 등가회로



$V_A$ 는 무한대로 가정  $\rightarrow r_o = \infty$

# 공통 이미터(CE) 증폭기

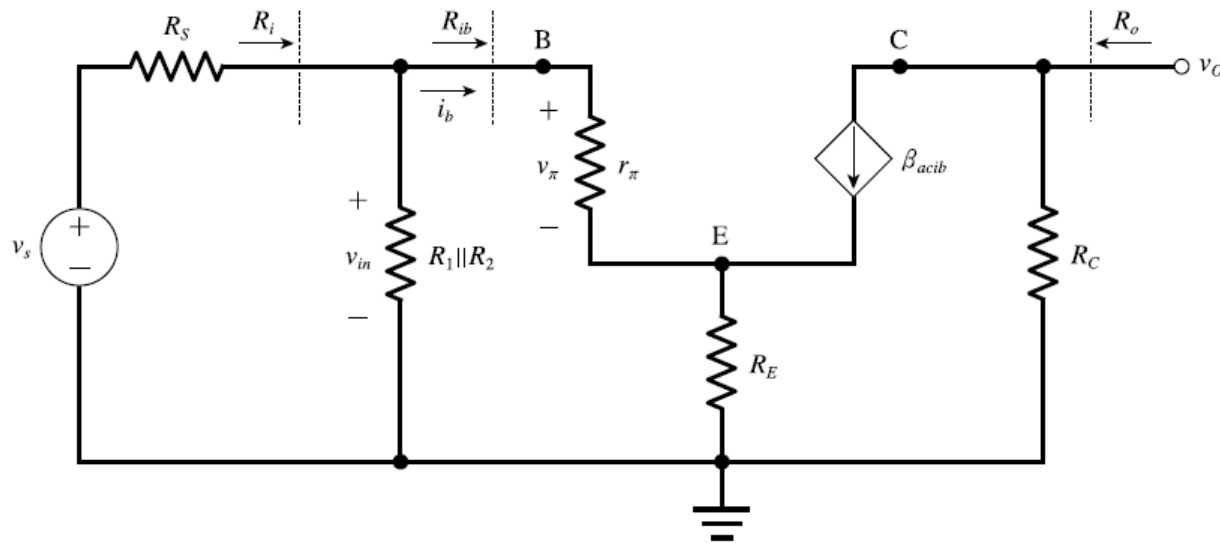
## □ 소신호 등가회로의 동작점

- 소신호 등가회로에서 소신호 전압이득 분석

- 출력전압 :  $v_o = -(\beta_{ac} i_b) R_C$

- 입구 쪽 루프에 KVL적용 :  $v_{in} = i_b r_{\pi} + (\beta_{ac} + 1) i_b R_E$

- 출력전압 :  
$$v_o = \frac{-\beta_{ac} R_C}{r_{\pi} + (\beta_{ac} + 1) R_E} v_{in}$$





# 공통 이미터(CE) 증폭기

## □ 소신호 등가회로의 동작점

- $v_{in}$  의  $R_i$  는 바이어스 저항을 포함하는 입력저항임

$$v_{in} = \left( \frac{R_i}{R_s + R_i} \right) v_s$$

- 소신호 전압이득

$$A_v \equiv \frac{v_o}{v_s} = \left( \frac{-\beta_{ac} R_C}{r_{\pi} + (\beta_{ac} + 1) R_E} \right) \left( \frac{R_i}{R_s + R_i} \right)$$

$R_i \gg R_s$  이고  $(\beta_{ac} + 1) R_E \gg r_{\pi}$  이며,  $\beta_{ac} \gg 1$  라고 가정하여

$A_v$  간소화

$$A_v \cong \frac{-\beta_{ac} R_C}{(\beta_{ac} + 1) R_E} \cong \frac{-R_C}{R_E}$$

➔ 온도나 트랜지스터 특성 편차 등이 미치는 영향 축소, 입력저항 증가

➔ 이미터 저항이 분모에 있기 때문에, 전압이득 감소시킴

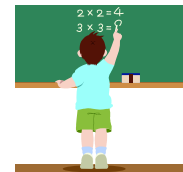
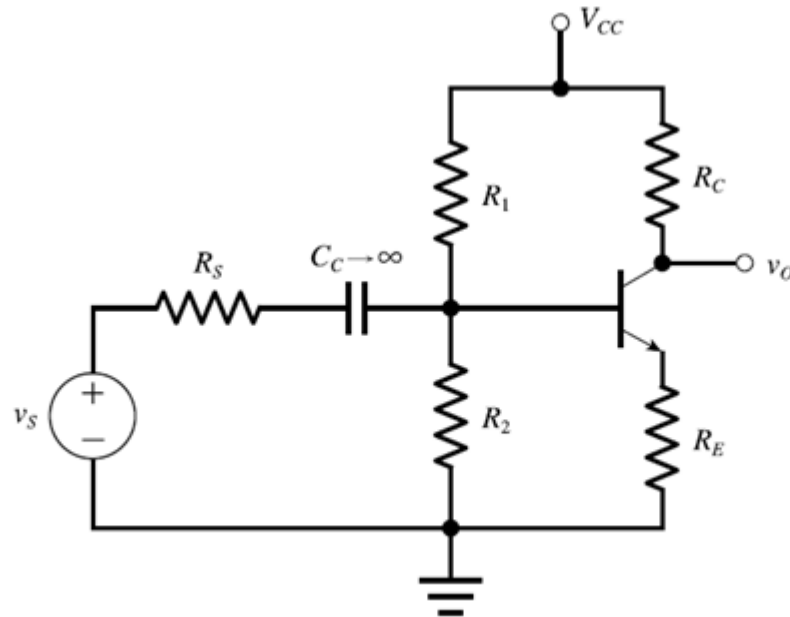
# 공통 이미터(CE) 증폭기

## 예제 4-2

### □ 소신호 회로해석

이미터 저항을 갖는 공통 이미터 증폭기에서 소신호 전압이득, 입력저항을 구하라. 단,  $R_1=100\text{ k}\Omega$ ,  $R_2=15\text{ k}\Omega$ ,  $R_C=0.5\text{ k}\Omega$ ,  $R_S=0.5\text{ k}\Omega$ ,  $R_E=0.1\text{ k}\Omega$

$V_{CC}=15\text{ V}$ ,  $\beta_{DC}=194$ ,  $\beta_{ac}=204$ ,  $V_{BE(on)}=0.7\text{ V}$ , 그리고  $V_A=\infty$  라고 가정하라.



# 공통 이미터(CE) 증폭기

---

- $\beta_{ac}$  값의 값에 따른 소신호 전압이득 변화는,  $\beta_{ac}$  값이 약 50% 감소해도 소신호 전압이득은 약 2.65% 감소한 것으로 보아 안정된 전압이득을 얻었음

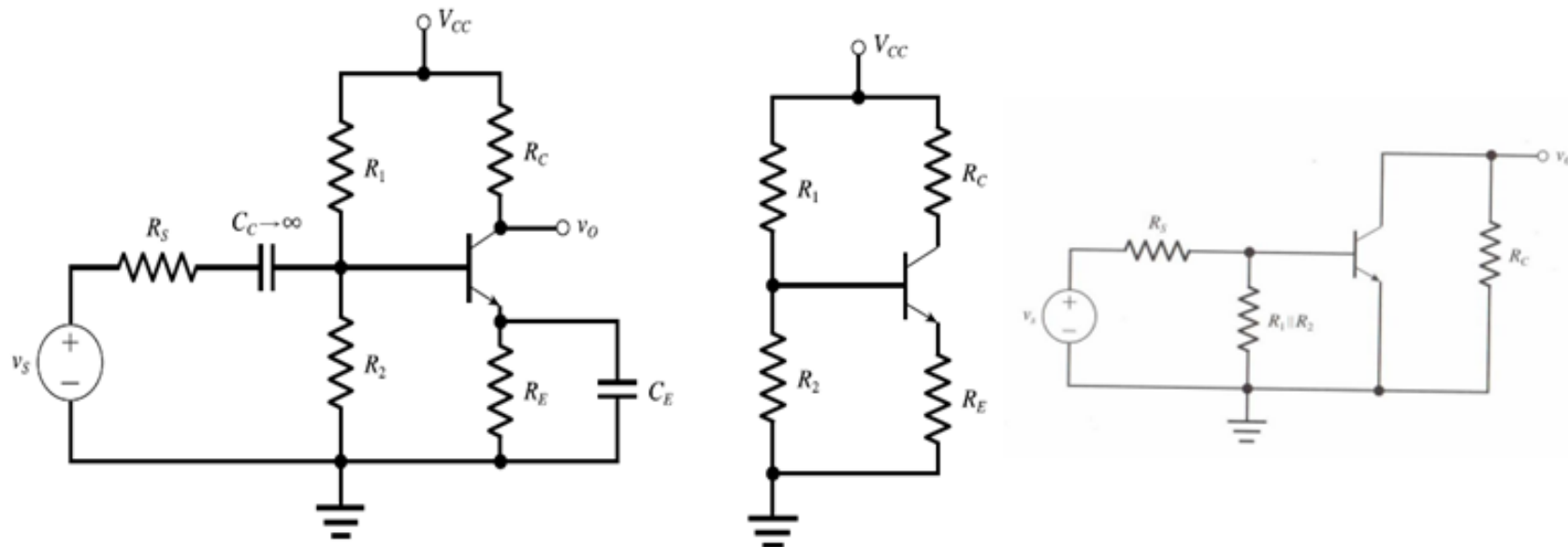
$\beta_{ac}$	Normalized $\beta_{ac}$	전압이득 $A_v$	Normalized $A_v$
204	1.00	-4.53	1.000
180	0.88	-4.51	0.996
160	0.78	-4.50	0.993
100	0.49	-4.41	0.974

# 공통 이미터(CE) 증폭기

## □ 이미터 저항과 바이패스 커패시터를 갖는 공통 이미터 증폭기

- 이미터 저항 공통 이미터 증폭기의 특성은 전압이득 안정화, 전압이득 감소
- 이미터 저항과 커패시터를 병렬로 연결하여 전압이득 감소를 개선함

## □ 전체 회로도와 DC/AC 등가회로

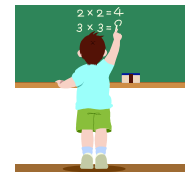
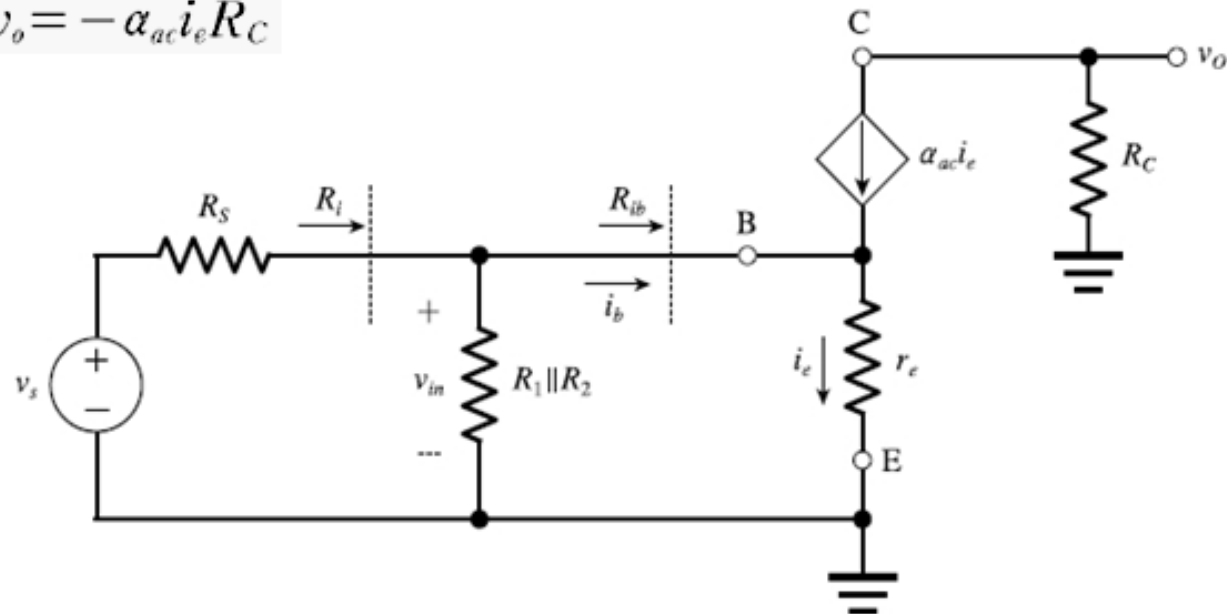


[그림 4-15] 이미터 바이패스 커패시터를 갖는 공통 이미터 증폭기

# 공통 이미터(CE) 증폭기

## □ AC 해석

- $C_E$  가 충분히 큰 값이라면 단락회로로 취급 가능
- DC 전원은 내부저항이 0인 접지로 취급
- AC 등가회로를  $r$ -파라미터 소신호 등가회로로 나타내며  $r_o = \infty$  로 가정
- 컬렉터 전류와 이미터 전류의 관계:  $i_c = \alpha_{ac} i_e$
- 출력 전압 :  $v_o = -\alpha_{ac} i_e R_C$



[그림 4-16] 교류전압 이득을 구하기 위한  $r$ -파라미터 소신호 등가회로

# 공통 이미터(CE) 증폭기

## □ AC 해석

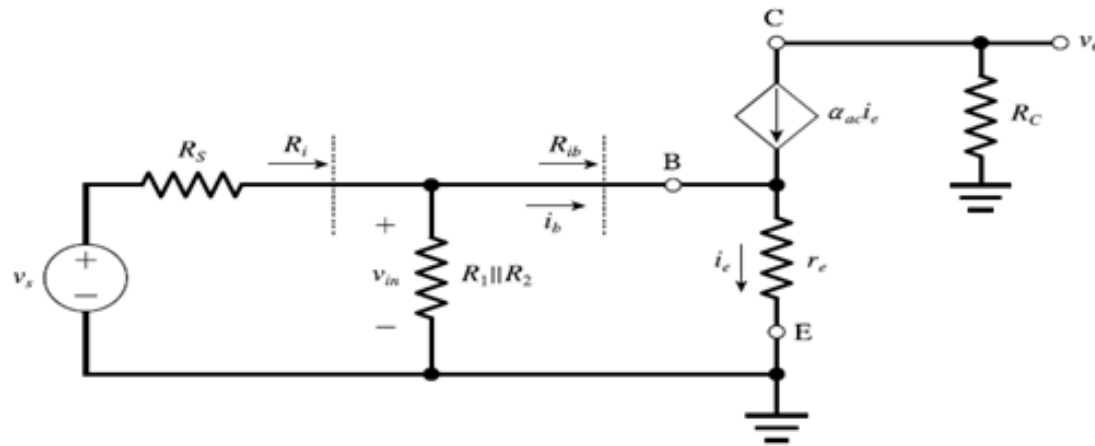
- 베이스 단자에 입력되는 입력전압 :  $v_{in} = \frac{R_i}{R_S + R_i} v_s$
- 이미터 전류 :  $i_e = \frac{v_{in}}{r_e} = \left( \frac{v_s}{r_e} \right) \left( \frac{R_i}{R_S + R_i} \right)$
- 출력전압 :  $v_o = -\alpha_{ac} i_e R_C = \left( \frac{-\alpha_{ac} R_C}{r_e} \right) \left( \frac{R_i}{R_S + R_i} \right) v_s$
- 소신호 전압이득 :  $A_v \equiv \frac{v_o}{v_s} = \left( \frac{-\alpha_{ac} R_C}{r_e} \right) \left( \frac{R_i}{R_S + R_i} \right)$   
➡  $\frac{\alpha_{ac}}{r_e} = g_m$  이므로 하이브리드- $\pi$  등가모델을 이용하여 구한 전압이득과 같음.

# 공통 이미터(CE) 증폭기

## □ AC 해석

- $\alpha_{ac} \simeq 1$  일 때의 소신호 전압이득 :  $A_v \simeq \left( \frac{-R_C}{r_e} \right) \left( \frac{R_i}{R_S + R_i} \right)$
- 베이스 단자에서 본 입력저항 :  $R_{ib} \equiv \frac{v_{be}}{i_b} = \frac{r_e i_e}{i_b}$
- $i_e = (\beta_{ac} + 1)i_b$  이므로 하이브리드- $\pi$  등가모델의 입력저항과 동일한 결과임을 확인.

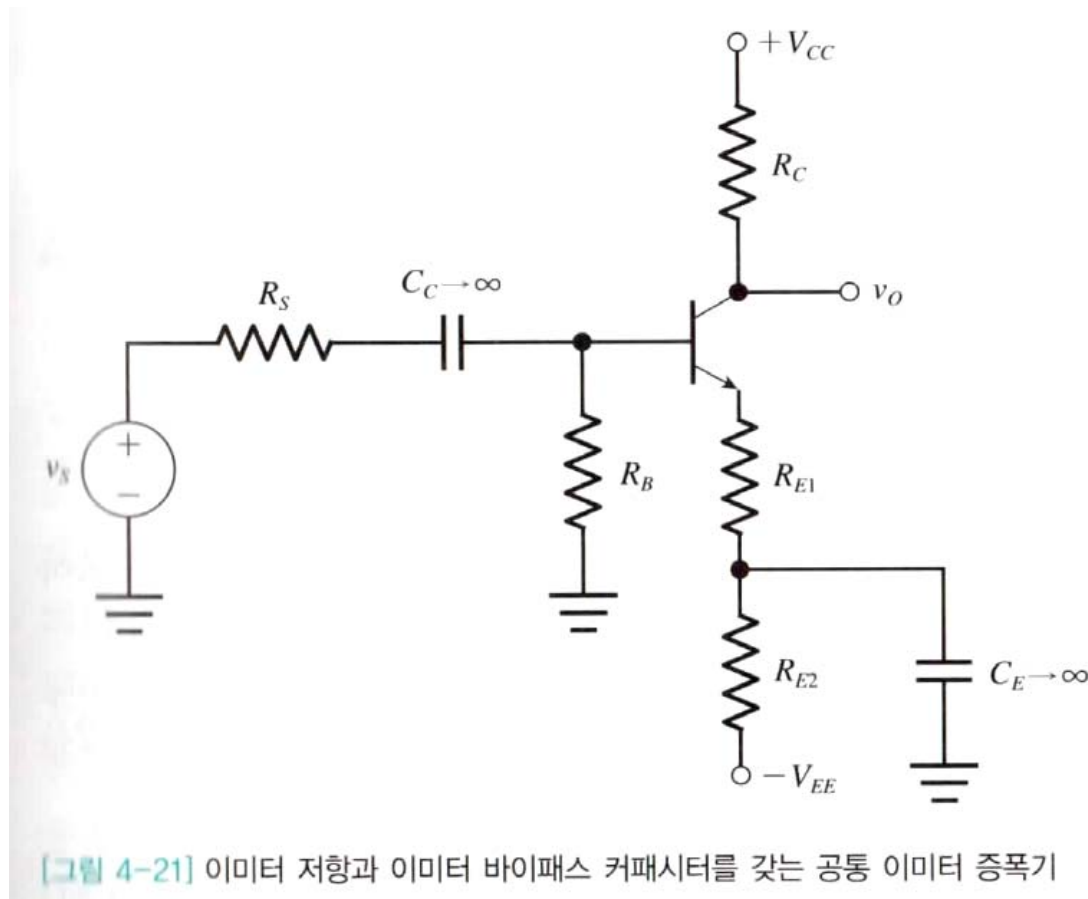
$$R_{ib} = \frac{r_e i_e}{i_b} = (\beta_{ac} + 1)r_e = r_{\pi}$$



# 공통 이미터(CE) 증폭기

## □ 이미터 저항의 일부만 바이패스 시키는 회로

- Q점 안정성과 소신호 전압이득을 동시에 개선

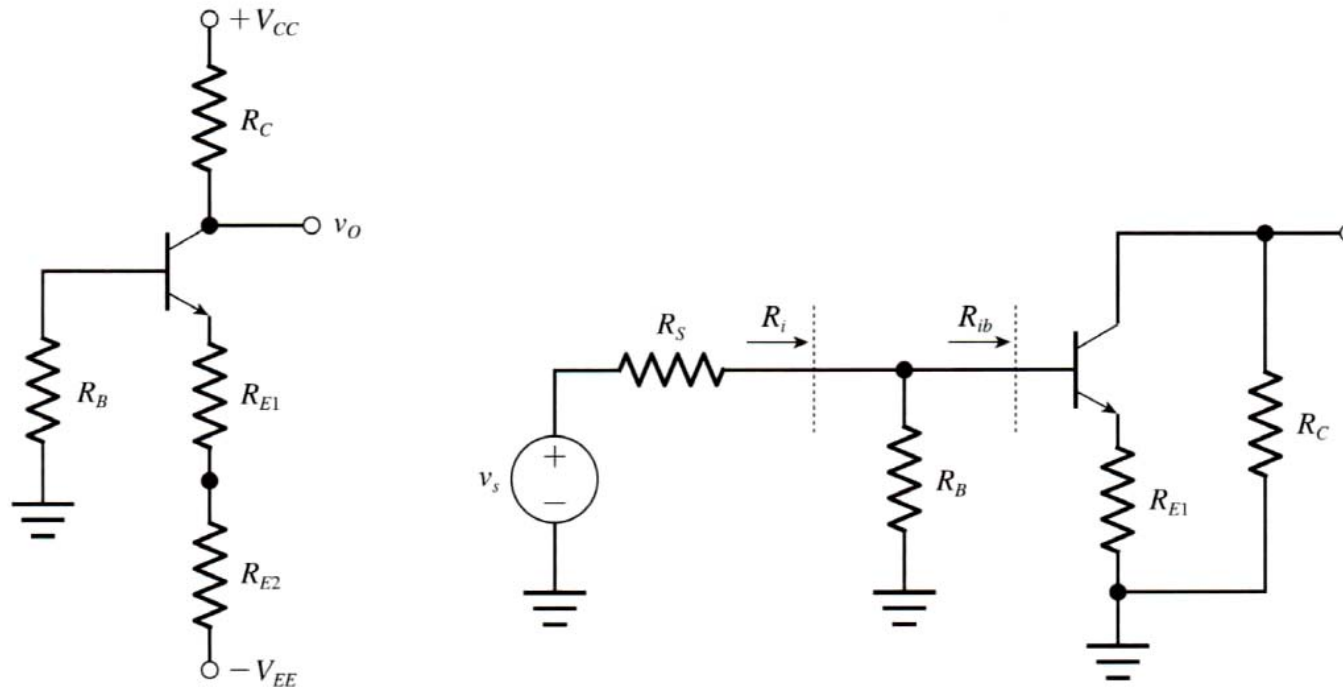




# 공통 이미터(CE) 증폭기

## □ 이미터 저항의 일부만 바이패스 시키는 회로

- DC 해석에는 이미터 저항  $R_{E1}$ ,  $R_{E2}$  모두 포함
- AC 해석에는 이미터 저항  $R_{E1}$ 만 포함



(a) DC 등가회로

(b) AC 등가회로

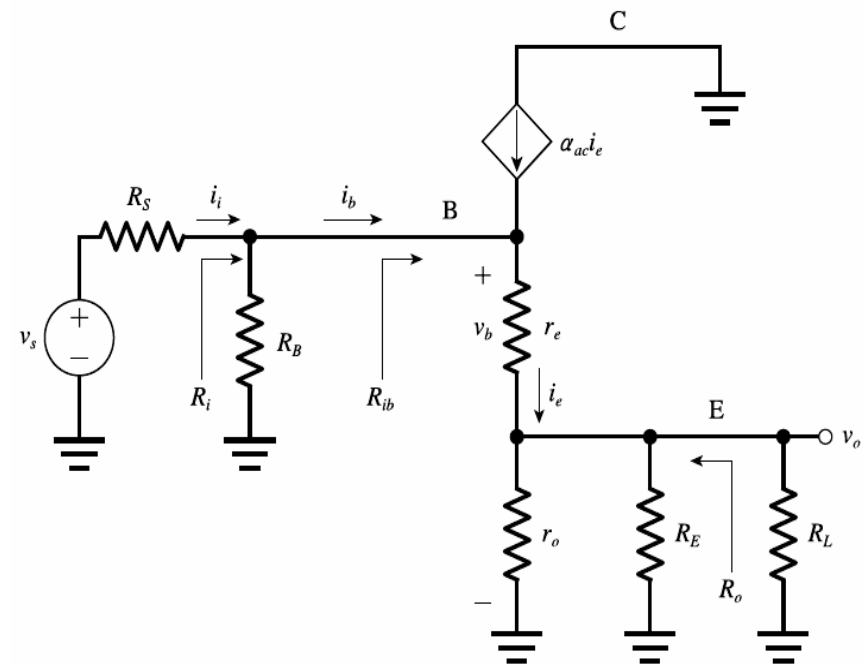
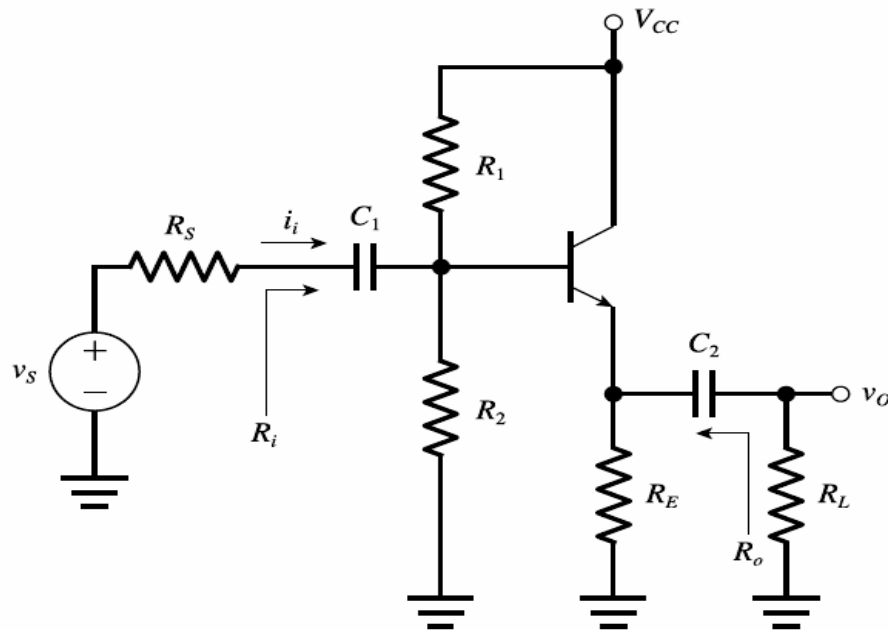
[그림 4-22] [그림 4-21] 회로의 DC 및 AC 등가회로

# 공통 컬렉터(CC) 증폭기

## □ 공통 컬렉터 증폭기 회로

- 입력은 커패시터를 통해 베이스에 연결
- 출력은 이미터에서 커패시터를 통해 부하로 연결
- 컬렉터에 전원  $V_{CC}$  과 연결, 소신호적으로 접지

## □ 전체 회로도와 소신호 등가회로



# 공통 컬렉터(CC) 증폭기

## □ r-파라미터 모델을 이용한 공통 컬렉터 증폭기 회로

- 소신호 등가회로에서 베이스 단자로 본 입력저항

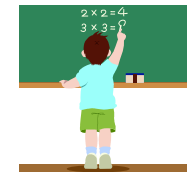
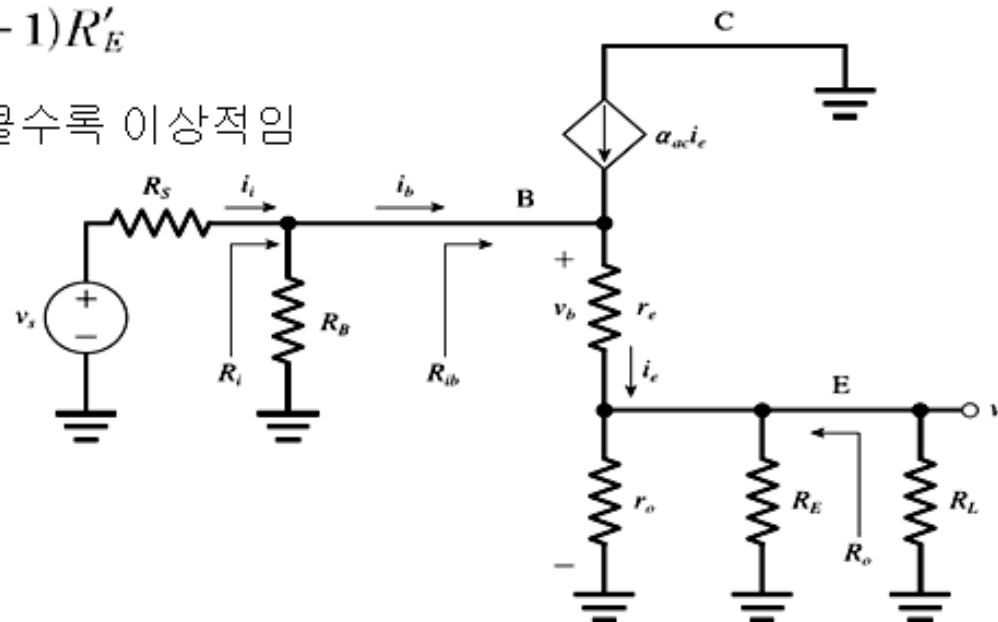
$$R_{ib} \equiv \frac{v_b}{i_b} = \frac{i_e[r_e + (r_o \parallel R_E \parallel R_L)]}{i_b} = (\beta_{ac} + 1)(r_e + R'_E)$$

$i_e = (\beta_{ac} + 1)i_b$ 의 관계를 적용가능,  $R'_E = r_o \parallel R_E \parallel R_L$ 로 사용

$r_\pi = (\beta_{ac} + 1)r_e$  이므로 하이브리드- $\pi$  모델로 적용

$$R_{ib} = r_\pi + (\beta_{ac} + 1)R'_E$$

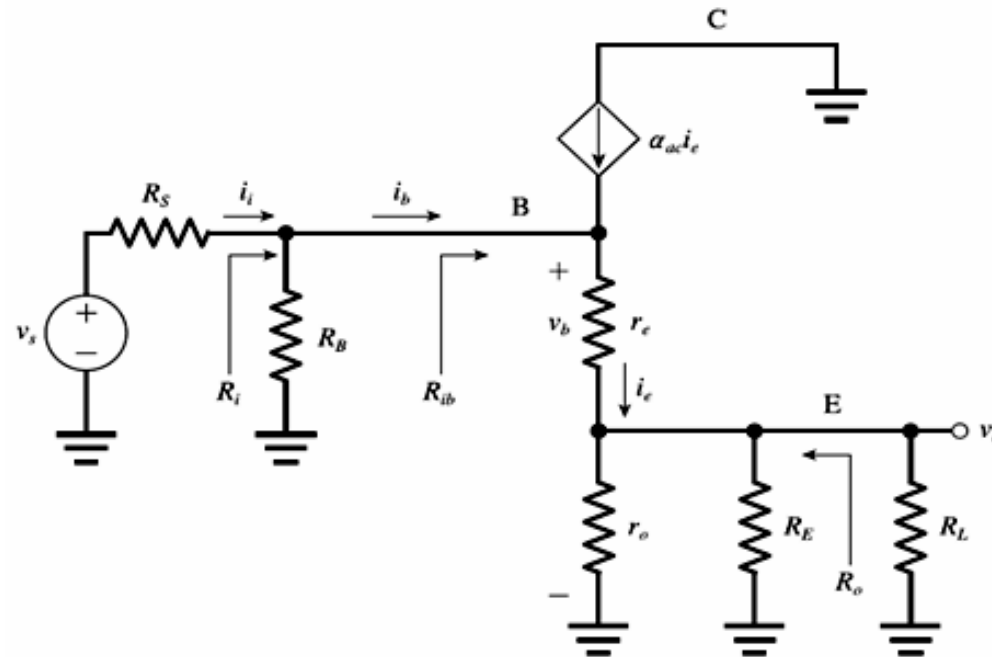
- 입력 임피던스 값은 클수록 이상적임



# 공통 컬렉터(CC) 증폭기

## □ r-파라미터 모델을 이용한 공통 컬렉터 증폭기 회로

- $r_e \ll R'_E$ 이고  $\beta_{ac} \gg 1$  이면 :  $R_{ib} \cong \beta_{ac} R'_E$
- 신호원  $v_s$ 에서 본 입력저항 :  $R_i \cong R_B \parallel R_{ib}$  (  $R_B = R_1 \parallel R_2$  )
- 소신호 등가회로로부터 베이스 전압 :  $v_b = \frac{R_i}{R_s + R_i} v_s$
- 출력 전압 :  $v_o = \frac{R'_E}{r_e + R'_E} v_b$



# 공통 컬렉터(CC) 증폭기

## □ r-파라미터 모델을 이용한 공통 컬렉터 증폭기 회로

- 전압이득

$$A_v \equiv \frac{v_o}{v_s} = \left( \frac{R'_E}{r_e + R'_E} \right) \left( \frac{R_i}{R_s + R_i} \right)$$

$R_i = R_B \parallel [(\beta_{ac} + 1)(r_e + R'_E)]$  이고 바이어스 저항을 큰 값으로 선택하면,  
 $R_i \simeq (\beta_{ac} + 1)(r_e + R'_E)$  가 되어  $A_v$ 가 다음 식으로 정리됨

$$A_v = \frac{(\beta_{ac} + 1)R'_E}{R_s + (\beta_{ac} + 1)(r_e + R'_E)} = \frac{R'_E}{\frac{R_s}{(\beta_{ac} + 1)} + (r_e + R'_E)}$$

- 위 식에서

$\frac{R_s}{(\beta_{ac} + 1)}$  는  $(r_e + R'_E)$ 보다 적은 값이며  $r_e \ll R'_E$  이므로 전압이득의 근사화가 가능

$$A_v \simeq \frac{R'_E}{r_e + R'_E} \simeq 1$$



# 공통 컬렉터(CC) 증폭기

## □ r-파라미터 모델을 이용한 공통 컬렉터 증폭기 회로

- $v_x$  와  $i_x$ 로부터 다음관계식이 얻어짐

$$\frac{1}{R_o} \equiv \frac{i_x}{v_x} = \frac{1}{r_o \parallel R_E} + \frac{1}{r_e + (1 - \alpha_{ac})(R_S \parallel R_B)}$$

- 공통 컬렉터 증폭기의 소신호 출력저항은 다음과 같음

$$\begin{aligned} R_o \equiv \frac{v_x}{i_x} &= (r_o \parallel R_E) \parallel [r_e + (1 - \alpha_{ac})(R_S \parallel R_E)] \\ &= (r_o \parallel R_E) \parallel \left( r_e + \frac{R_S \parallel R_E}{\beta_{ac} + 1} \right) \end{aligned}$$

- $r_e \ll (r_o \parallel R_E)$ 이므로 간소화가 가능하고, 출력저항은 아래와 같이 표현됨

$$R_{out} \simeq (r_o \parallel R_E) \parallel r_e \simeq r_e$$

# 공통 컬렉터(CC) 증폭기

---

- 이상의 결과로부터 공통 컬렉터 증폭기의 출력저항은 매우 작으며, 따라서 작은 저항의 부하를 구동하는데 적합하다는 것을 알 수 있음
- 공통 컬렉터 증폭기는 큰 입력저항과 작은 출력저항을 가지며, 전압이득이 1에 가까우므로 임피던스 매칭용 버퍼(buffer)로 사용

## □ 공통 컬렉터 증폭기의 소신호 전류이득 :

$$A_i \simeq \frac{i_e}{i_i} = \beta_{ac} + 1$$

- 만약  $R_{ib} \ll R_B$ 이면  $i_i \simeq i_b$ 가 되어 소신호 전류이득은 아래와 같이 표현됨

$$A_i \equiv \frac{i_e}{i_i}$$

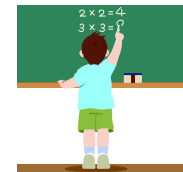
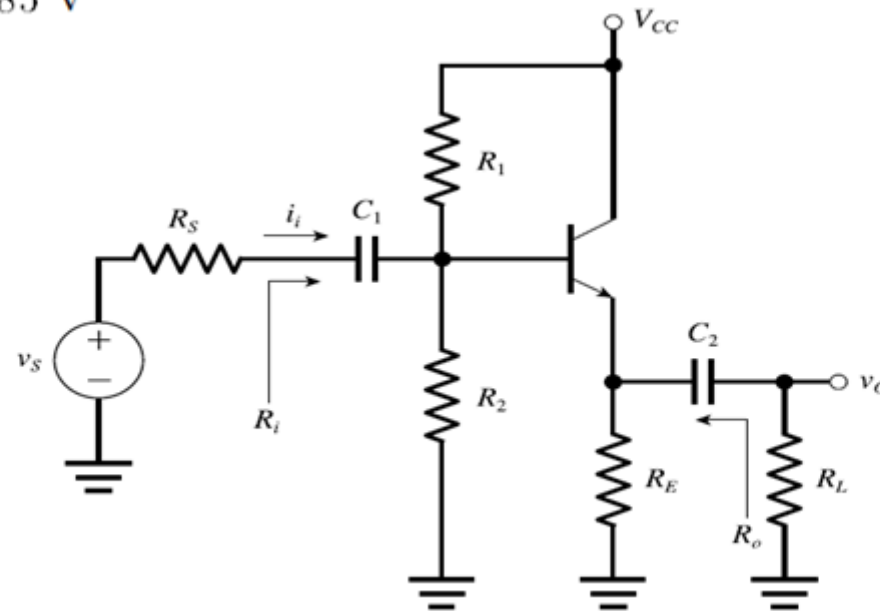


# 공통 컬렉터(CC) 증폭기

## 예제 4-4

### □ 공통 컬렉터 증폭기 소신호 해석

이 공통 컬렉터 증폭기의 소신호 파라미터  $g_m$ ,  $r_e$ ,  $r_o$ 를 구하고, 소신호 전압이득, 베이스 단자 입력저항, 그리고 출력저항을 구하라. 단,  $R_S = 0.5 \text{ k}\Omega$ ,  $R_1 = 100 \text{ k}\Omega$ ,  $R_2 = 50 \text{ k}\Omega$ ,  $R_E = 2 \text{ k}\Omega$ ,  $R_L = 1 \text{ k}\Omega$ 이고  $V_{CC} = 15 \text{ V}$ ,  $\beta_{DC} = 177$ ,  $\beta_{ac} = 194$ ,  $V_{BE(on)} = 0.66 \text{ V}$ ,  $V_A = 85 \text{ V}$

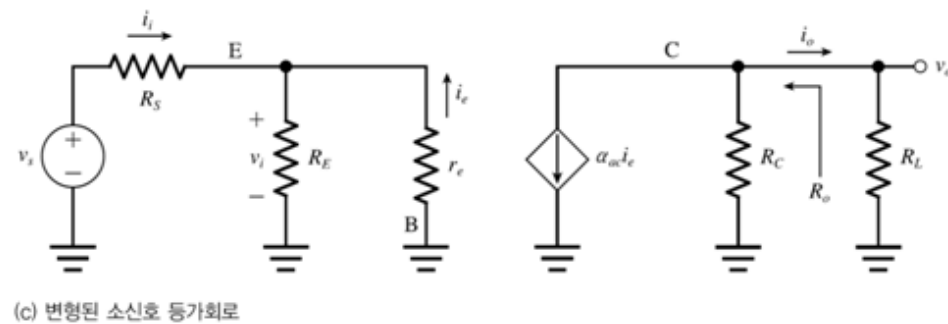
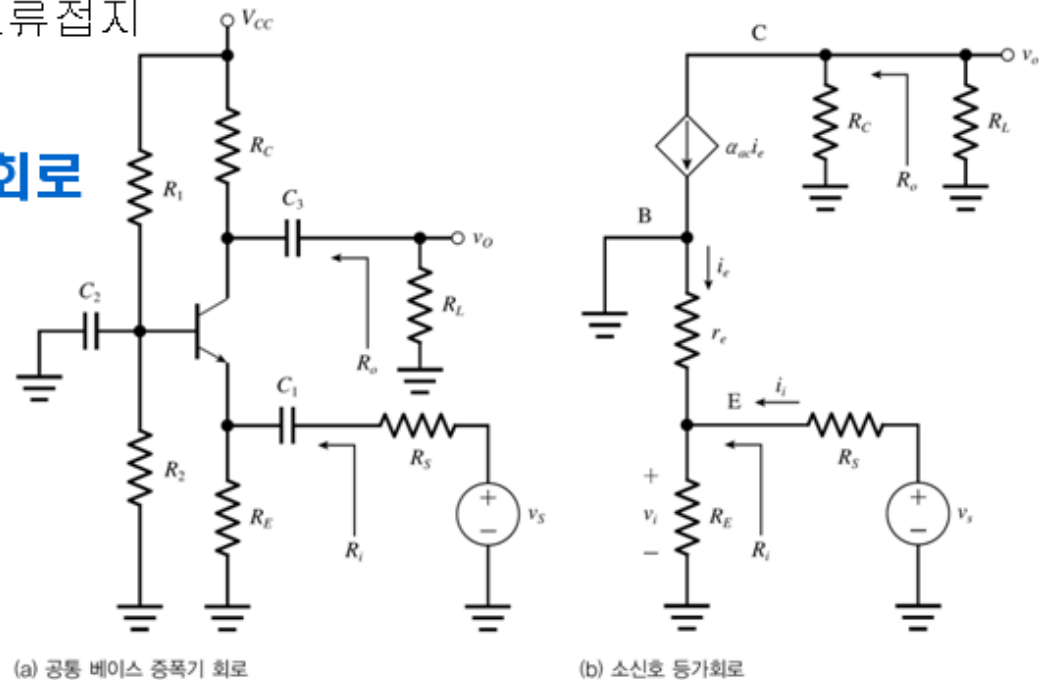


# 공통 베이스(CB) 증폭기

## □ 공통 베이스 증폭기 회로

- 베이스는 커패시터를 통해 교류접지
- 출력은 컬렉터에서 얻음

## □ 전체 회로도와 소신호 등가회로



# 공통 베이스(CB) 증폭기

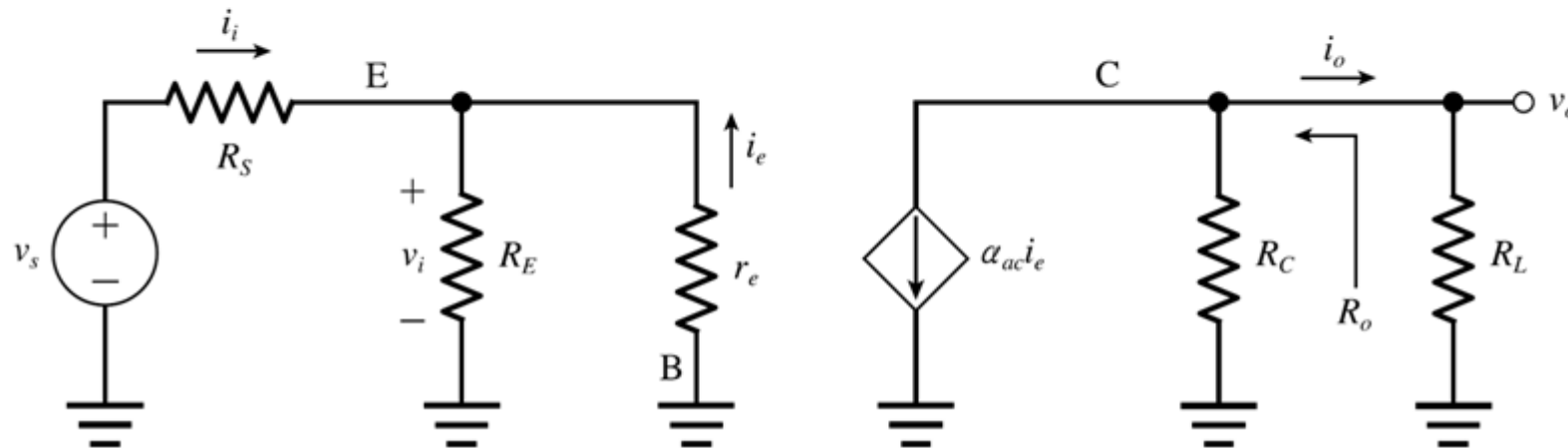
## □ r-파라미터 모델을 이용한 공통 베이스 회로

- 공통 베이스 증폭기의 소신호 전압이득
  - 소신호 등가회로로부터 출력전압은 다음과 같이 계산

$$v_o = -(R_C \parallel R_L) \alpha_{ac} i_e$$

- 이미터 단자에 걸리는 전압과 전류

$$v_i = \frac{R_E \parallel r_e}{R_S + (R_E \parallel r_e)} v_s \quad i_e = -\frac{v_i}{r_e} = -\left(\frac{v_s}{r_e}\right) \left(\frac{R_E \parallel r_e}{R_S + (R_E \parallel r_e)}\right)$$



# 공통 베이스(CB) 증폭기

## □ r-파라미터 모델을 이용한 공통 베이스 회로

- 전압이득

$$A_v \equiv \frac{v_o}{v_s} = \frac{\alpha_{ac}(R_C \parallel R_L)}{r_e} \frac{R_E \parallel r_e}{R_S + (R_E \parallel r_e)}$$

$r_e \ll R_E$ 이면  $R_E \parallel r_e \simeq r_e$  이므로 전압이득식은 근사화 가능

$$A_v \simeq \frac{\alpha_{ac}(R_C \parallel R_L)}{R_S + r_e} = \left( \frac{\beta_{ac}}{\beta_{ac} + 1} \right) \left( \frac{R_C \parallel R_L}{R_S + r_e} \right)$$

$\alpha_{ac} \simeq 1$  이므로  $r_e \ll R_E$  이면 전압이득은 다음과 같이 근사화 가능

$$A_v \simeq \frac{R_C \parallel R_L}{R_S}$$

# 공통 베이스(CB) 증폭기

## □ r-파라미터 모델을 이용한 공통 베이스 회로

- 전류이득

- 출력전류 :
$$i_o = -\left(\frac{R_C}{R_C + R_L}\right)(\alpha_{ac} i_e)$$

- 이미터전류 :
$$i_e = -\left(\frac{R_E}{R_E + r_e}\right)i_i \simeq -i_i$$

- 교류전류이득 :
$$A_i \equiv \frac{i_o}{i_i} = \frac{\alpha_{ac} R_C}{R_C + R_L}$$

- $R_L \ll R_C$ 이면  $\alpha_{ac} \simeq 1$ 이므로 전류이득이 1에 가까워짐

$$A_i \simeq \alpha_{ac} \simeq 1$$

➡ 따라서 공통 베이스 증폭기를 전류 버퍼라고도 함

# 공통 베이스(CB) 증폭기

---

## □ r-파라미터 모델을 이용한 공통 베이스 회로

- 입력저항

$v_i = (R_E \parallel r_e) i_i$  이며 일반적으로  $r_e \ll R_E$  이므로 근사화 가능

$$R_i \equiv \frac{v_i}{i_i} = R_E \parallel r_e \simeq r_e$$

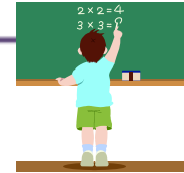
- 출력저항

컬렉터에서 본 출력저항은  $r_o \gg R_C$ 이며  $r_o \parallel R_C$ 이면 다음과 같음

$$R_o \simeq R_C$$

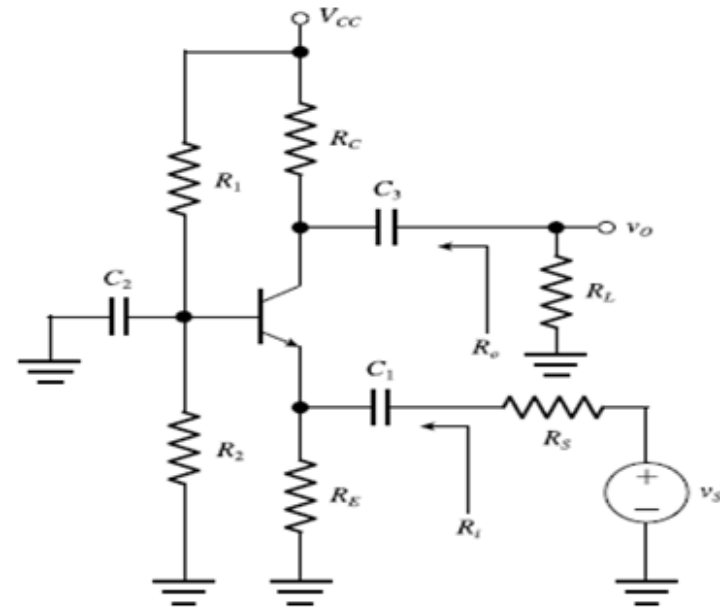
# 공통 베이스(CB) 증폭기

## 예제 4-5



### □ 공통 베이스 증폭기 소신호 해석

이 공통 베이스 증폭기 회로에서 소신호 파라미터  $g_m$ ,  $r_e$ ,  $r_o$ 를 구하고, 또한 소신호 전압이득, 소신호 전류이득, 입력저항을 구하라. 단,  $R_1=100\text{ k}\Omega$ ,  $R_2=20\text{ k}\Omega$ ,  $R_C=5\text{ k}\Omega$ ,  $R_E=1\text{ k}\Omega$ ,  $R_S=0.2\text{ k}\Omega$ ,  $R_L=1\text{ k}\Omega$ ,  $V_{CC}=15\text{ V}$ ,  $\beta_{DC}=163$ ,  $\beta_{ac}=180$ ,  $V_{BE(on)}=0.66\text{ V}$ ,  $V_A=\infty$



# BJT 증폭기의 특성 비교

## □ 3가지 기본적인 BJT 증폭기의 소신호 특성

구성	전압이득	전류이득	입력저항	출력저항
공통 이미터	$A_v > 1$	$A_i > 1$	중간	중간~높음
공통 베이스	$A_v > 1$	$A_i \simeq 1$	낮음	중간~높음
공통 컬렉터	$A_v \simeq 1$	$A_i > 1$	높음	낮음