

---

# 전류거울

# 반도체 IC 전자회로

---

일반적으로 실리콘 기판에 다수의 소자를 집적하여 만들어지는 반도체 IC는 개별 소자로 구성되는 회로와 여러 측면에서 다르다. 칩 면적을 많이 차지하는 저항과 커패시터의 사용을 피해야 한다.

- 트랜지스터는 저항이나 커패시터에 비해 작은 칩 면적으로 만들 수 있어 경제적이며, 소자의 특성 정합이 용이하다는 장점을 갖는다.
- 정전류원 회로는 큰 출력저항을 가지므로 부하저항 대신에 능동부하로도 사용되어, 작은 칩 면적으로 큰 전압이득을 얻을 수 있다.

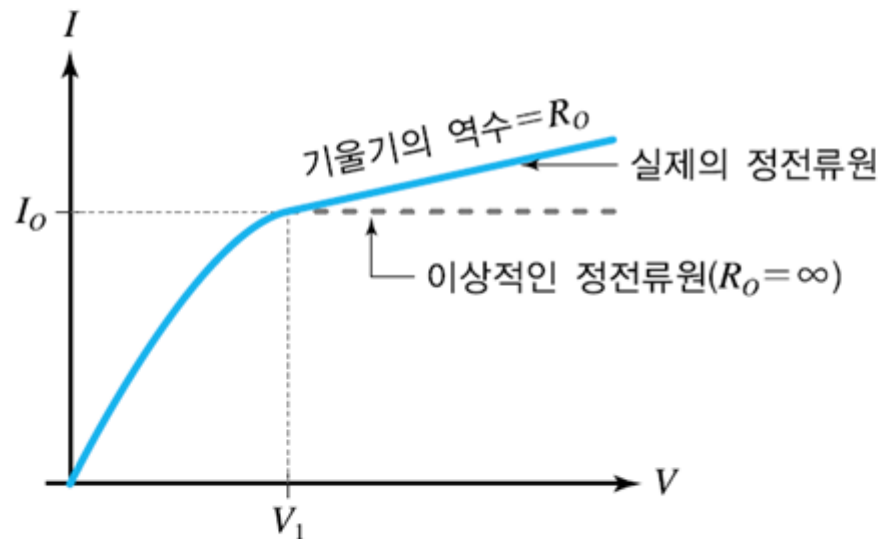
## 7.2.5 BJT 정전류원 회로

---

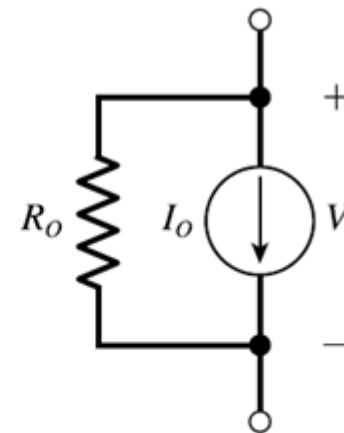
- 선형영역에서 동작하는 BJT에 베이스 전류가 일정한 값으로 고정되면,  $v_{CE}$  전압의 변화와 무관하게 거의 일정한 컬렉터 전류가 흐르므로 제한된 전압범위에서 정전류원으로 사용될 수 있다.
- 포화영역에서 동작하는 MOSFET에 게이트 전압이 일정한 값으로 고정되면,  $v_{DS}$  전압의 변화와 무관하게 거의 일정한 드레인 전류가 흐르므로 역시 제한된 전압범위에서 정전류원으로 사용될 수 있다.

## 7.2.5 BJT 정전류원 회로

- 정전류원 : 전압변동에 무관하게 항상 일정한 전류를 공급(흡수)하는 회로
  - 큰 출력저항을 가져 능동부하로도 사용되어 큰 전압이득을 얻을 수 있음
  - IC 증폭기에서는 트랜지스터를 이용한 정전류원 바이어스 회로가 보편적으로 사용됨



(a) 전압-전류 특성

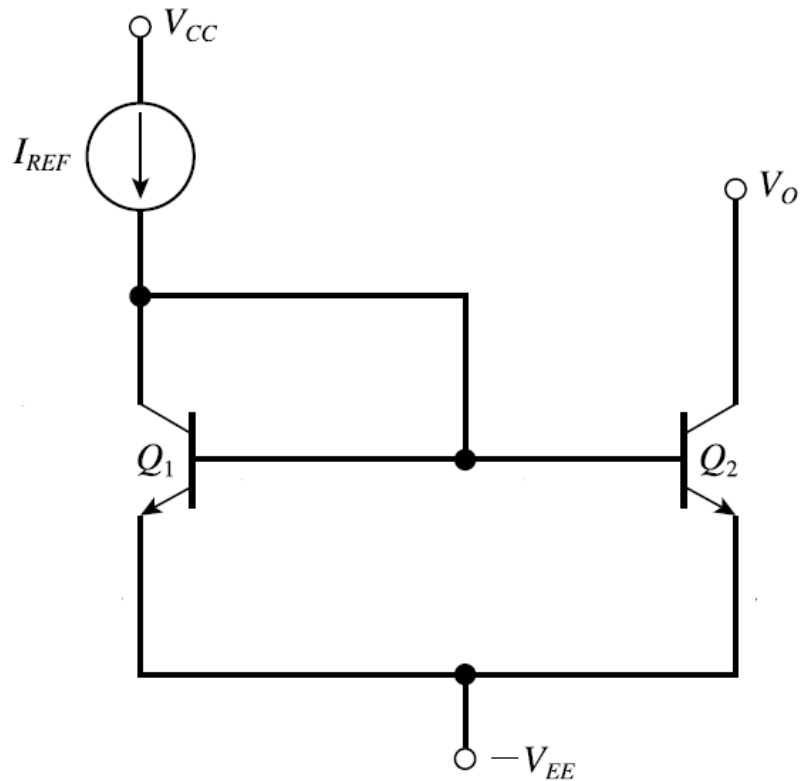
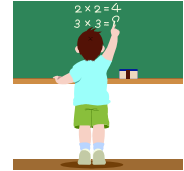


(b) 등가회로

[그림 7-14] BJT 정전류원의 전압-전류 특성 및 등가회로

## 7.2.5 BJT 정전류원 회로

### 전류거울 회로

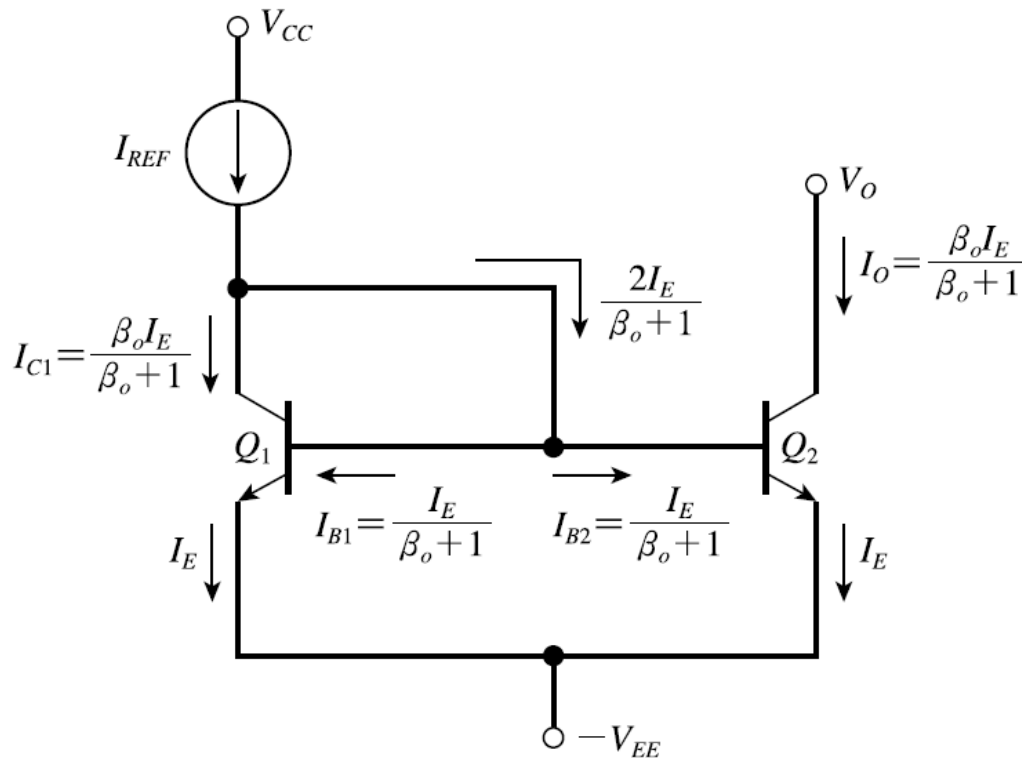


$Q_1, Q_2$ 는 정합된 소자

$Q_1$ 은 컬렉터가 베이스로 연결되어 등가적으로 다이오드와 같이 동작한다.

## 7.2.5 BJT 정전류원 회로

### 전류거울 회로



[그림 7-15] 전류거울 회로

$Q_1$ 의 이미터 전류  $I_E$



$$I_{C1} = \frac{\beta_o}{\beta_o + 1} I_E$$



$$I_{B1} = \frac{I_E}{\beta_o + 1}$$



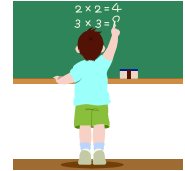
$$I_{REF} = I_{C1} + I_{B1} + I_{B2} = \frac{\beta_o}{\beta_o + 1} I_E + \frac{2}{\beta_o + 1} I_E$$

$$= \frac{\beta_o + 2}{\beta_o + 1} I_E$$

한편,  $I_O$ 는  $I_{B2}$ 의  $\beta_o$  배 이므로,  $I_O = I_{C2} = \frac{\beta_o}{\beta_o + 1} I_E$

- 전류거울 회로의 전류이득

$$\frac{I_O}{I_{REF}} = \frac{\beta_o}{\beta_o + 2} = \frac{1}{1 + 2/\beta_o} \simeq 1$$

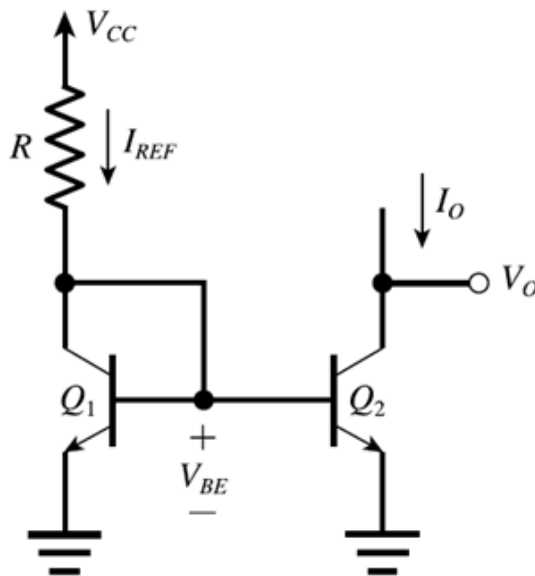


## 7.2.5 BJT 정전류원 회로

### 전류거울 회로

- 전류거울 회로의 예 [그림 7-16]
- $\beta_0 \gg 1$  이고  $I_O$ 의  $V_O$ 에 대한 의존성을 무시하면  $I_O = I_{REF}$ 가 되며,
- $V_O \geq V_{BE2}$  이면,  $Q_2$ 가 선형영역에서 동작하여 정전류원으로 동작함

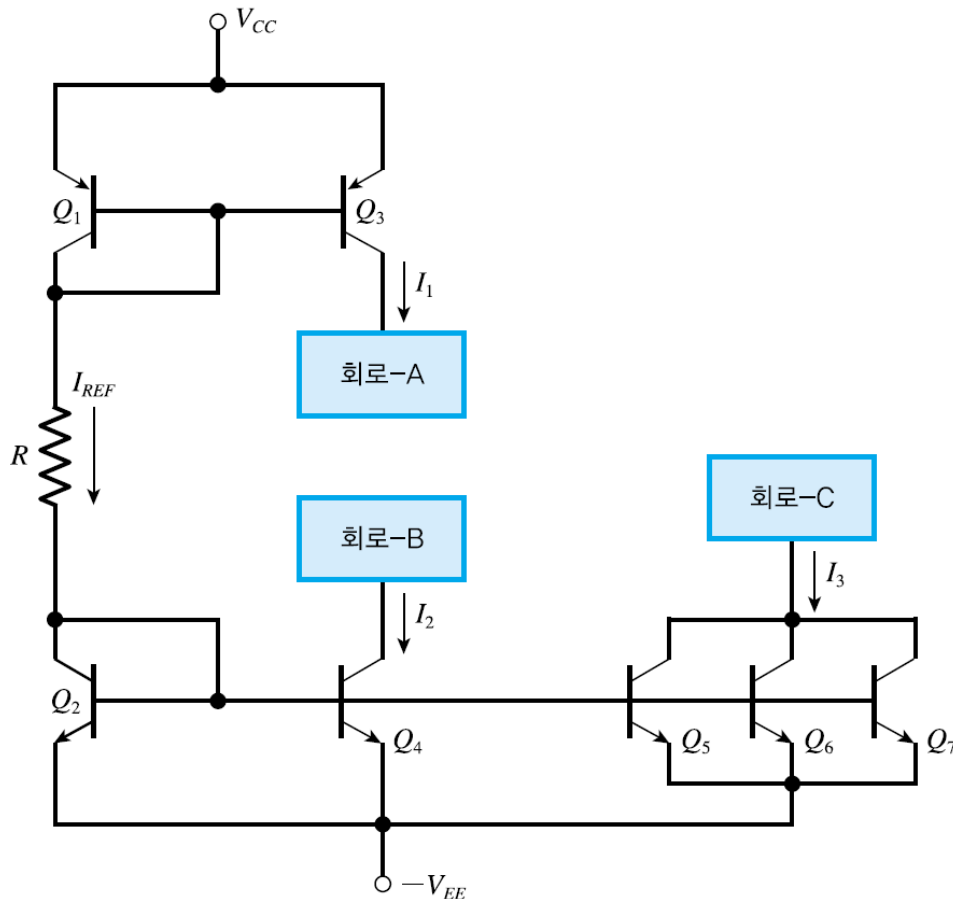
$$I_{REF} = \frac{V_{CC} - V_{BE}}{R} \quad (7.48)$$



[그림 7-16] 전류거울 회로의 예

## 7.2.5 BJT 정전류원 회로

### 다중 출력 전류거울 회로



$$I_{REF} = \frac{V_{CC} + V_{EE} - (V_{BE1} + V_{BE2})}{R}$$

모든 트랜지스터의 전류이득이  $\beta_o$ 로 같고  $\beta_o \gg 1$ 이라고 가정하면,

$Q_1$ 과  $Q_3$  그리고  $Q_2$ 와  $Q_4$ 가 각각 전류거울로 동작  $\rightarrow I_1 = I_2 = I_{REF}$

이때,  $V_{C3} \leq V_{CC} - V_{BE3}$ ,  $V_{C4} \geq -V_{EE} + V_{BE4}$

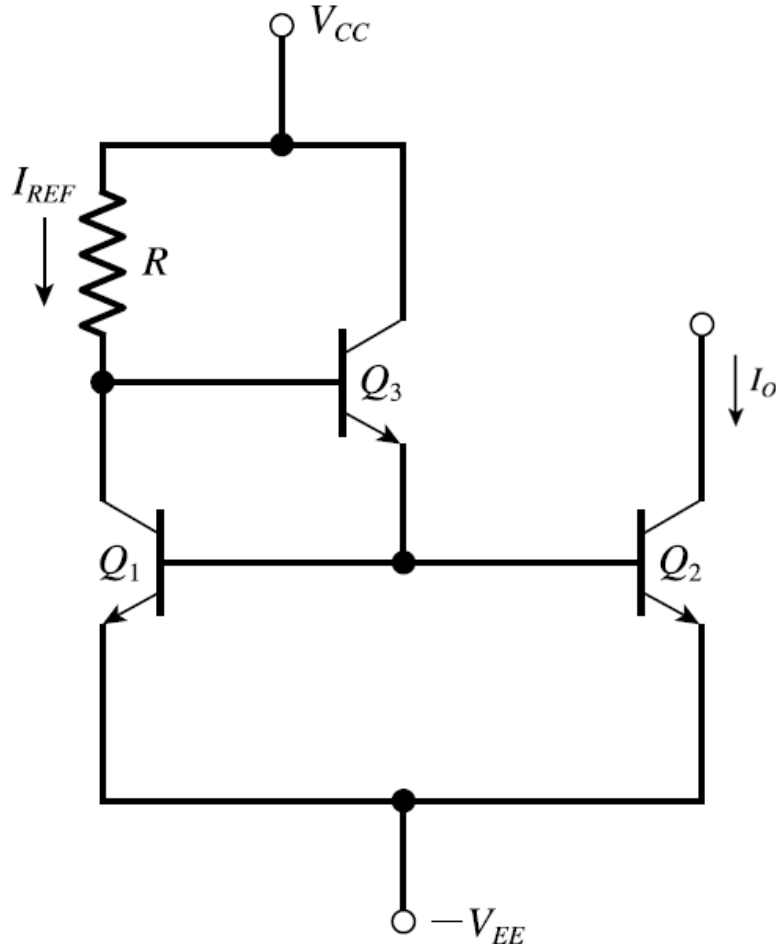
$Q_2$ -( $Q_5, Q_6, Q_7$ )도 전류거울 구성  $\rightarrow I_3 = 3I_{REF}$

[그림 7-17] 다중 출력 전류거울 회로



## 7.2.5 BJT 정전류원 회로

베이스 전류 보상을 갖는 전류거울 회로

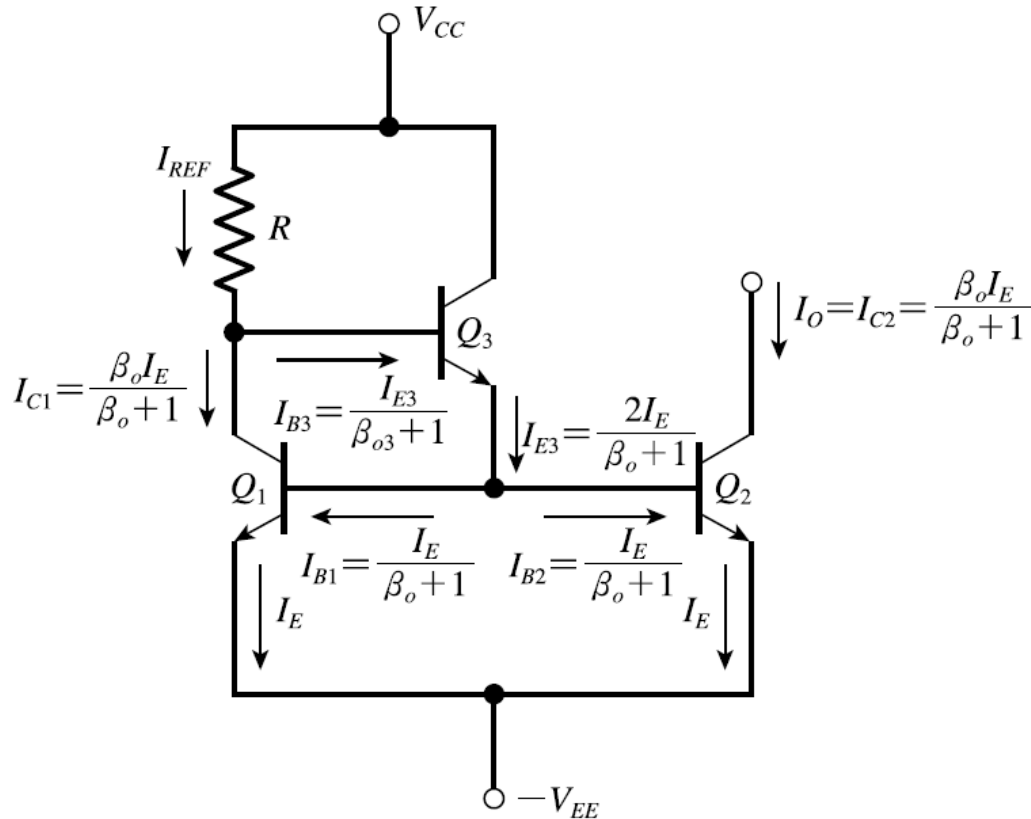


이상적인 전류거울 특성인  $I_O = I_{REF}$ 를 얻기 위해서는  $Q_1$ ,  $Q_2$ 의  $\beta_o$ 가 매우 커야 하지만, 실제 구현에는 한계가 있다.

$Q_3$ 를 추가하여,  $Q_1$ 과  $Q_2$ 의 베이스 전류를 보상한다.

## 7.2.5 BJT 정전류원 회로

베이스 전류 보상을 갖는 전류거울 회로



[그림 7-18] 베이스 전류 보상을 갖는 전류거울 회로

$Q_1$ 의 이미터 전류  $I_E$



$$I_{C1} = \frac{\beta_o I_E}{\beta_o + 1} \quad I_{B1} = \frac{I_E}{\beta_o + 1} \quad I_{B2} = \frac{I_E}{\beta_o + 1}$$

$$I_{E3} = \frac{2I_E}{\beta_o + 1}$$

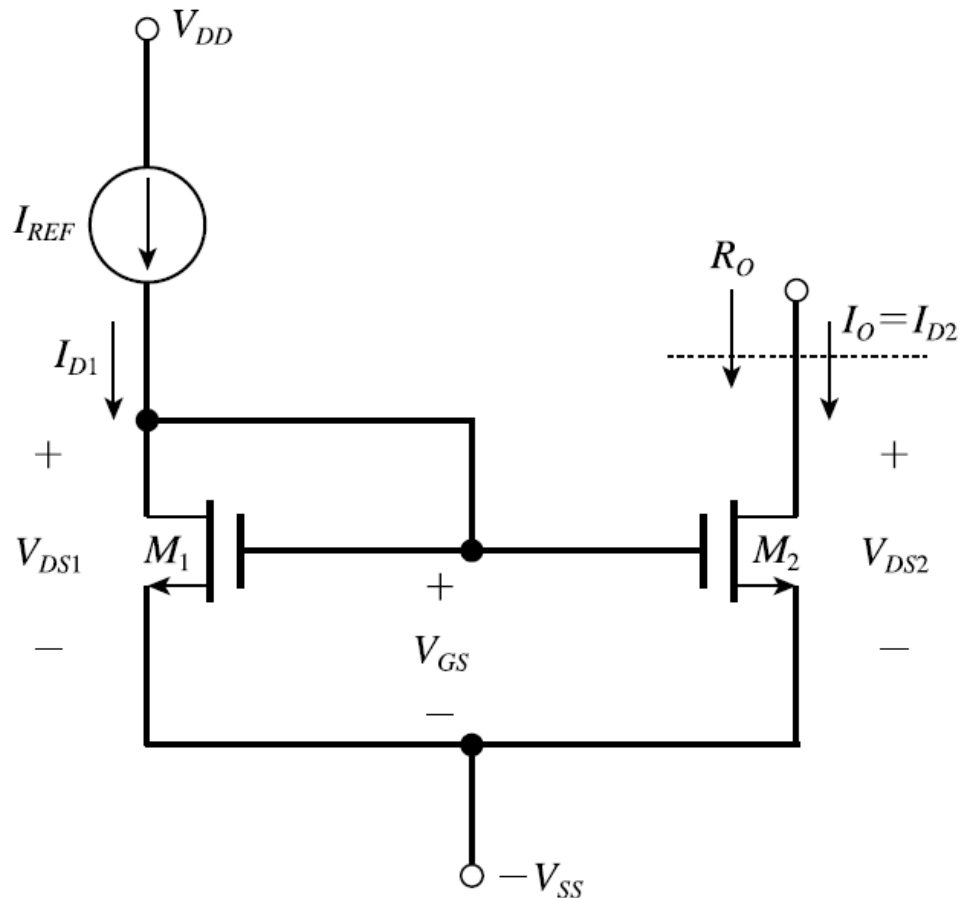
$$I_{B3} = \frac{I_{E3}}{\beta_{o3} + 1} = \frac{I_{B1} + I_{B2}}{\beta_{o3} + 1}$$

$$I_{REF} = I_{C1} + I_{B3} = \frac{\beta_o}{\beta_o + 1} I_E + \frac{2}{(\beta_{o3} + 1)(\beta_o + 1)} I_E$$

$$= \frac{\beta_o I_E}{\beta_o + 1} \left[ 1 + \frac{2}{\beta_o (\beta_{o3} + 1)} \right]$$

$$I_O = I_{C2} = \frac{\beta_o I_E}{\beta_o + 1} = \frac{I_{REF}}{1 + \frac{2}{\beta_o (\beta_{o3} + 1)}} \simeq I_{REF}$$

## 7.3.4 MOSFET 정전류원 회로



MOSFET  $M_1$ 과  $M_2$ 는 게이트가 서로 연결되고, 소오스도 서로 연결 →

$$V_{GS1} = V_{GS2}$$

$M_1$ 과  $M_2$ 는 정합되었다고 가정 →

$$V_{Tn1} = V_{Tn2} = V_{Tn}$$

$$\lambda = 0$$

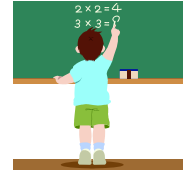
$$I_{D1} = \frac{1}{2} K_{n1} (V_{GS} - V_{Tn})^2 = I_{REF}$$

$$I_O = I_{D2} = \frac{1}{2} K_{n2} (V_{GS} - V_{Tn})^2$$

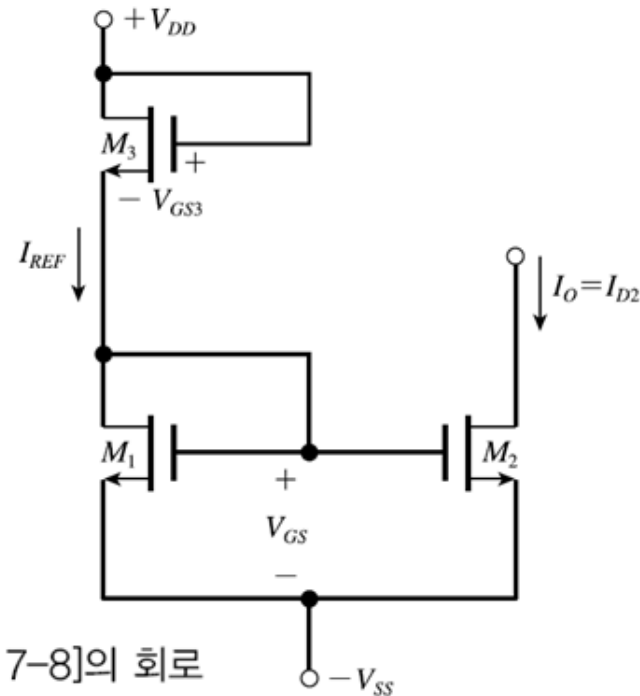
$$R_O = \left( \frac{dI_O}{dV_{DS2}} \right)^{-1} = \frac{1}{\lambda I_O} = r_o$$

## 7.3.4 MOSFET 정전류원 회로

### 예제 7-8



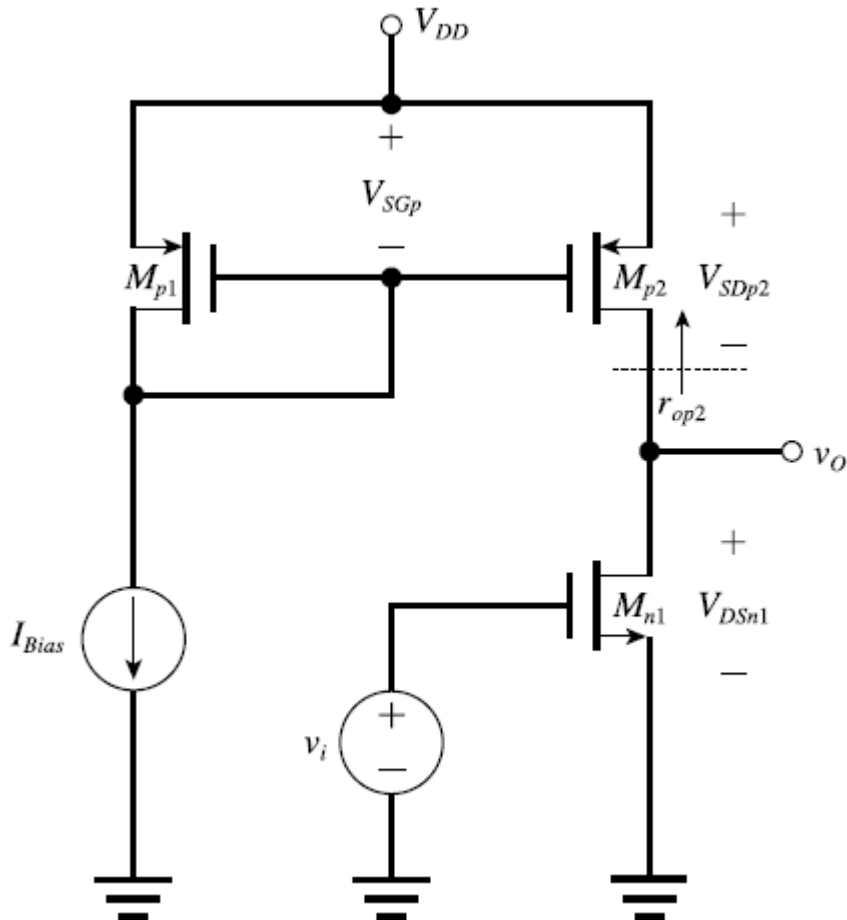
[그림 7-26]에서 기준전류  $I_{REF}$ 는 저항을 이용하여 만들어질 수도 있으나, [그림 7-27]과 같이 트랜지스터  $M_3$ 를 추가하여 구현된다.  $I_{REF}=0.2\text{ mA}$ ,  $I_O=0.1\text{ mA}$ 이고,  $M_2$ 의 드레인-소오스 포화전압이  $V_{DS2,sat}=0.8\text{ V}$ 가 되도록 각 트랜지스터의  $W/L$  비를 구하라. 모든 트랜지스터는  $V_{Tn}=1\text{ V}$ ,  $\lambda=0$ ,  $k'_n=60\text{ }\mu\text{A/V}^2$ 의 동일한 파라미터를 가지며,  $V_{DD}=5\text{ V}$ ,  $V_{SS}=0\text{ V}$ 이다. 단,  $K_n=k'_n(W/L)$ 이다.



[그림 7-27] [예제 7-8]의 회로

## 6.5 능동부하를 갖는 MOSFET 증폭기

### 6.5.3 전류거울 능동부하를 갖는 공통 소오스 증폭기



A **current mirror** is a circuit designed to copy a current through one active device by controlling the current in another active device of a circuit, keeping the output current constant regardless of loading.

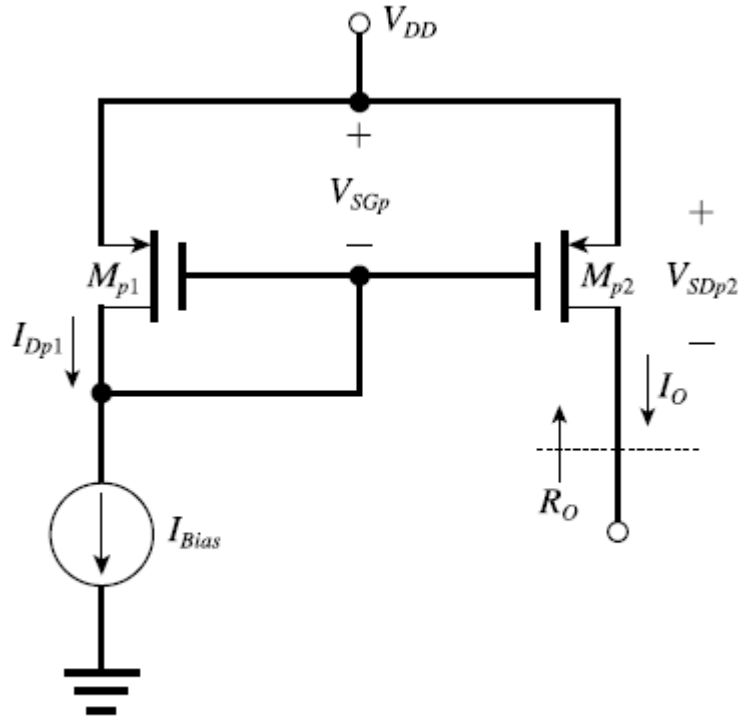
[http://en.wikipedia.org/wiki/Current\\_mirror](http://en.wikipedia.org/wiki/Current_mirror)

- Constant current → high impedance

P 채널 MOSFET  $M_{p1}$ 과  $M_{p2}$ 는 전류거울 회로를 구성하고 있으며 ( $I_{D2}=I_{Bias}$ ),  $M_{p2}$ 의 드레인 출력저항  $r_{op2}$ 가 구동소자  $M_{n1}$ 의 부하저항으로 사용된다.

## 6.5 능동부하를 갖는 MOSFET 증폭기

### 6.5.3 전류거울 능동부하를 갖는 공통 소오스 증폭기



(a) 전류거울 회로

P 채널 MOSFET  $M_{p1}$ ,  $M_{p2}$ 의 게이트가 서로 연결되어 있고 소오스도 서로 연결되어 있으므로, 두 트랜지스터는 동일한 소오스-게이트 전압  $V_{SGp}$ 를 갖는다.

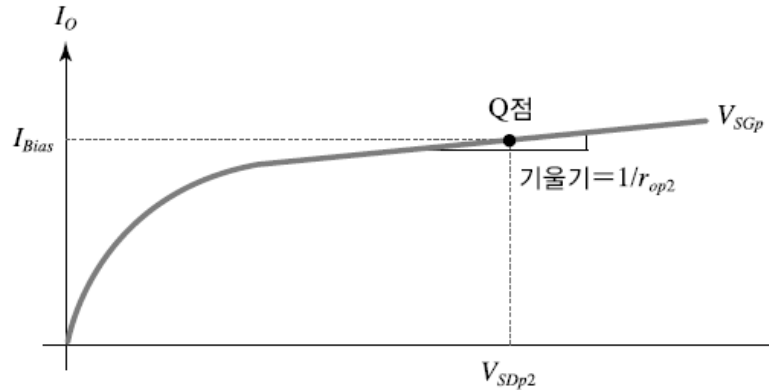
두 MOSFET의 특성이 같다면 ( $K_{p1}=K_{p2}$ ,  $V_{Tp1}=V_{Tp2}$ )

$$I_{Dp1} = \frac{1}{2} K_{p1} (V_{SGp} + V_{Tp})^2 = I_{Bias}$$

$$I_O = I_{Dp2} = \frac{1}{2} K_{p2} (V_{SGp} + V_{Tp})^2 = I_{Dp1} = I_{Bias}$$

## 6.5 능동부하를 갖는 MOSFET 증폭기

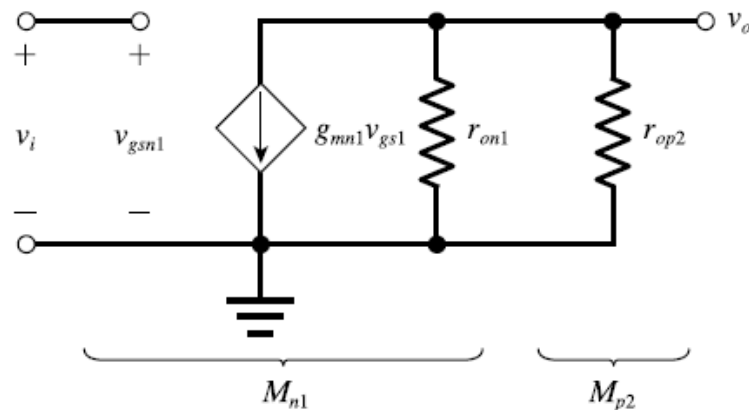
### 6.5.3 전류거울 능동부하를 갖는 공통 소오스 증폭기



$$R_O = \left( \frac{dI_O}{dV_{SDp2}} \right)^{-1} = \frac{1}{\lambda_p I_O} = r_{op2}$$

(b) 전류-전압 특성 곡선

[그림 6-25] 정전류원으로 동작하는 전류거울 회로



$$A_v \equiv \frac{v_o}{v_i} = -g_{mn1} (r_{on1} \parallel r_{op2})$$

[그림 6-26] [그림 6-24] 회로의 소신호 등가회로