



Digital IC Design

Session 8: Synchronous Sequential Logic

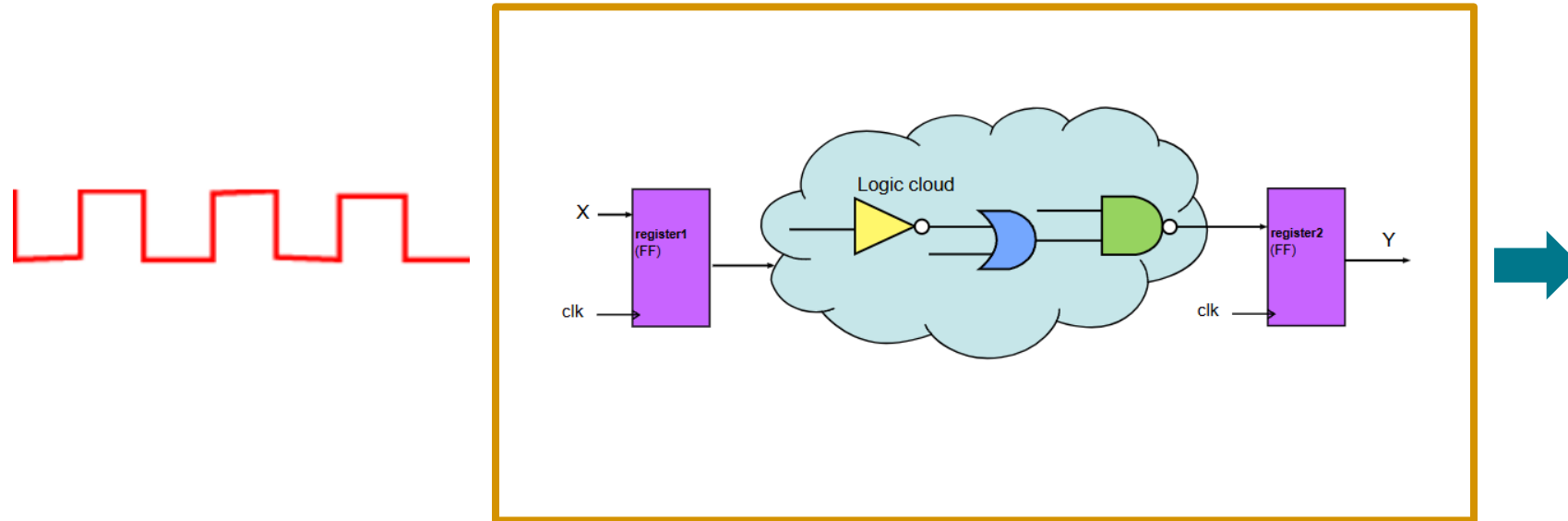
2024 | Nineplus Infotech X Anseong Polytechnic University
Sr Research Engineer, William Woo



1. Synchronous Sequential Logic

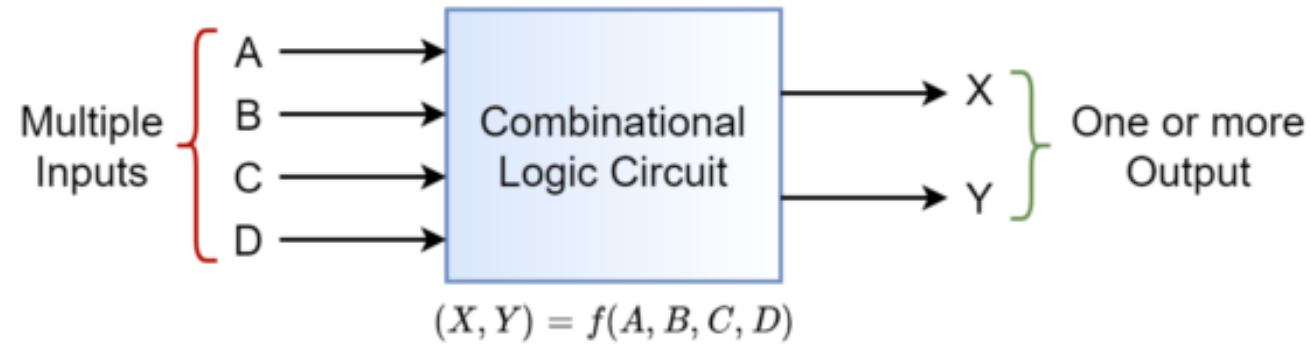
Synchronous Sequential Logic

Digital System



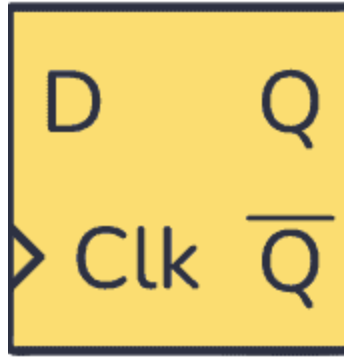
- Synchronous Sequential Logic
 - 출력: 현재 입력과 과거 입력에 대한 연산결과
 - 클럭 신호에 동기화

Combinational Logic in SSL



Logic Operation

Register in SSL

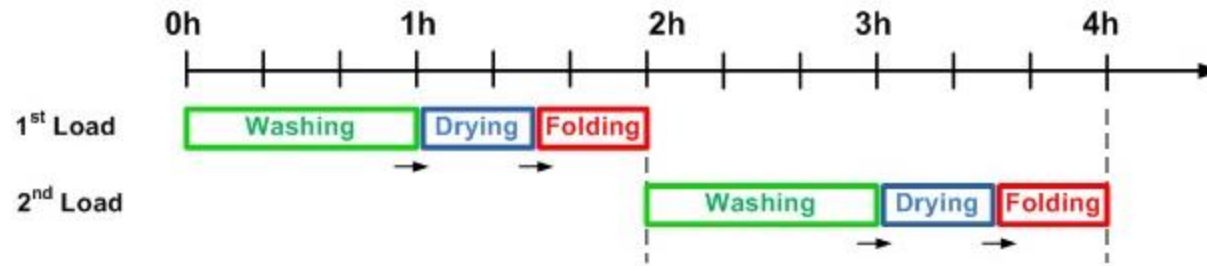


Store the result of
combinational logic

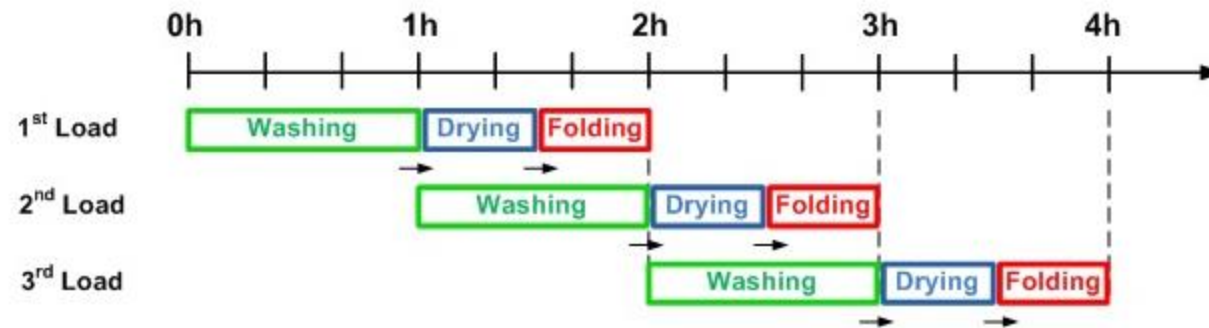


2. Pipeline

THINK

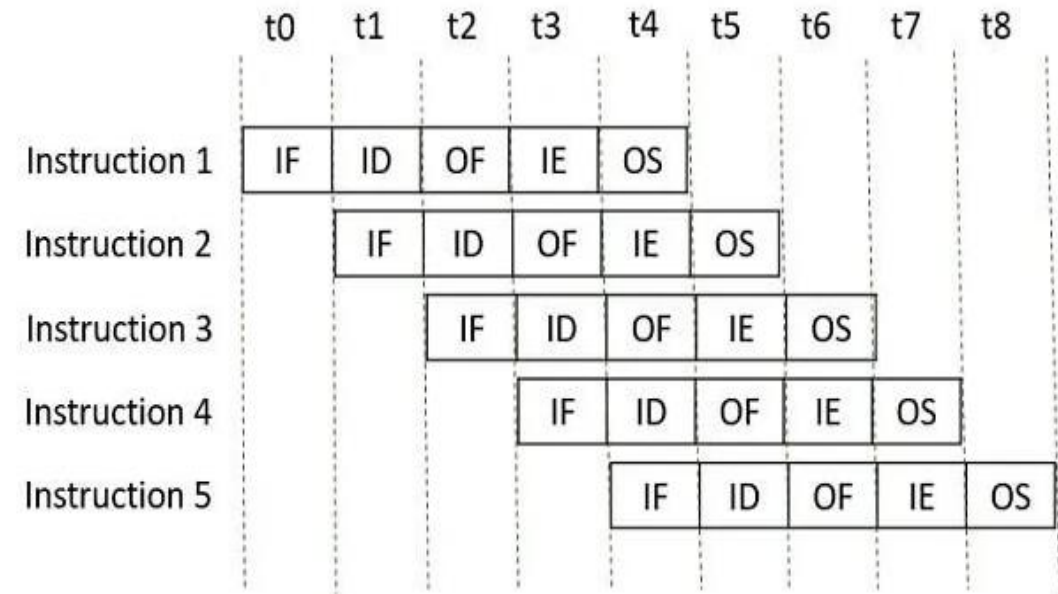
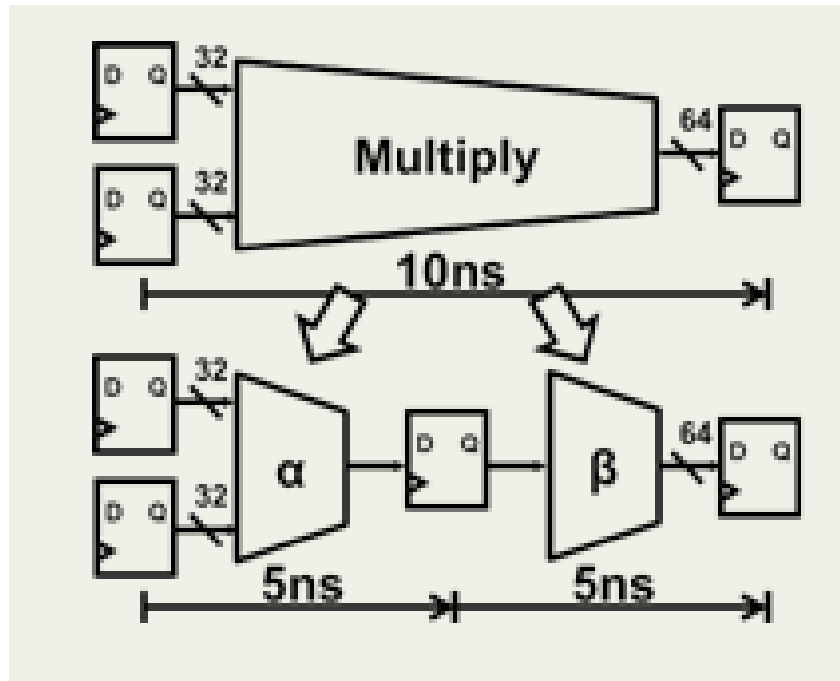


Non-pipelined Work



Pipelined Work

Pipeline





3. Finite State Machine

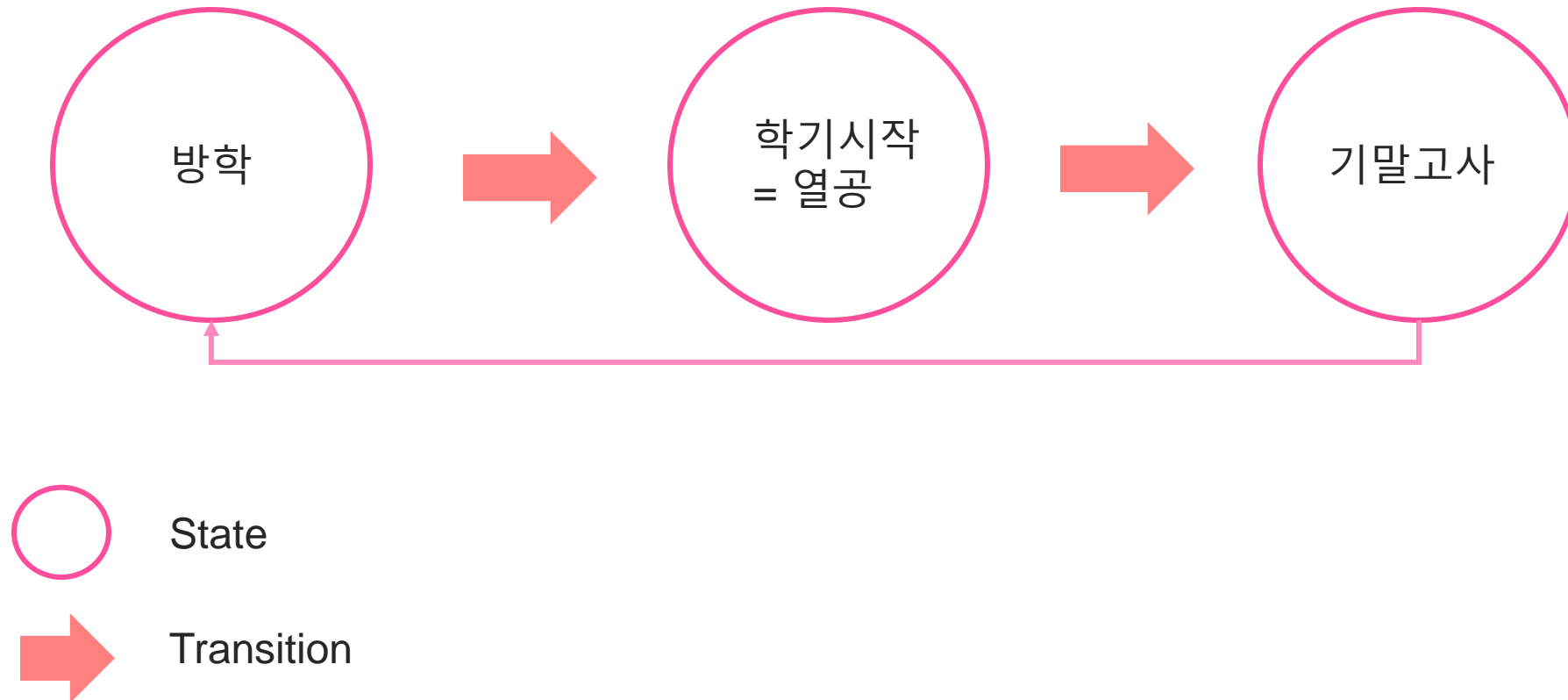
Finite State Machine



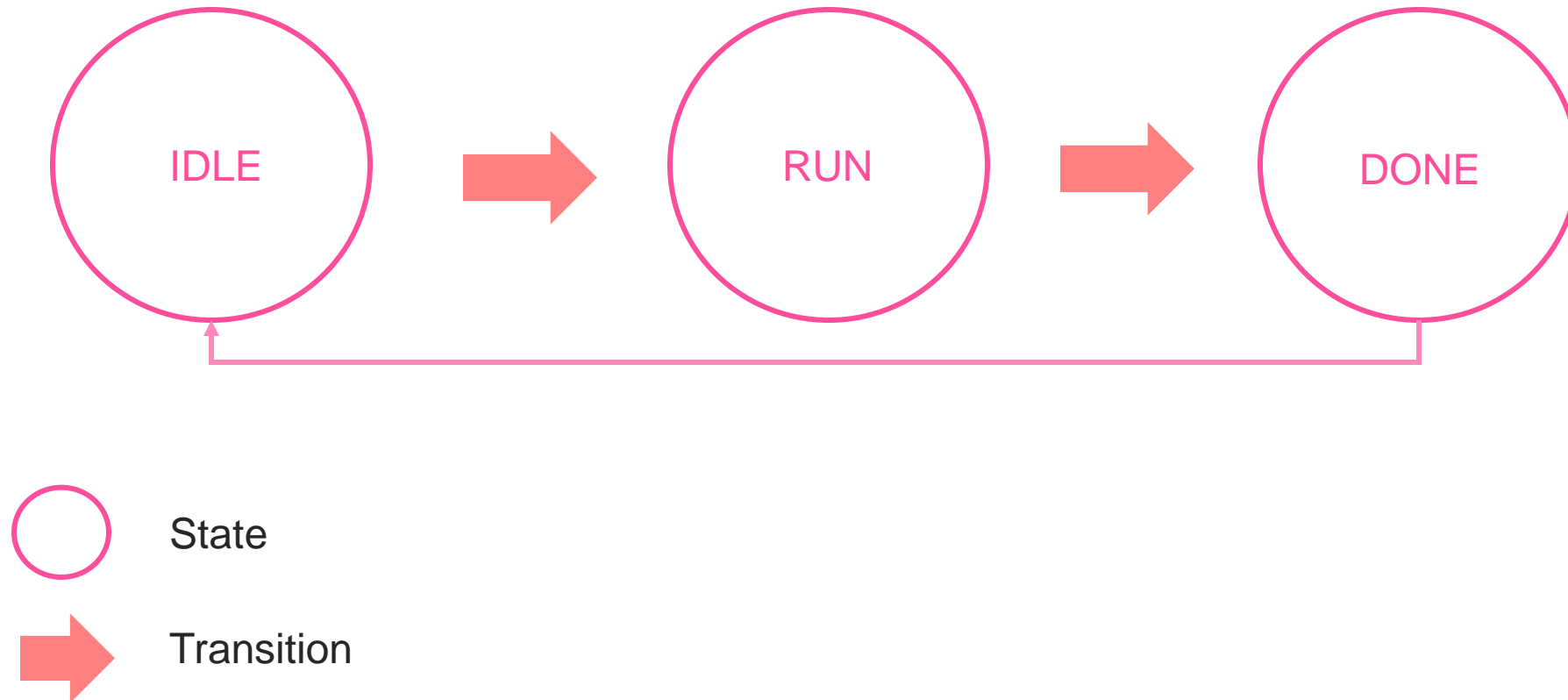
유한 상태 기계(finite-state machine, FSM) 또는 유한 오토마톤(finite automaton, FA; 복수형: 유한 오토마타 finite automata)는 컴퓨터 프로그램과 전자 논리 회로를 설계하는 데에 쓰이는 수학적 모델이다. 간단히 '상태 기계'라고 부르기도 한다.

유한 상태 기계는 유한한 개수의 상태를 가질 수 있는 오토마타, 즉 추상 기계라고 할 수 있다. 이러한 기계는 한 번에 오로지 하나의 상태만을 가지게 되며, 현재 상태(Current State)란 임의의 주어진 시간의 상태를 칭한다. 이러한 기계는 어떠한 사건(Event)에 의해 한 상태에서 다른 상태로 변화할 수 있으며, 이를 전이(Transition)이라 한다. 특정한 유한 오토마톤은 현재 상태에서부터 가능한 전이 상태와, 이러한 전이를 유발하는 조건들의 집합으로서 정의된다.

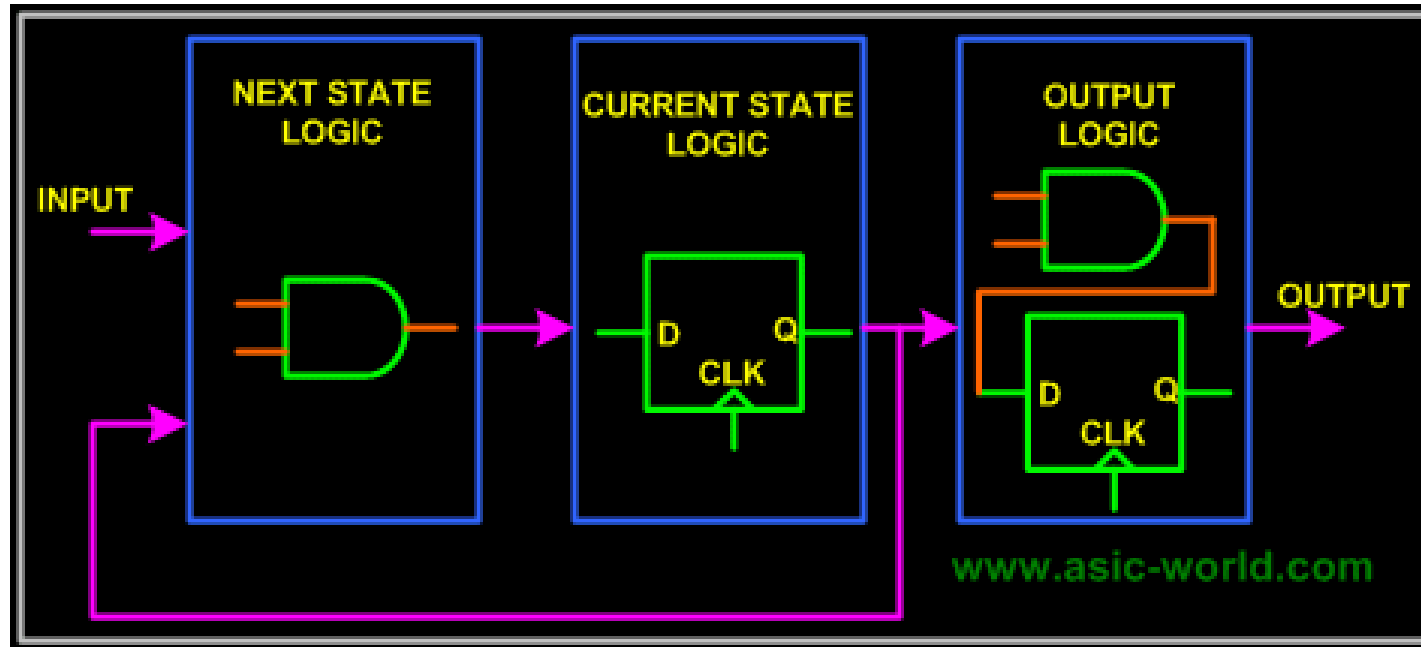
Finite State Machine



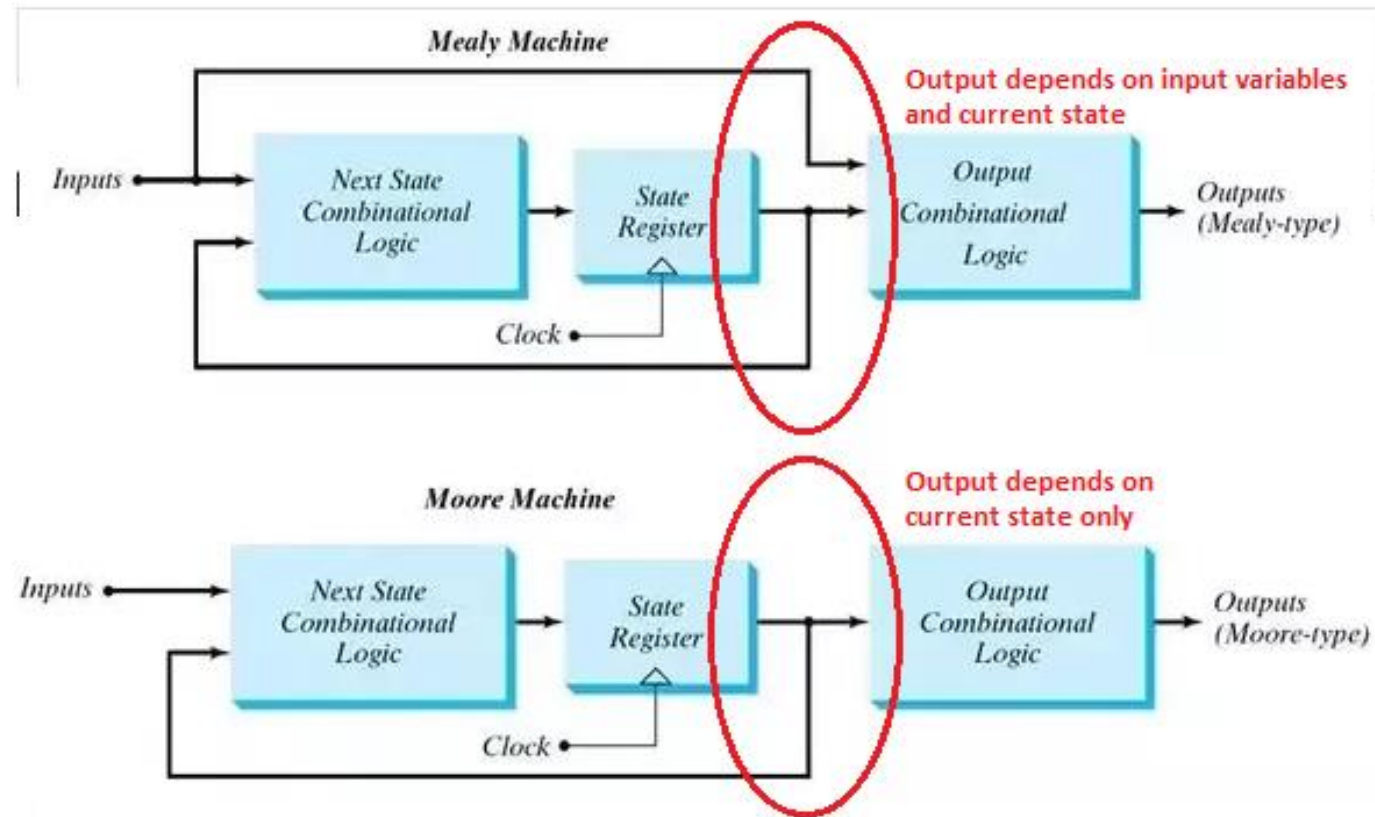
Finite State Machine



Finite State Machine



Moore Machine and Mealy Machine



LAB(1)

- Pipelined 3 operand 10 bit adder
- Per 1clock, it is possible 2 operand adder operation

LAB(2)

- Design FSM
- State consists of IDLE, RUN and DONE.