



武汉大学

Wuhan University

# 第六章 Simulink数字电路仿真



从功能结构上将，数字电路可以分为组合逻辑电路和时序逻辑电路两种，我们的Simulink数字电路仿真也分这两部分讲授。

## § 6.1 组合逻辑电路的仿真

### 6.1.1 组合逻辑电路仿真常用模块

#### 1、构建组合逻辑电路本体常用模块：

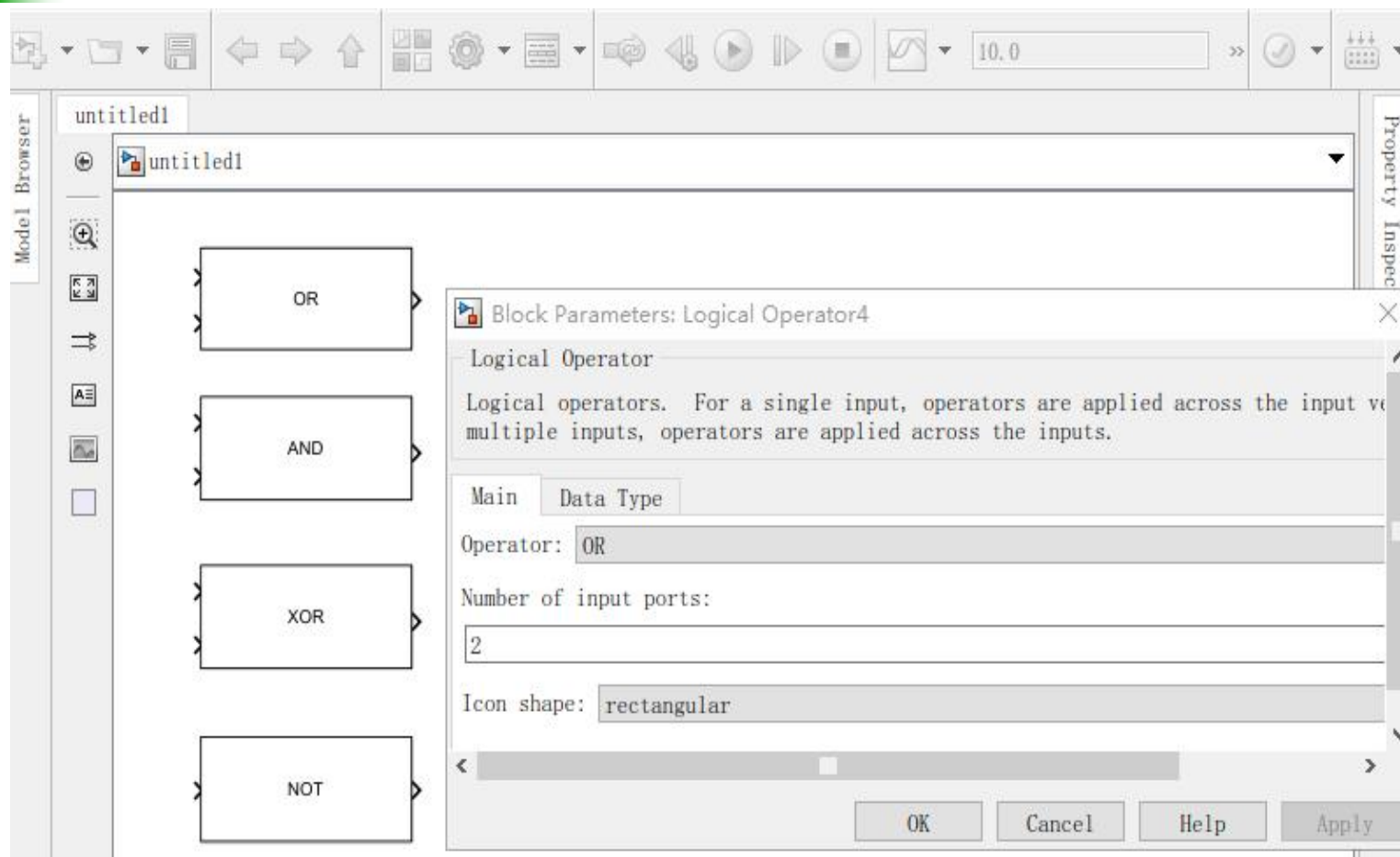
- Logical Operator（逻辑操作）模块

位于Simulink节点下的Logic and Bit Operations模块库中，用于实现基本的逻辑门单元。根据具体需要，其可例化为与门、与非门、或门、或非门、异或门、反相器。



# 武汉大学

Wuhan University



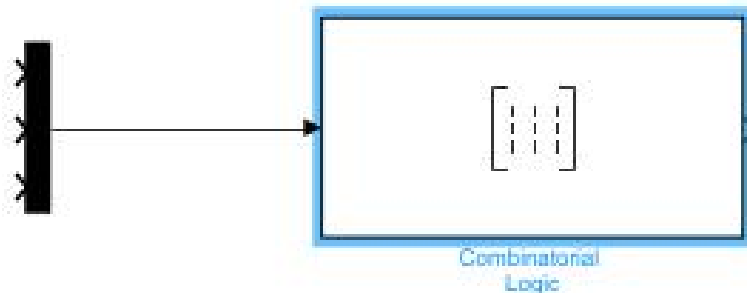


武汉大学

Wuhan University

## ■ Combinational Logic (组合逻辑) 模块

位于Simulink节点下的Logic and Bit Operations模块库中，用于实现逻辑表达式的运算。采用真值表的方式来描述组合逻辑表达式。真值表的具体描述方式见其Block Parameters中的help对于组合逻辑的多个输入端，combinational logic模块需要和Mux模块组合使用。





# 武汉大学

Wuhan University

## 真值表中填入对应位置的输出值

untitled1 \* - Simulink academic use

File Edit View Display Diagram Simulation Analysis Code Tools Help

Model Browser

untitled1

untitled1

Combinational Logic

Block Parameters: Combinatorial Logic

CmbLogic

Look up the elements of the input vector (treated as boolean values) in the truth table and output the corresponding row of the 'Truth table' parameter. The input side of the truth table is implicit.

Parameters

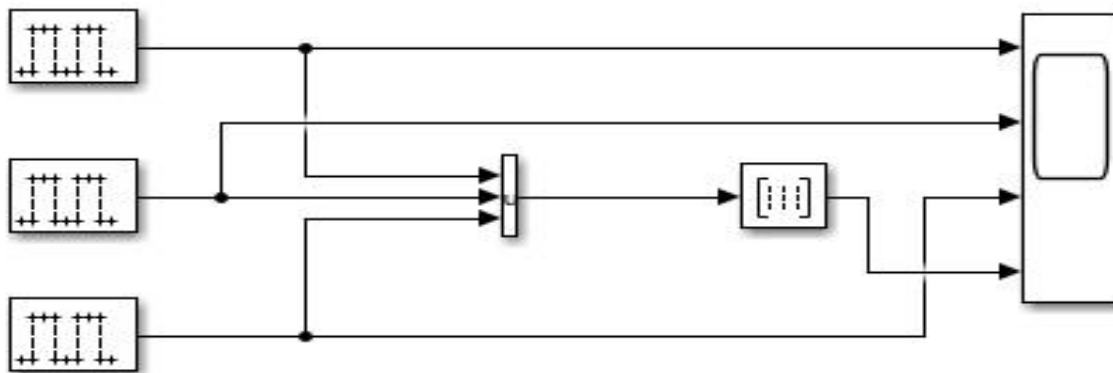
Truth table:

[0 0;0 1;0 1;1 0;0 1;1 0;1 0;1 1]

OK Cancel Help Apply



- e.g. 函数 $Y=AB+BC+CA$ 的实现 ex6\_1

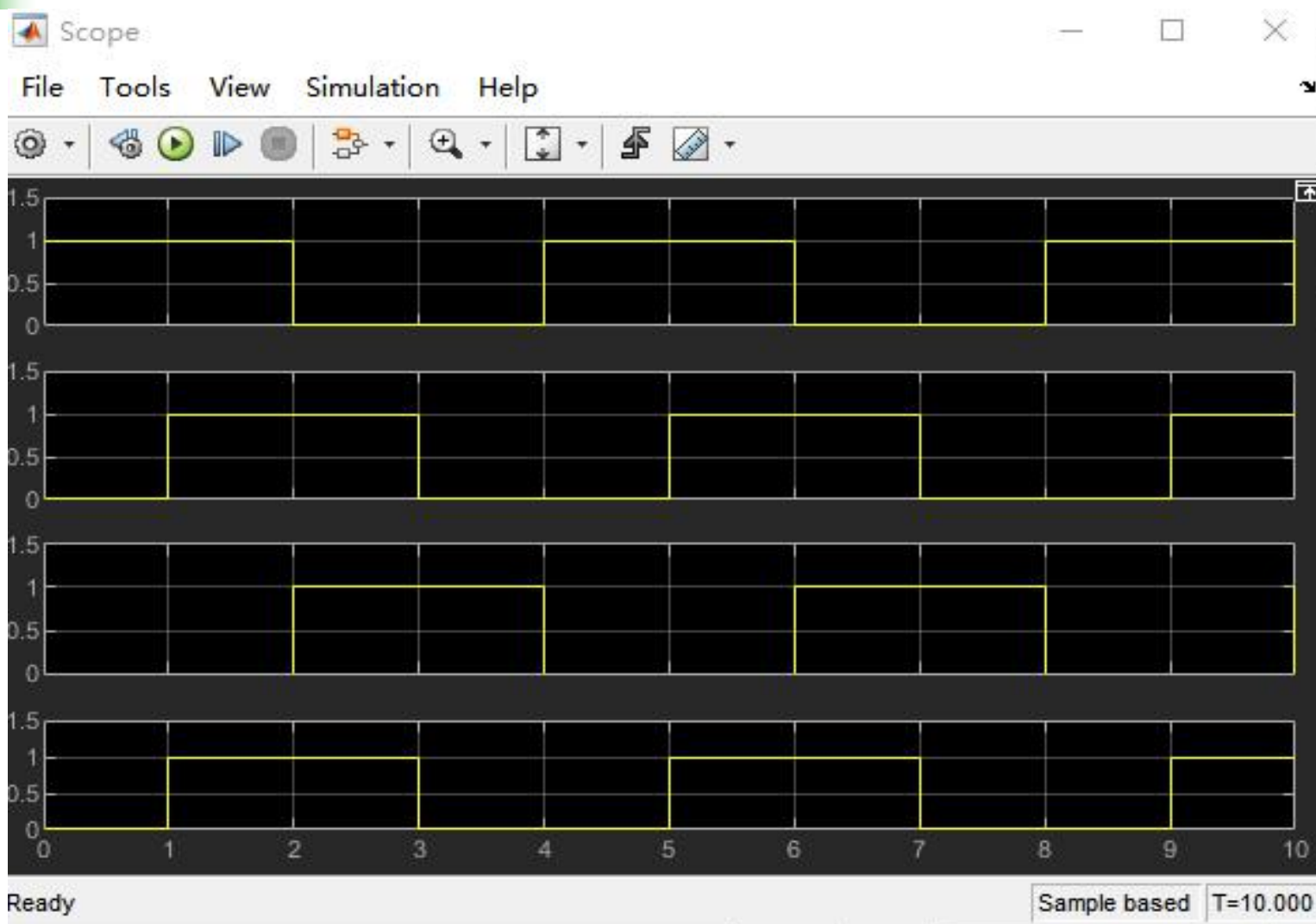


- 注意将仿真参数中Optimization中的Implement logic signals as boolean data(V.S. double)去掉, 避免数据类型的不匹配。



武汉大学

Wuhan University





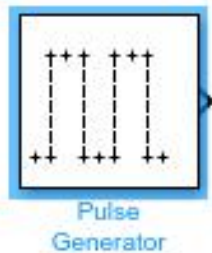
## 2、信号输入常用模块：

- **Pulse Generator (脉冲序列发生器)** 模块位于Simulink节点下的Source库中，根据要求可以产生占空比不同的脉冲序列。选择“Sample Based”方式。

**Period (number of samples)** 文本框： 设定脉冲周期

**Pulse width (number of sample)** 文本框： 设定高电平时间。

**Phase delay (number of sample)** 文本框： 设定脉冲的相位延迟，即设定高电平起始点在整个脉冲周期中的位置。





Block Parameters: Pulse Generator

Output pulses:

```
if (t >= PhaseDelay) && Pulse is on
    Y(t) = Amplitude
else
    Y(t) = 0
end
```

Pulse type determines the computational technique used.

Time-based is recommended for use with a variable step solver, while Sample-based is recommended for use with a fixed step solver or within a discrete portion of a model using a variable step solver.

Parameters

Pulse type: Sample based

Time (t): Use simulation time

Amplitude: 1

Period (number of samples): 10

Pulse width (number of samples): 5

Phase delay (number of samples): 0

Sample time: 1

☒ Interpret vector parameters as 1-D

OK Cancel Help Apply

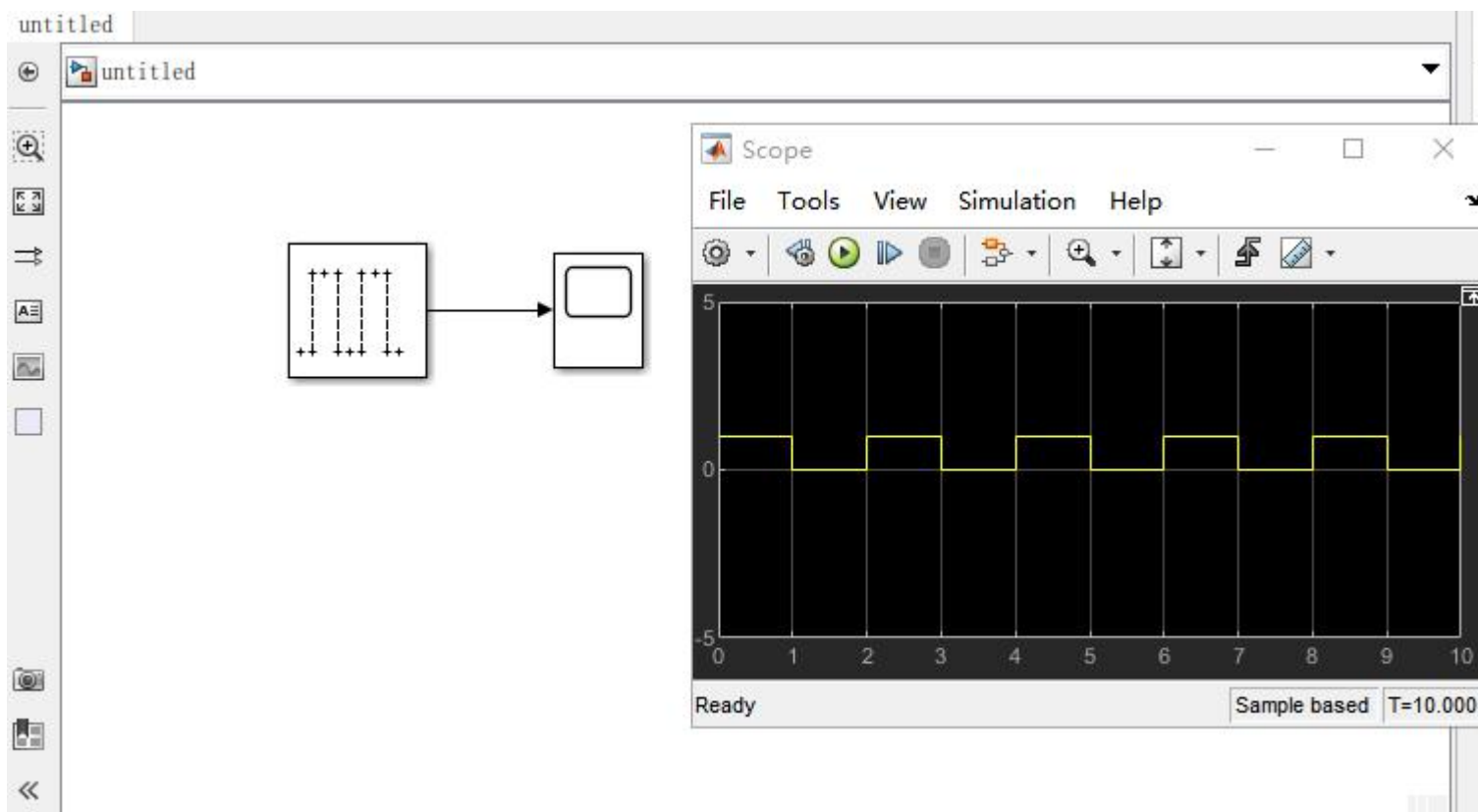


武汉大学

Wuhan University

### 3、输出显示常用模块

#### ■ Scope (示波器) 模块





武汉大学

Wuhan University

## 6.1.2 组合逻辑电路仿真实例

e.g. 构建8-3编、译码器模型

编码器：传统的电路构建方法 ex6\_2\_1

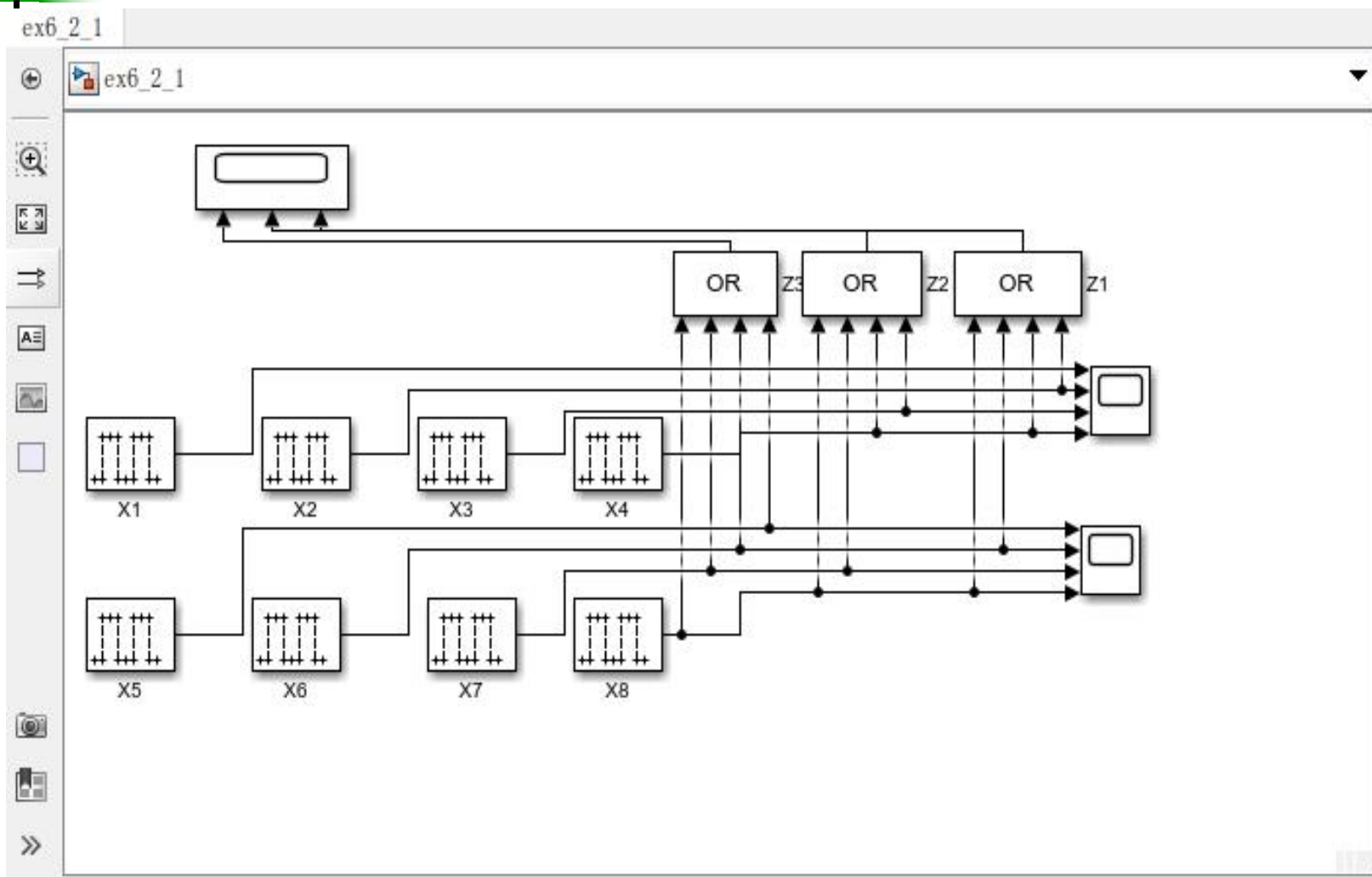
步骤：

- 1、真值表
- 2、卡诺图
- 3、逻辑式
- 4、与或式电路图
- 5、仿真模型



武汉大学

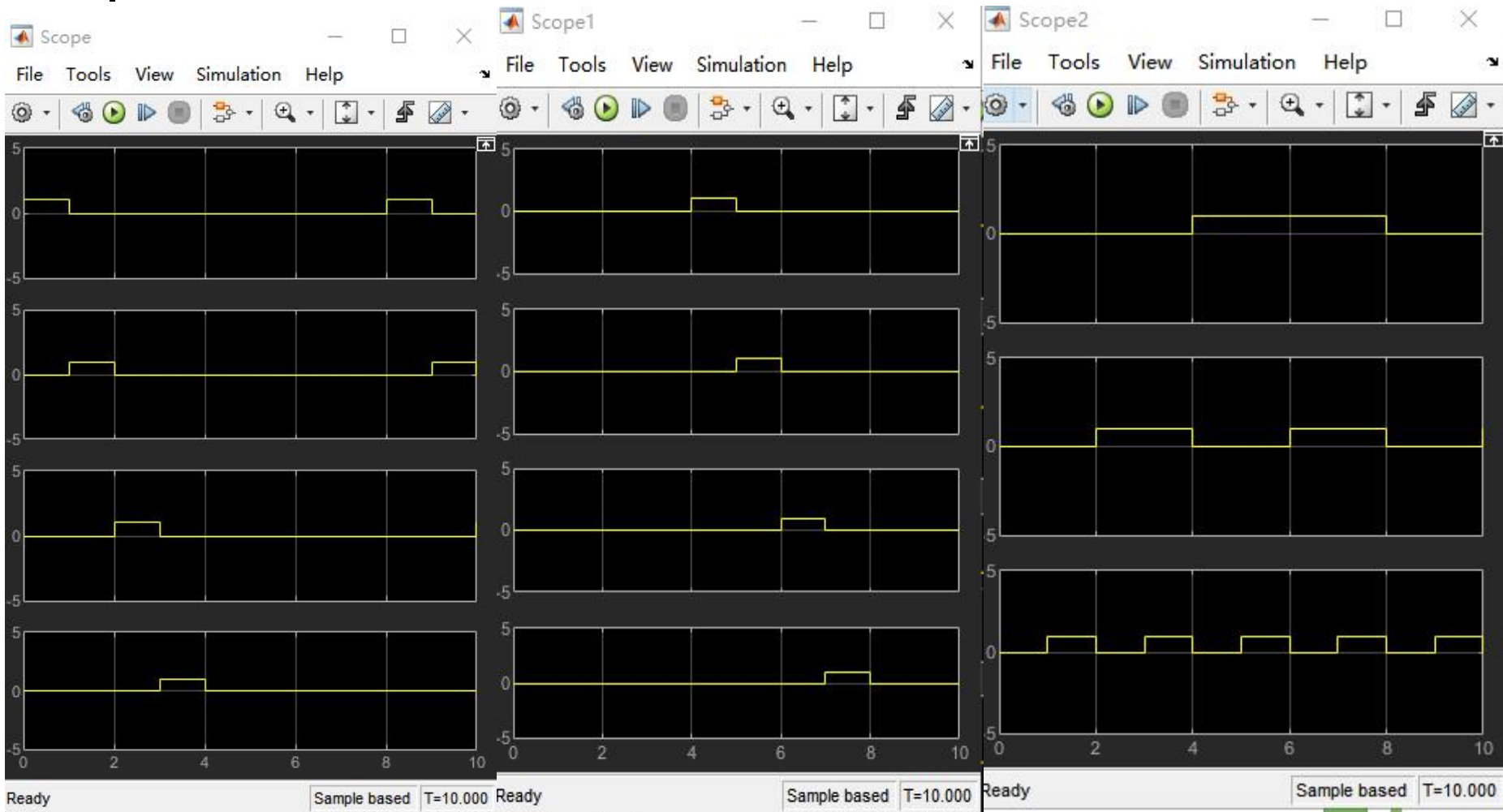
Wuhan University





武汉大学

Wuhan University

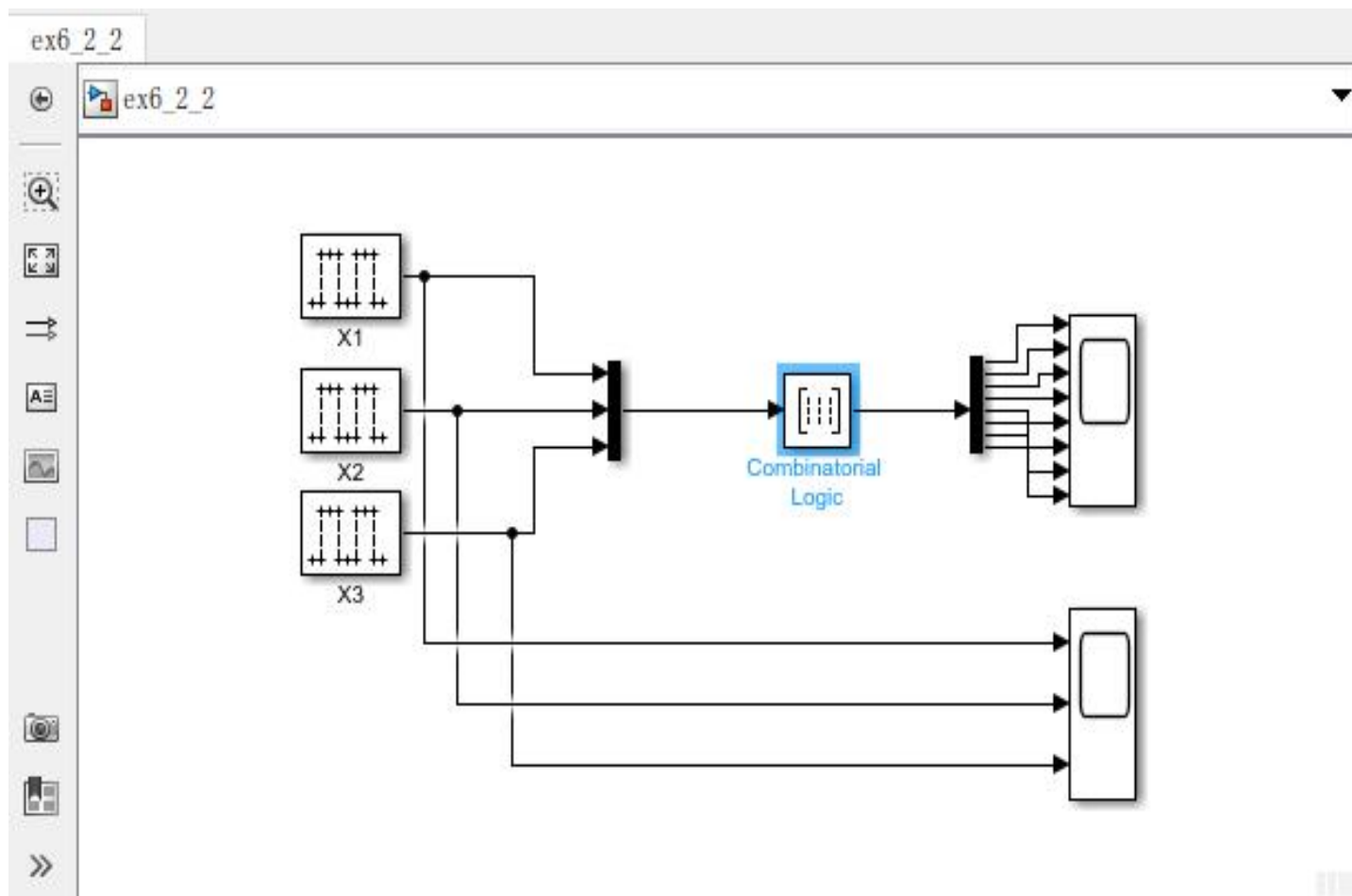




武汉大学

Wuhan University

## ■ 译码器：使用combinational logic模块 ex6\_2\_2





# 武汉大学

Wuhan University

Block Parameters: Combinatorial Logic

CmbLogic

Look up the elements of the input vector (treated as boolean values) in the truth table and output the corresponding row of the 'Truth table' parameter. The input side of the truth table is implicit.

Parameters

Truth table:

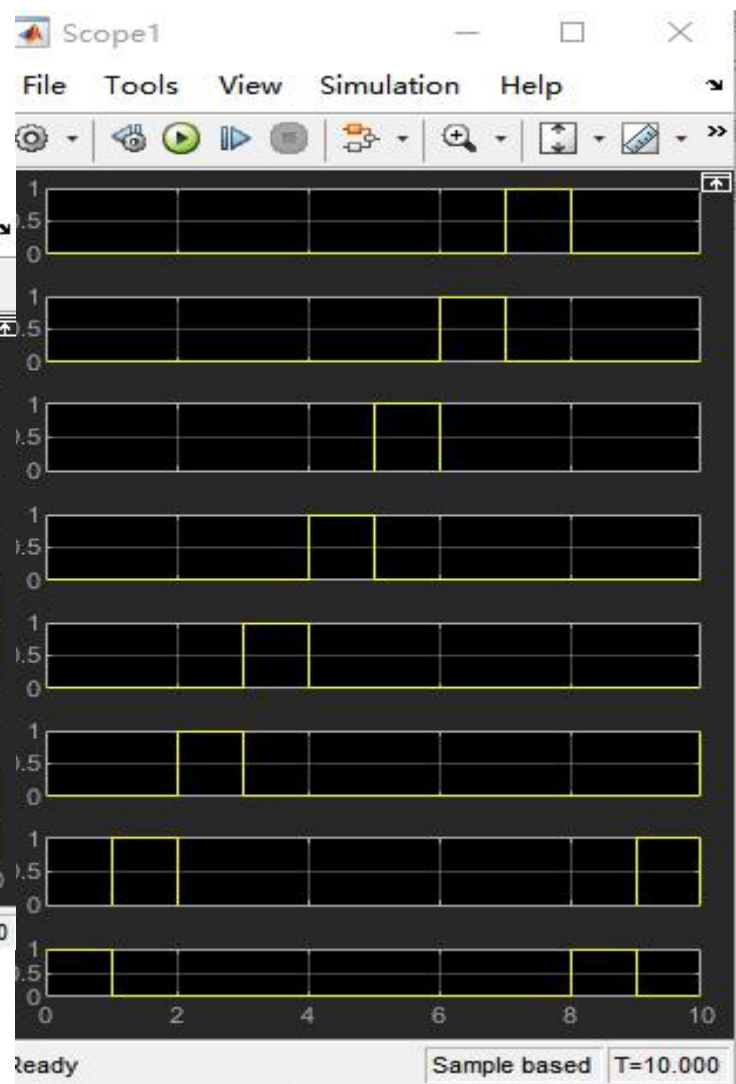
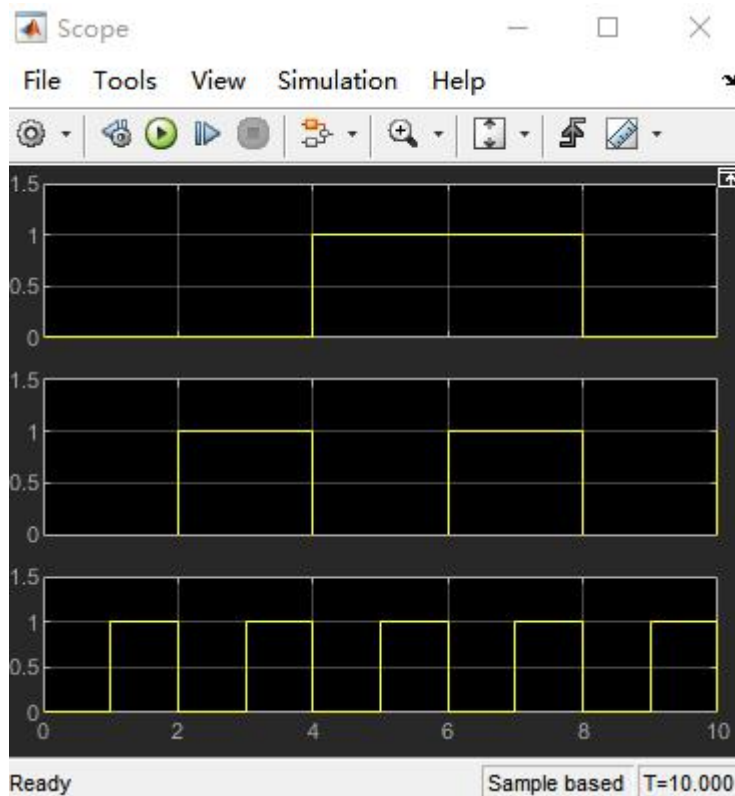
|  |   |
|--|---|
| [0 0 0 0 0 0 0 1;0 0 0 0 0 0 1 0;0 0 0 0 0 1 0 0;0 0 0 0 1 | : |
|--|---|

OK Cancel Help Apply



# 武汉大学

Wuhan University





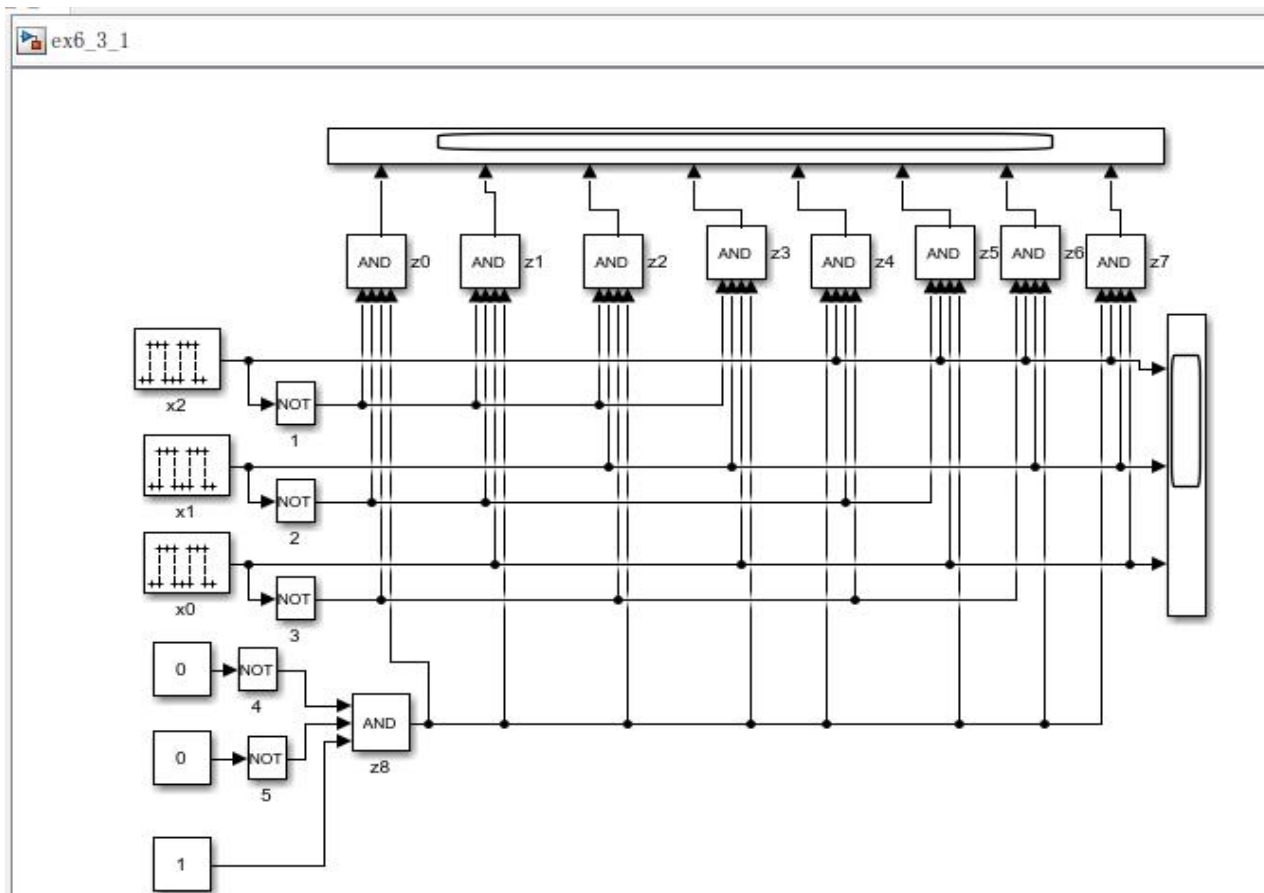


武汉大学

Wuhan University

## ■ 构建4-16译码器并完成子系统的封装

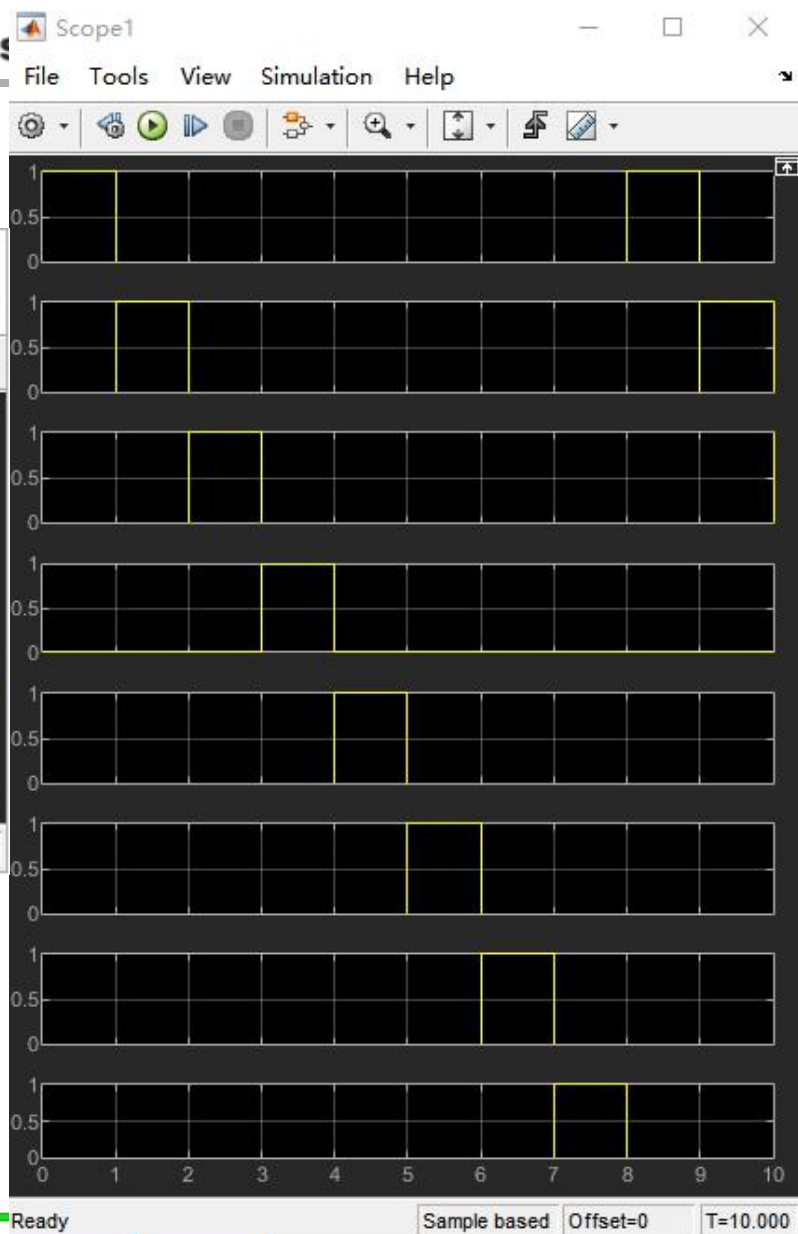
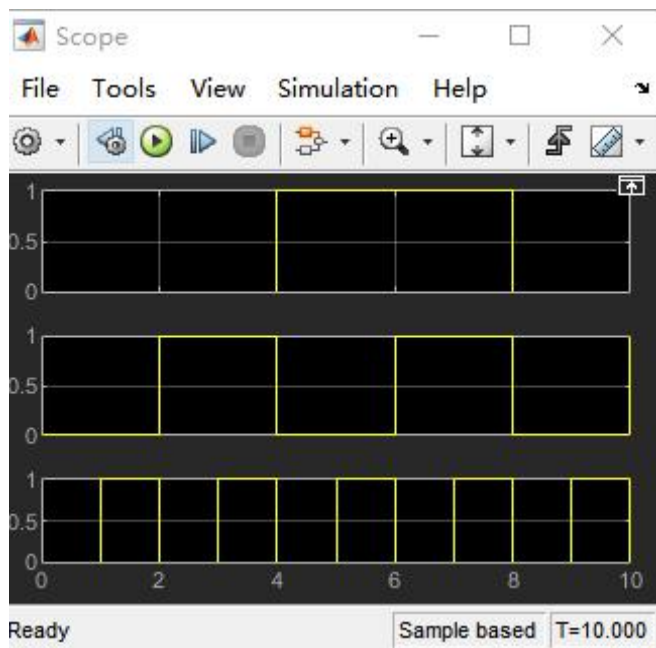
### 一、3-8译码器电路模型的构建





武汉大学

Wuhan University

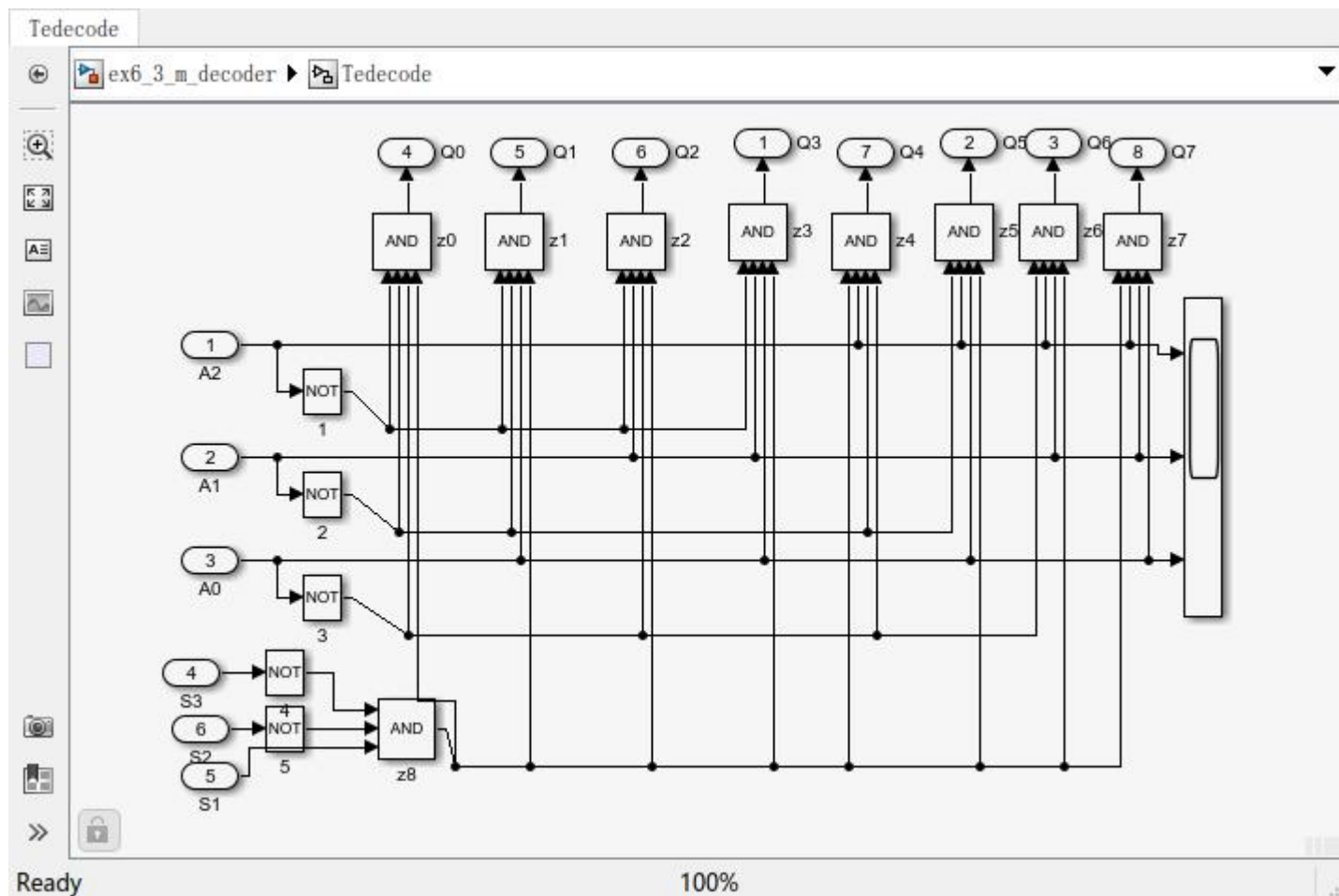




武汉大学

Wuhan University

## 二、3-8译码器子系统的封装

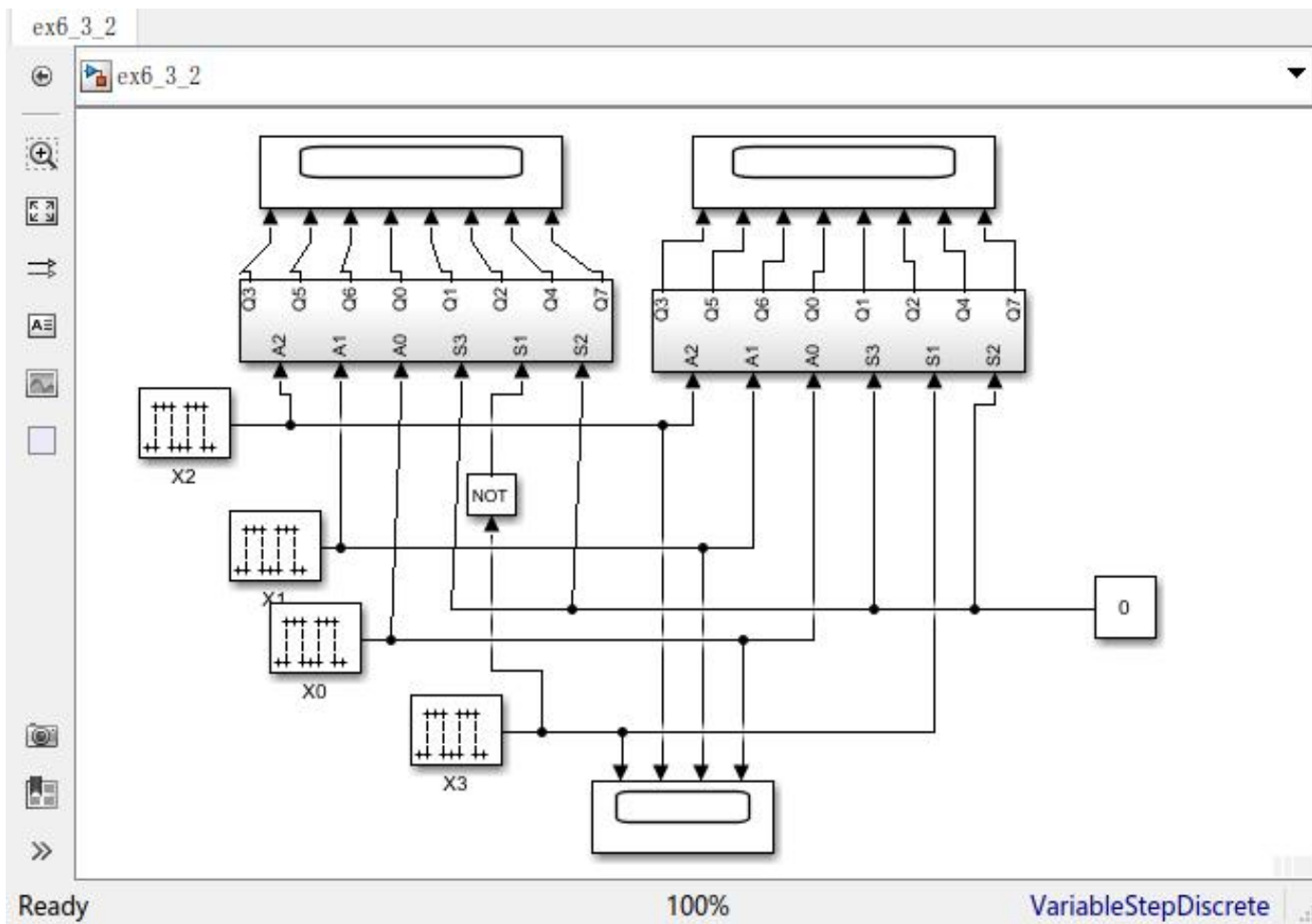




武汉大学

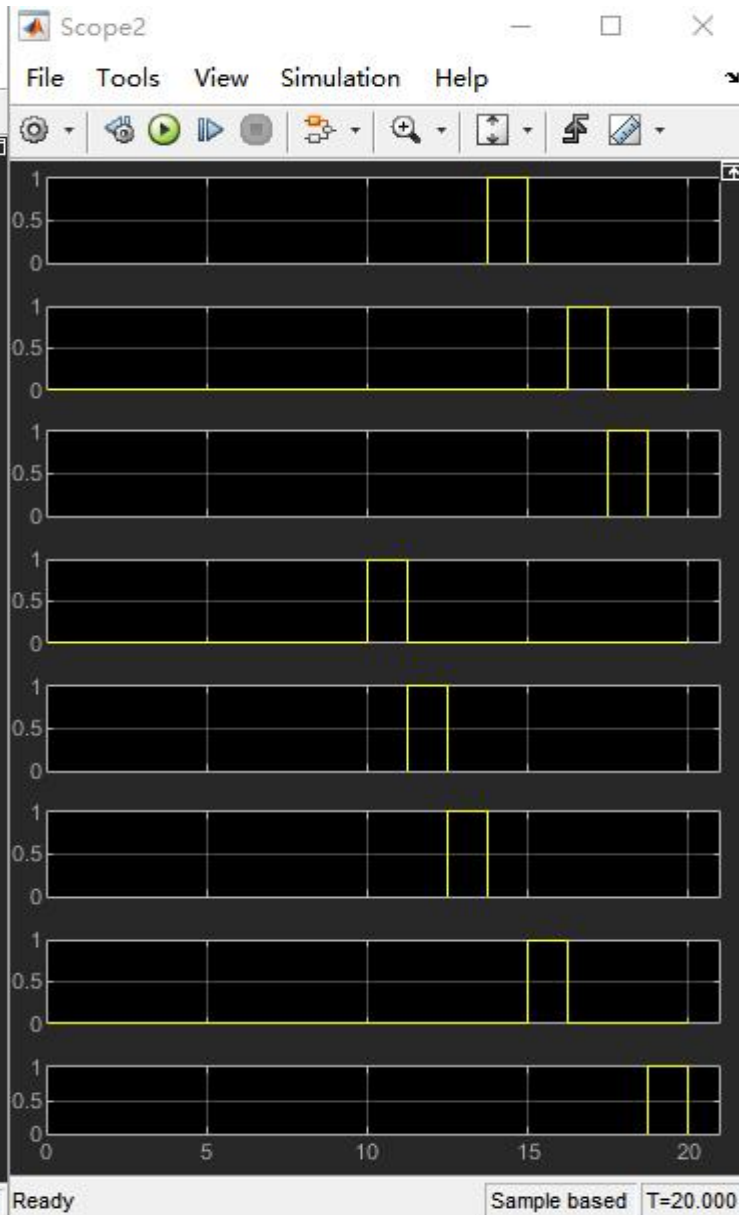
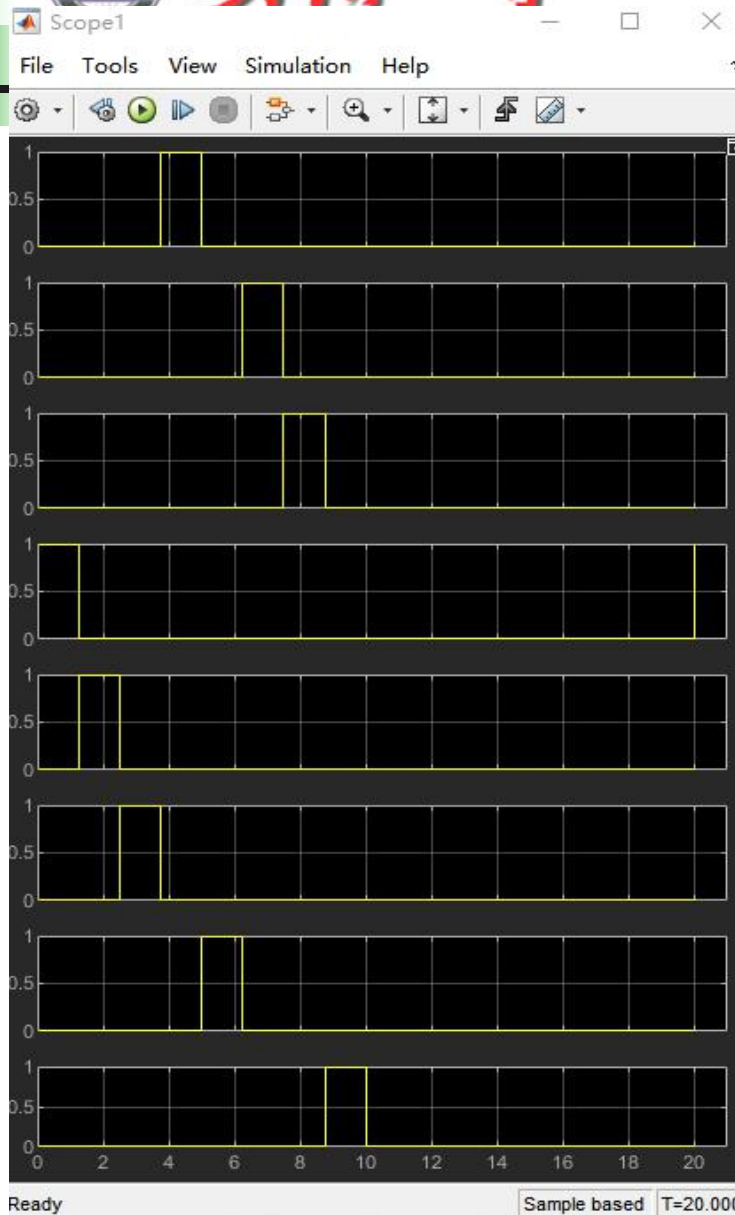
Wuhan University

### 三、4-16译码器系统的搭建





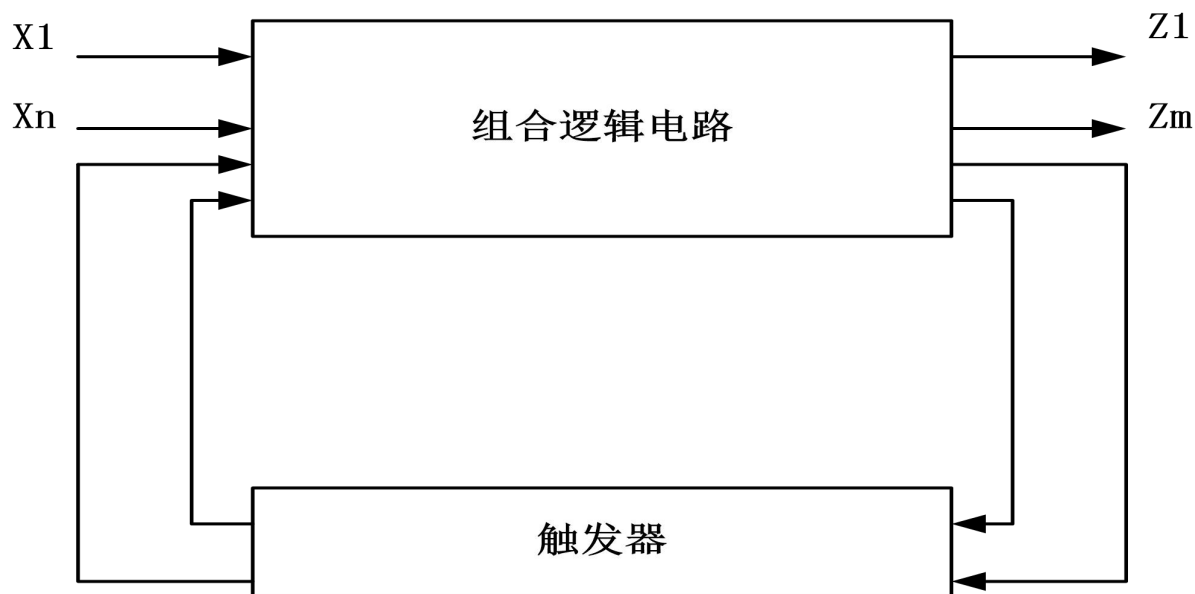
武汉大学





## §6.2 时序逻辑电路的仿真

- 时序逻辑电路与组合逻辑电路相比的最大区别是此刻的输出不仅与此刻的输入有关，还和以前的状态有关。因此，在硬件结构上需引入触发器这一能起到“记忆”作用的元件。



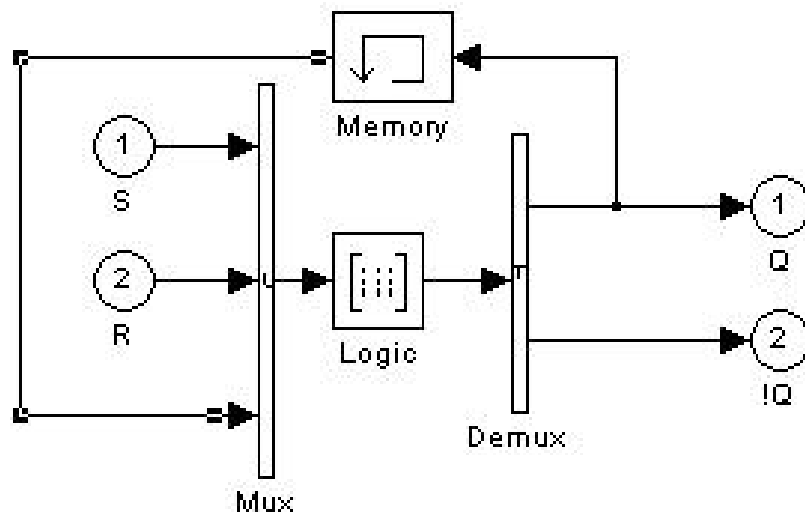


## 6.2.1 触发器模块

- MATLAB的Simulink中有专门的触发器模块，它们都位于Simulink Extras节点下的Flip Flop模块库中。

### 1、S-R Flip-Flop (RS触发器) 模块

- 实现逻辑功能 ( $S \cdot R \neq 1$  约束条件)
- 可设置值为Q的初态





- RS触发器由Mux模块、Demux模块、Logic模块和Memory模块组成。Mux模块和Demux模块完成信号的输入和输出，Memory模块位于Discrete模块库中，其功能为存储此刻输入值，并在下一时刻将其输出。
- Combinational Logic模块位于Math Operations模块库（MATLAB6.5）或Logic and Bit Operations模块库（MATLAB7.0）中，其功能相当于一个真值表，来完成组合逻辑的功能，不同类别的触发器逻辑功能上的区别就可在其上显现。真值表以序列矩阵的形式表示，每两个值为一组，其间以；隔开。例如，RS触发器的真值表为[0 1;1 0;0 1;0 1;1 0;1 0;0 0 0]

$$Q^{n+1} = S + \bar{R}Q^n \quad S \cdot R \neq 1$$

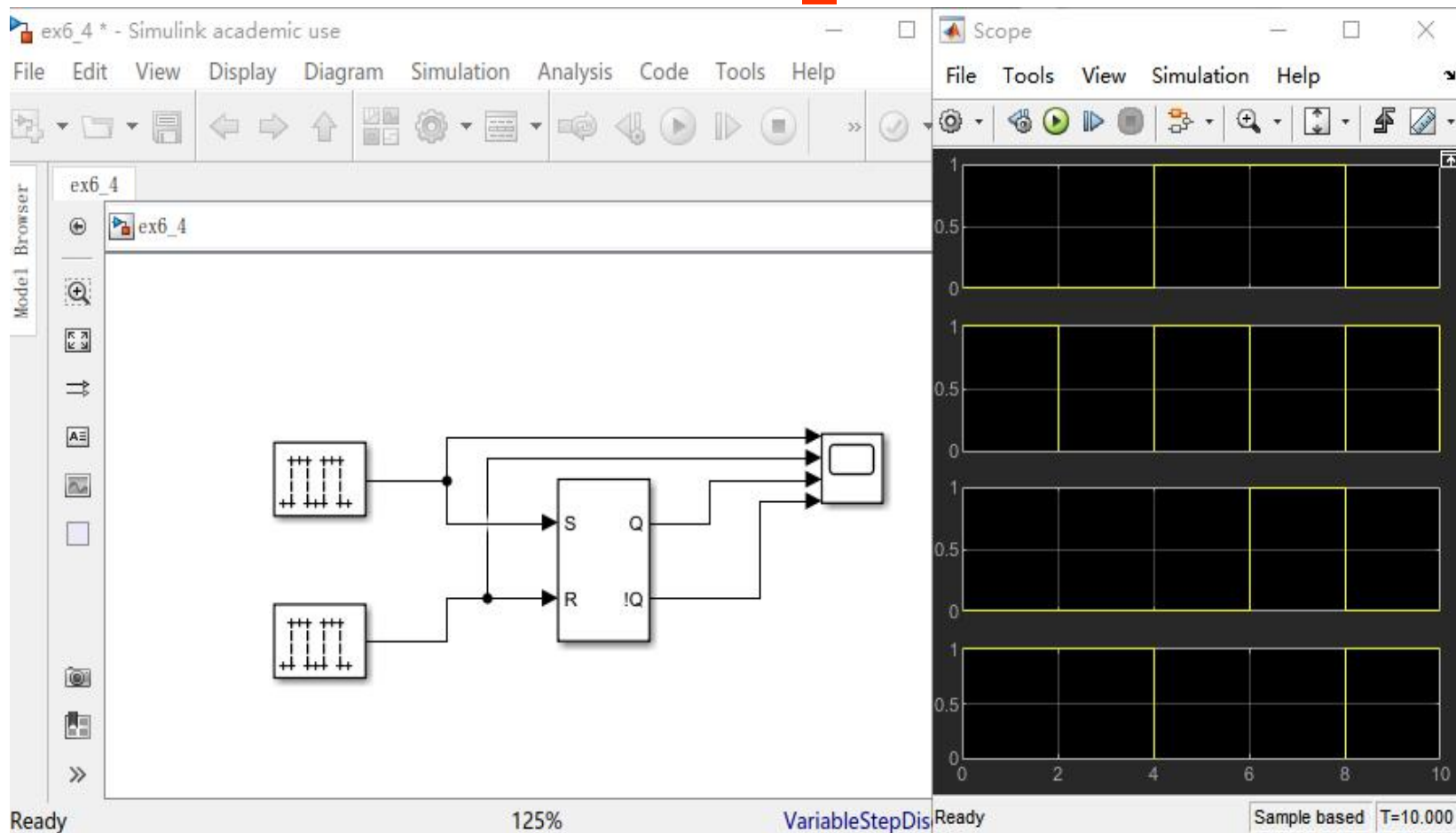




武汉大学

Wuhan University

## RS触发器的示例 ex6\_4



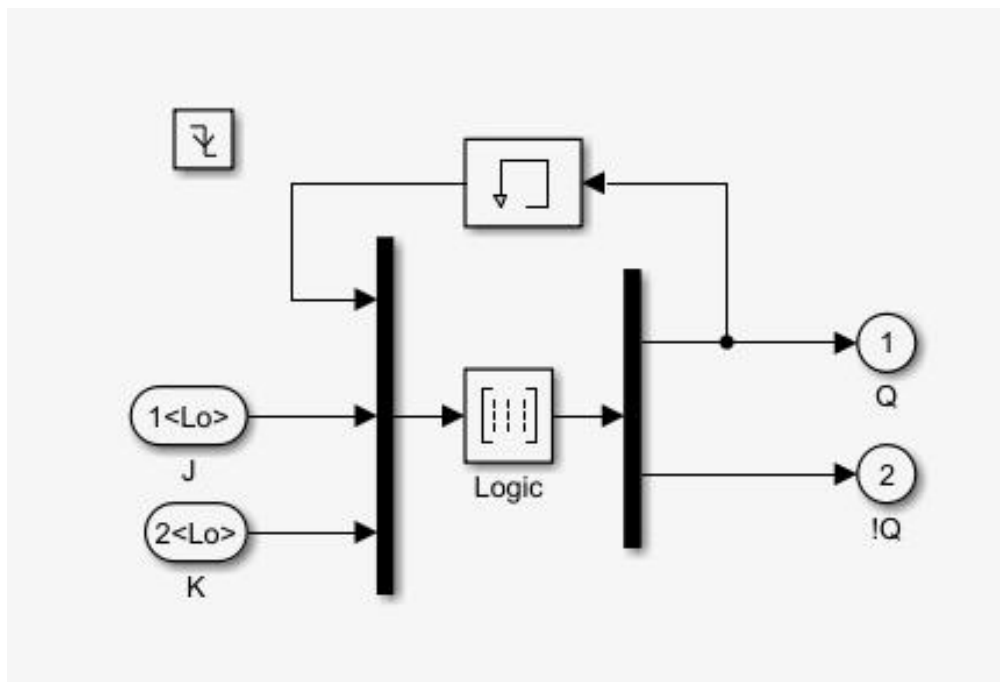


武汉大学

Wuhan University

## 2、J-K Flip-Flop (JK触发器) 模块

- 实现逻辑功能
- 可设置值为Q的初态





- JK触发器的内部结构和RS触发器相似，其真值表为[01;01;10;10;10;01;10;01]。此外，其拥有Trigger模块，是一个触发子系统。
- Trigger模块位于Simulink节点下的Ports&Subsystems模块库中，专门用于对所在子系统的功能进行触发。其触发方式有rising（上升沿触发）、falling（下降沿触发）、either（上升下降沿均触发）和function-call（函数触发）模式，此JK触发器属于falling触发模式。

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

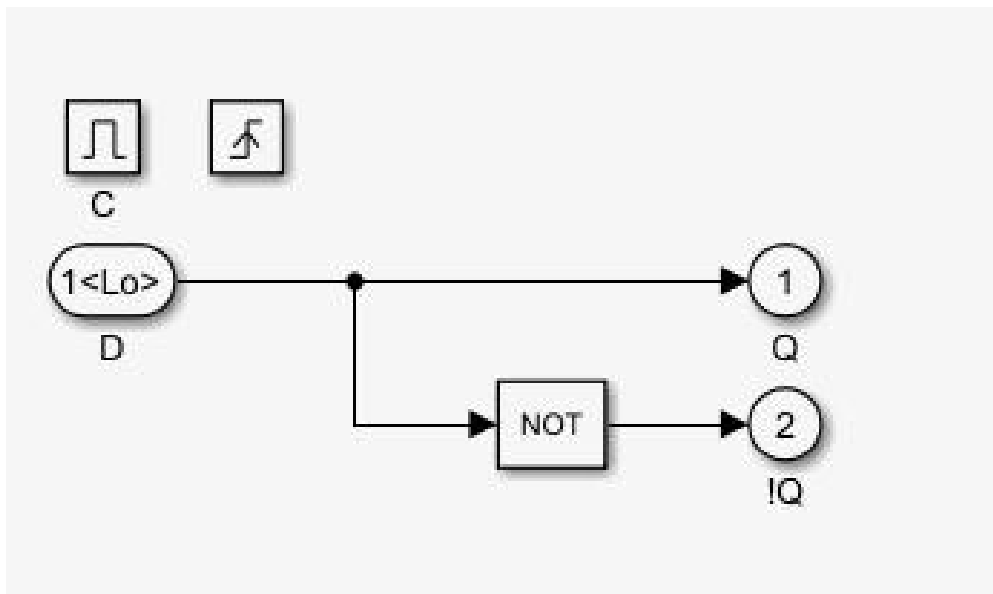


武汉大学

Wuhan University

### 3、D Flip-Flop (D触发器) 模块

- 实现逻辑功能  $Q^{n+1} = D^n$





武汉大学

Wuhan University

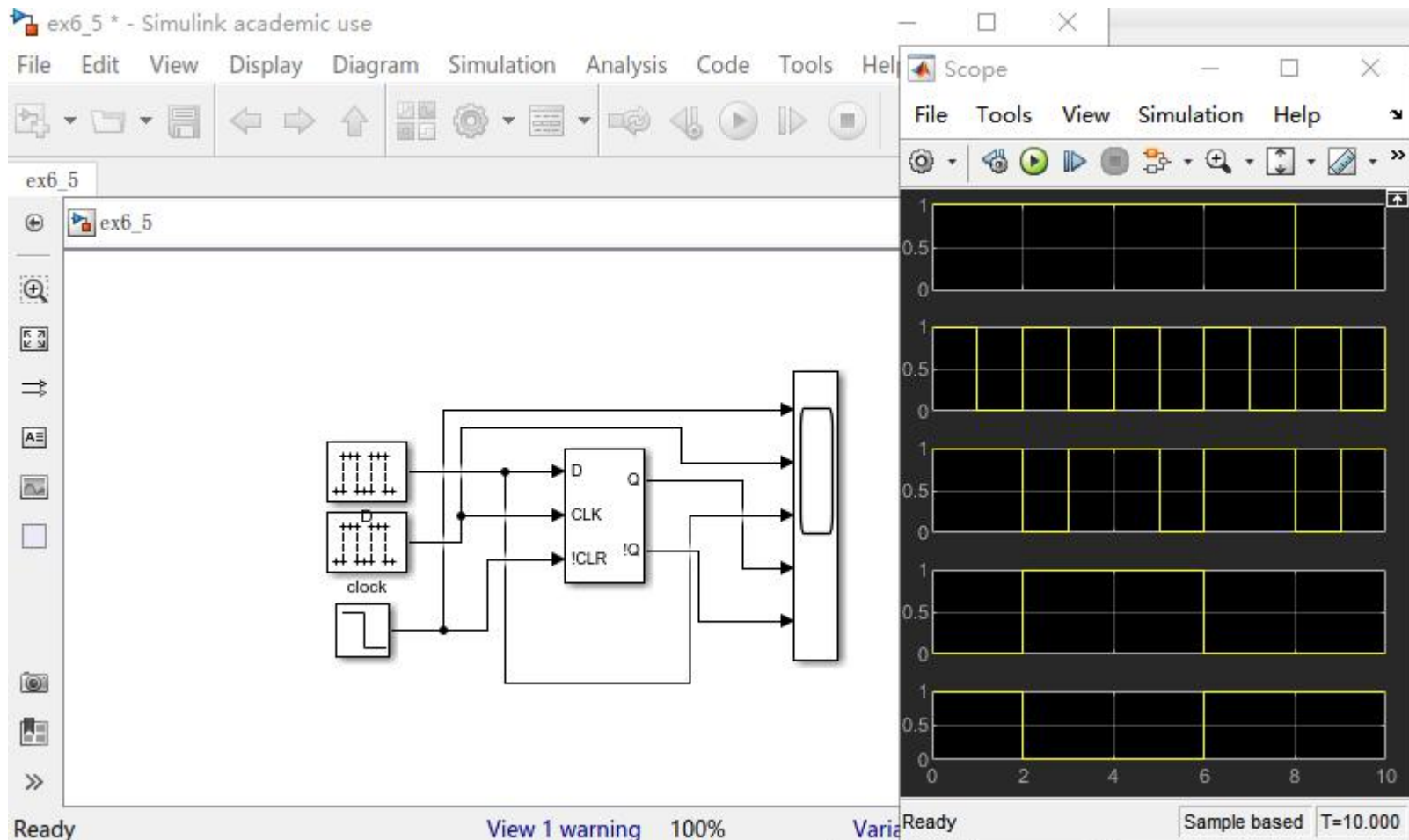
- D触发器内部机构简单，这得益于D触发器逻辑功能简单。D触发器拥有Trigger和命名为C的Enable Port两个模块，是一个触发使能子系统。
- Enable Port模块位于Simulink节点下的Ports&Subsystems模块库中，其作用是为子系统添加使能端。Enable Port模块的States when enabling参数可选held或reset。选中held则使能时保持子系统当前状态，选中reset则使能时重置子系统状态。



武汉大学

Wuhan University

## D触发器的示例 ex6\_5





武汉大学

Wuhan University

## 4、D latch模块

- 实现逻辑功能  $Q^{n+1} = D^n$
- 与D Flip-Flop模块相比内部少了Trigger模块，即没有钟控端，属于锁存器。D latch是一个使能子系统，因此在一般的时序电路设计中通常应避免其的出现。



## 6.2.2 移位寄存器仿真

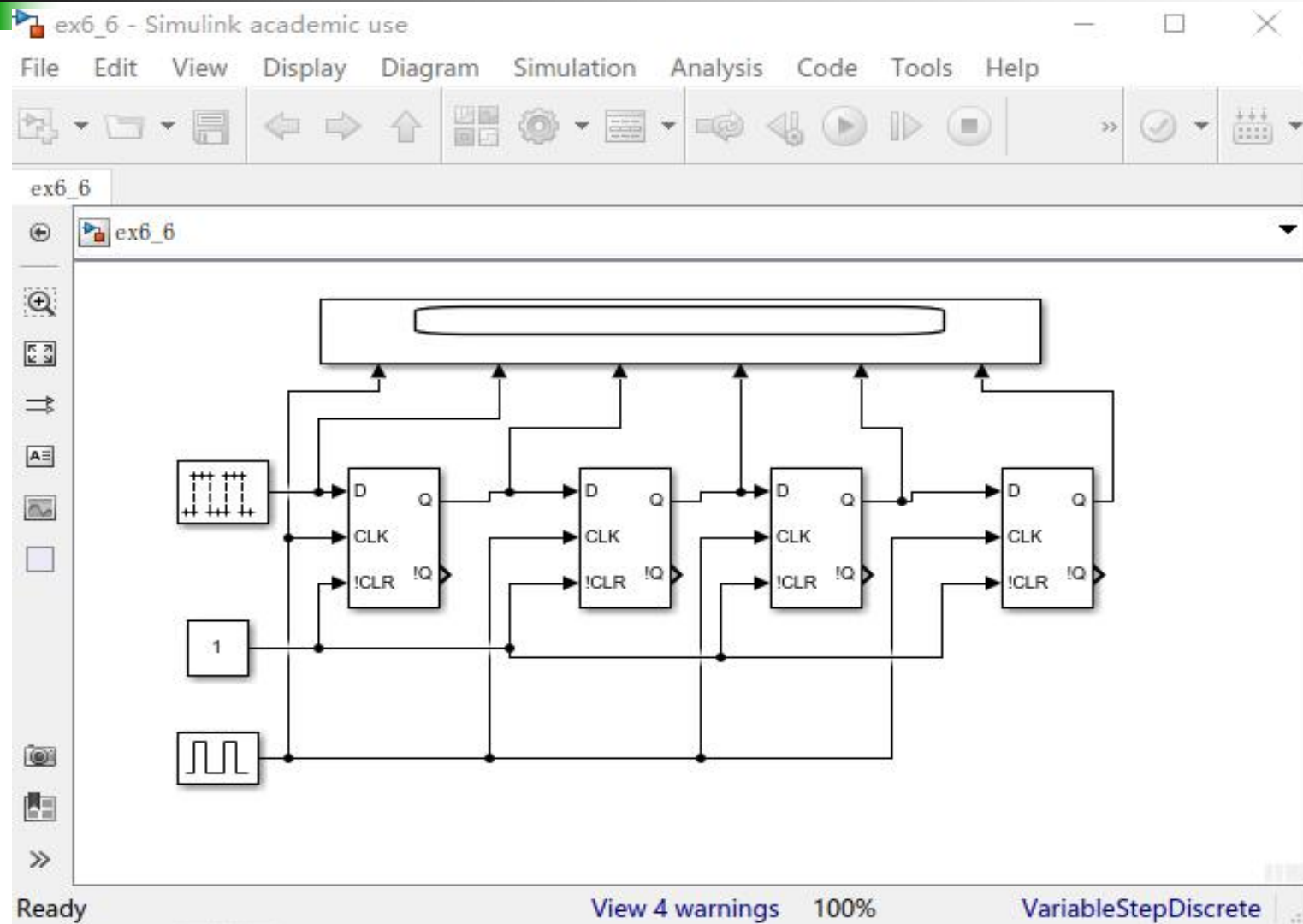
- 移位寄存器是一种寄存器相互串联的连接方式，触发器中的信息可以移动一位和多位。除第一级外，其他各级的控制输入皆为前级的输出所有触发器公用一个时钟。移位寄存器通常是作为数据的通道使用，因此通常选用D触发器作为其中的寄存器。
- 构建四位移位寄存器模型 ex6\_6
- 四位移位寄存器由标准D触发器级联组成





武汉大学

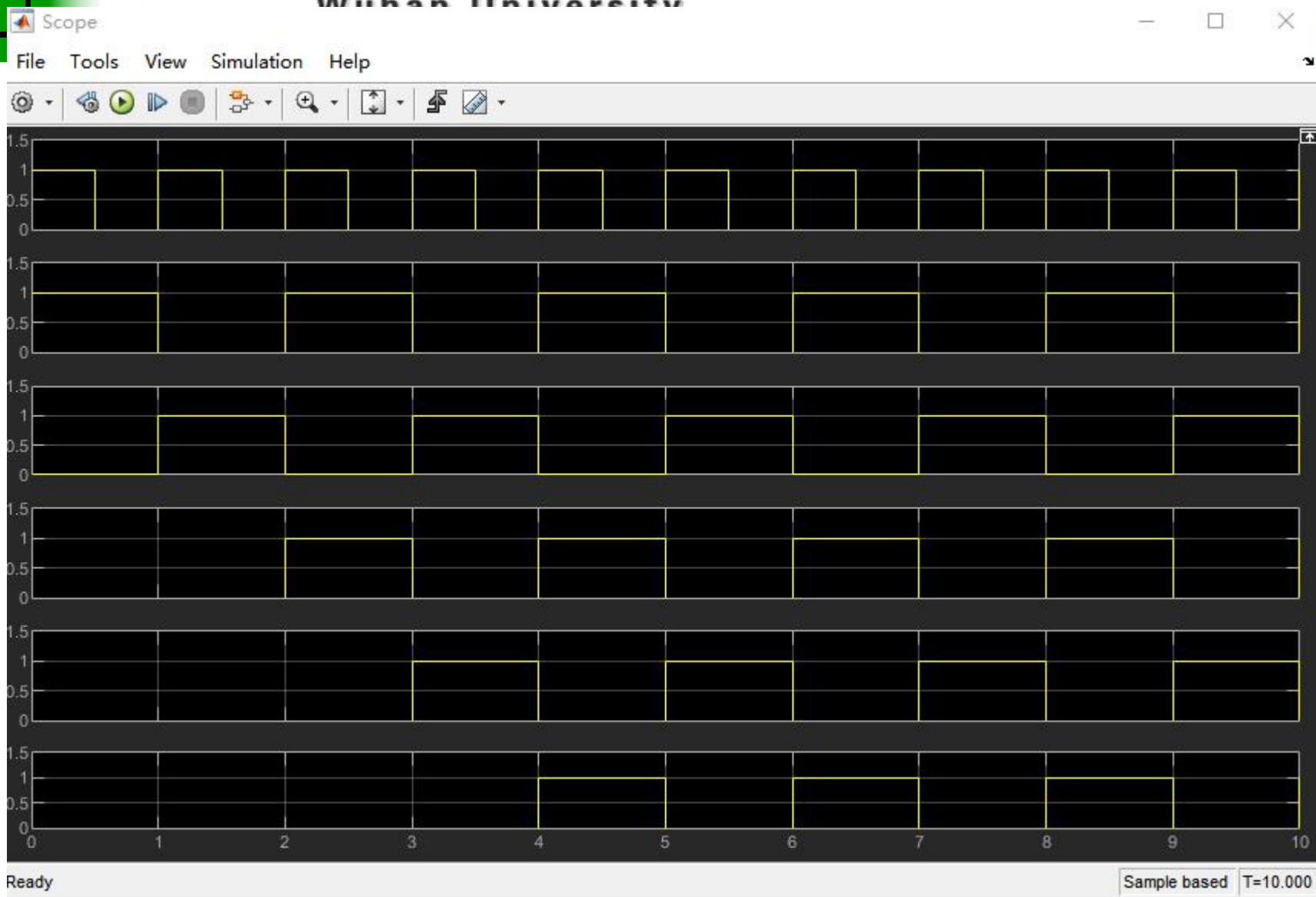
Wuhan University





# 武汉大学

Wuhan University





武汉大学

Wuhan University

## 6.2.3 计数器仿真

- 计数器是数字电路设计中常见的一种结构，其组成方式也有很多，下面介绍一种简单的计数器的建模。
- 同步计数器仿真 ex6\_7  
使用J-K触发器构建8421十进制同步加法计数器



武汉大学

Wuhan University

## 8421码子系统

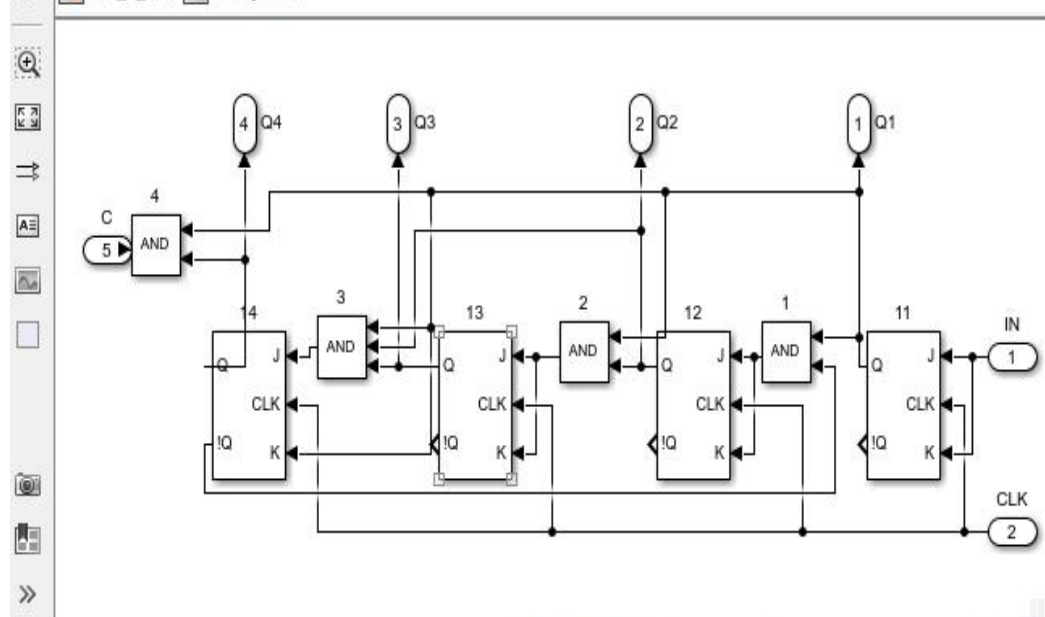
ex6\_7\_m/Subsystem - Simulink academic use

File Edit View Display Diagram Simulation Analysis Code Tools Help



Subsystem

ex6\_7\_m ▸ Subsystem



Ready

View 1 warning

100%

ode45

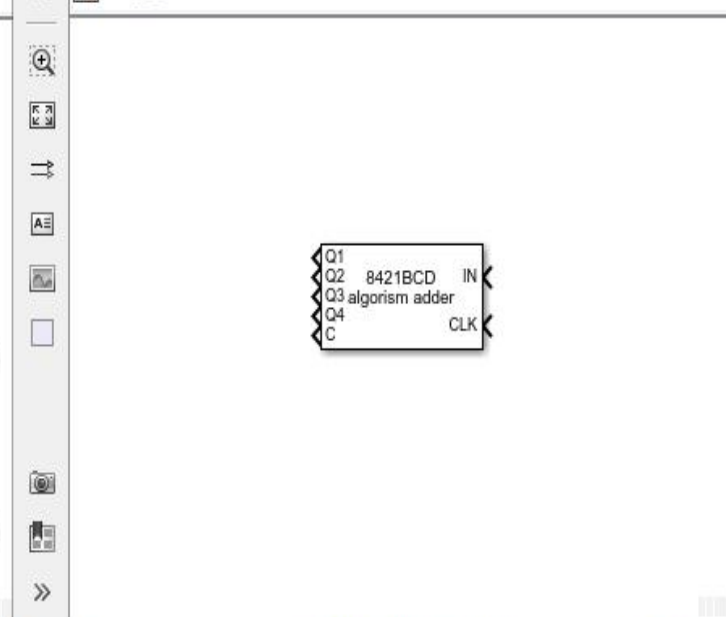
ex6\_7\_m - Simulink academic use

File Edit View Display Diagram Simulation Analysis Code >



ex6\_7\_m

ex6\_7\_m ▸



Ready

View 1 warning

100%

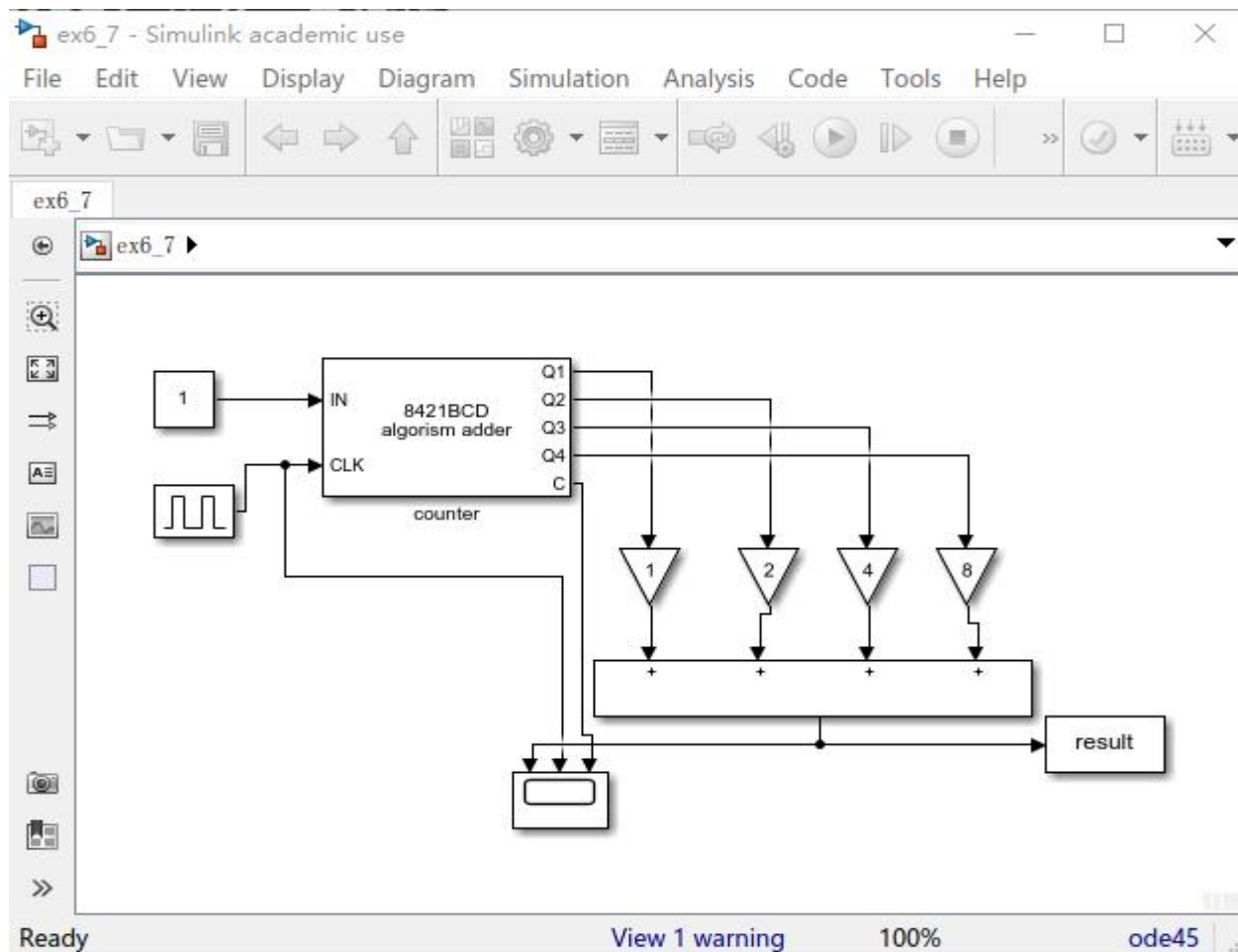
ode45



武汉大学

Wuhan University

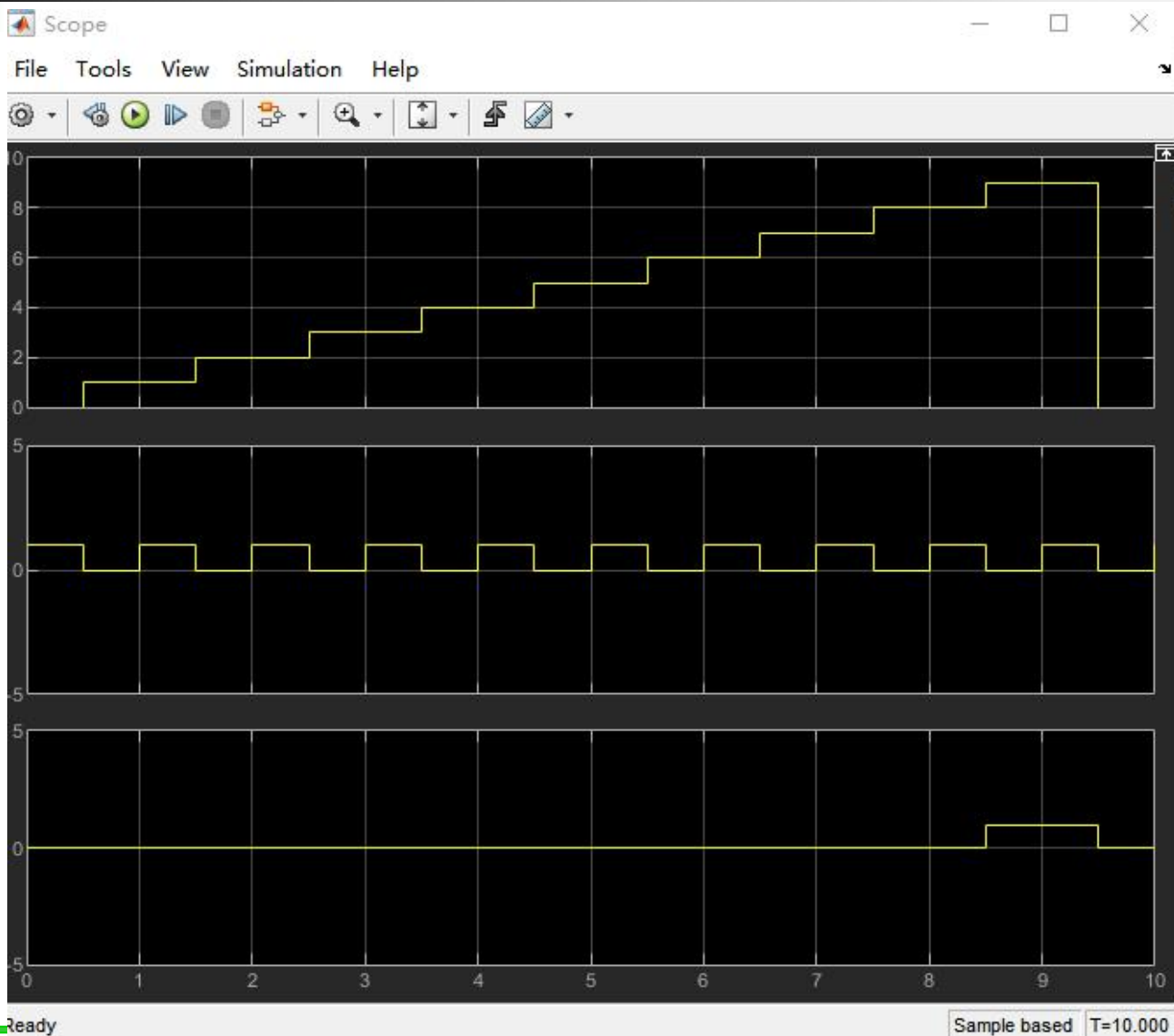
## ■ 加法计数器系统





武汉大学

Wuhan University





武汉大学

Wuhan University

## ■ 习题：

使用Combinatoinal Logic模块完成对  
以下函数功能的建模和仿真：

$$X = \overline{AB} + \overline{BC} + \overline{AC}$$

$$Y = (\overline{A} + B)(\overline{B} + C)(\overline{C} + A)$$

$$\mathbf{Z1=X+Y}$$

$$\mathbf{Z2=XY}$$



武汉大学

Wuhan University

## ■ 习题：

**采用触发器（D or J-K）构建10分频器，完成对输入时钟10分频的功能。**

**要求：1、思路**

**2、逻辑表达式**

**3、模型图和输出波型**

**4、分析和总结**