

计算机组织结构书面作业提交说明

作业发布：Moodle

作业提交：微信小程序



请注意：

- 1) Moodle 上不需要提交作业。**
- 2) 部分作业不需要在小程序中提交。**

===== 分割线：以下内容不在小程序上提交 =====

- 3) 小程序中的作业为半自动批改，请按照作业要求的精度填写答案。**

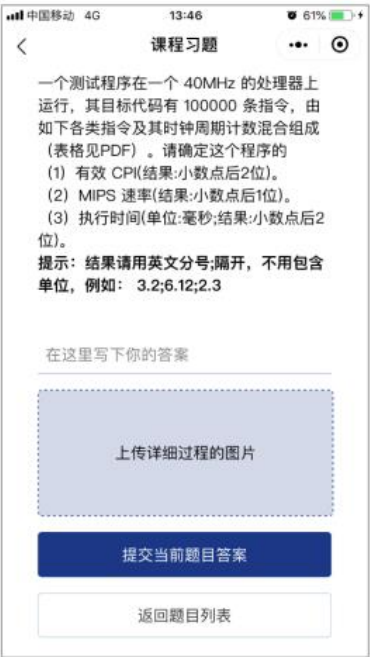
提交步骤：

1. 第一次学习本课程的同学，在进入小程序后需先注册，注册时需要填写学号和姓名。
已经注册过的同学，会直接进入步骤 2。

2. 注册后，会看到一个作业列表，点击列表中的某个作业，可以查看题目。



3. 点击某个题目，可以进入提交答案的界面。在这个界面中，同学们需要在输入框中输入答案，并点击图片上传区域，将手写的计算过程拍照并上传，最后点击“提交当前题目答案”，完成提交。



“计算机组织与结构”作业 01

1. 一个测试程序在一个 40MHz 的处理器上运行，其目标代码有 100000 条指令，由如下各类指令及其时钟周期计数混合组成：

指令类型	指令计数	时钟周期计数
整数算术	45000	1
数据传送	32000	2
浮点数	15000	2
控制传送	8000	2

请确定这个程序的有效 CPI（结果：小数点后 2 位）、MIPS 速率（结果：小数点后 1 位）和执行时间（单位：毫秒；结果：小数点后 2 位）。

2. 若某处理器的时钟频率为 500MHz，每 4 个时钟周期组成一个机器周期，执行一条指令需要 3 个机器周期，则该处理器的一个机器周期是多少（单位：纳秒；结果：整数）？MIPS 速率是多少（结果：小数点后 1 位）？
3. 假设在三台计算机上执行了 4 个测试程序，结果如下：

	计算机 A	计算机 B	计算机 C
程序 1	1	10	20
程序 2	1000	100	20
程序 3	500	1000	50
程序 4	100	800	100

表中表示的每个程序执行 10^8 条指令所用的执行时间（单位：秒）。请计算 MIPS 算术平均值和调和平均值（结果：小数点后 3 位），并对计算机的性能排序。

===== 分割线：以下内容不在小程序上提交 =====

4. 处理器性能的一个普通度量是指令执行的速率，表示为每秒百万条指令（MIPS）。请用时钟速率和 CPI 来表示 MIPS 速率。
5. 为了得到各计算机可靠的性能比较，最好是在每个计算机上运行几个不同的测试程序，然后取 MIPS 的平均结果。取平均结果时，可以采用算术平均值，也可以采用调和平均值，请说明这两种度量方法各自的合理性。
6. IBM 360Model 75 的指令周期的时间是 360Model 30 的 5 倍，而相对性能却提高为原来的 50 倍。为什么会出现这种现象？

“计算机组织结构” 作业 02

- 下列几种情况所能表示的数的范围是什么？
 - 16 位无符号整数
 - 16 位原码定点小数
 - 16 位补码定点整数
- 设某浮点数格式为：1 位数符、5 位阶码、6 位尾数。参照 IEEE754 浮点数的解释方式，写出：
 - 规格化数的非零正数的最小值、最大值
 - 非规格化数的最小值、最大值
 - 写出 $9/16$ 的二进制表示。
- 假定变量 `int i = 123465790`、`float f = 1.23456789e9`，`sizeof(int)=4`，判断以下表达式的结果（True / False）
 - `i == (int)(float)f; i == (int)(double)f`
 - `i == (float)(int)f; i == (float)(double)f`
- 下图是某个 java 程序，和该程序的若干组执行结果。请根据 IEEE754 标准的舍入规定对运行结果进行解释说明，并通过分析得出 float 变量的有效十进制位数

```
public static void main(String[] args) {
    float f;
    BufferedReader br = new BufferedReader(new InputStreamReader(System.in));
    while (true) {
        System.out.print("please enter a number: ");
        try {
            f = Float.parseFloat(br.readLine());
            System.out.printf("%f\n", f);
        } catch (IOException e) {
            e.printStackTrace();
        }
    }
}
```

please enter a number: 61.419997
61.419998
please enter a number: 61.419998
61.419998
please enter a number: 61.419999
61.419998
please enter a number: 61.42
61.419998
please enter a number: 61.420001
61.420002
please enter a number: |

===== 分割线：以下内容不在小程序上提交 =====

- 设一个变量的值为 2049，在程序中将其转换为 32 位整数补码、IEEE754 单精度浮点数格式并打印该变量（用二进制字符串表示），找出两种编码中表示有效值的二进制序列，并说明这段序列不同的原因及浮点数表示有效值的方式的优势

“计算机组织结构” 作业 03

1. 存储器中有一个 8 位字 11000010，假设在海明码中采用偶校验，请写出加入校验码后的数据。（示例：000000000000）

2. 一个 8 位字 00111001，采用海明码生成校验位后存储。假定由存储器读出数据时，计算出的校验位是 1101，那么由存储器读出的数据字是什么？（示例：00000000）

3. 已知下列字符的 ACSII 编码：A=1000001，a=1100001，0=0110000，求：

- a) E 在最前面加入奇校验位后的 8 位编码；
- b) e 在最前面加入奇校验位后的 8 位编码；
- c) 7 在最前面加入奇校验位后的 8 位编码；
- d) g 在最前面加入奇校验位后的 8 位编码；
- e) Z 在最前面加入奇校验位后的 8 位编码；
- f) 5 在最前面加入奇校验位后的 8 位编码。

示例（均为英文标点）:00000000,00000000,00000000,00000000,00000000,00000000

4. 某计算机在信息传输中采用基于偶校验的海明码，对每个字节生成校验位。假设所传输信息的十六进制表示为 8F3CAB96H，且将信息与校验码按照故障字的顺序排列后一起传输。如果传输中没有发生任何错误，写出所接收到信息（含校验码）的十六进制表示。（示例：FFFFFFFFFFFF）

5. 假设要传送的数据信息为 100011，若约定的生成多项式为 $G(x) = x^3 + 1$ 。如果传输中没有出现错误，接收到的信息是什么？（示例：000000000）

“计算机组织结构”作业 4

1. 假设某字长为 8 位的计算机中, 带符号整数采用补码表示。已知 $x=-68$, $y=-80$, x 和 y 分别存放在寄存器 A 和 B 中。请借助编程, 回答以下问题 (要求用十六进制表示二进制序列, 十六进制中字母均要求大写; 所有标点均为英文标点, 中间没有空格; 具体格式参照每小题后面的示例):

(1-1) x 和 y 相加后的结果存放在寄存器 C 中, 寄存器 C 中的内容是什么? (示例: FF)

(1-2) 请问直接采用存储器 C 中的内容作为题 (1-1) 的运算结果, 是否正确? (示例: TRUE/FALSE)

(1-3) 请问题 (1-1) 的加法器中最高位进位 Cout 是什么? 溢出标志 OF、符号标志 SF 和零标志 ZF 各是什么? (示例: 0, 0, 0, 0)

2. 假设某字长为 8 位的计算机中, 带符号整数采用补码表示。已知 $x=-68$, $y=-80$, x 和 y 分别存放在寄存器 A 和 B 中。请借助编程, 回答以下问题 (要求用十六进制表示二进制序列, 十六进制中字母均要求大写; 所有标点均为英文标点, 中间没有空格; 具体格式参照每小题后面的示例):

(2-1) x 和 y 相减后的结果存放在寄存器 D 中, 寄存器 D 中的内容是什么? (示例: FF)

(2-2) 请问直接采用寄存器 D 中的内容作为题 (2-1) 的运算结果, 是否正确? (示例: TRUE/FALSE)

(2-3) 请问题 (2-1) 的加法器中最高位进位 Cout 是什么? 溢出标志 OF、符号标志 SF 和零标志 ZF 各是什么? (示例: 0, 0, 0, 0)

3. 填写下表中最后四行 (标识(a)-(d)) 的空白内容, 每一小题对应一行:

模 式	x		y		$x \times y$ (截断前)		$x \times y$ (截断后)	
	机器数	值	机器数	值	机器数	值	机器数	值
无符号数	110	6	010	2	001100	12	100	4
二进制补码	110	-2	010	+2	111100	-4	100	-4
(a) 无符号数	001		111					
(b) 二进制补码	001		111					
(c) 无符号数	111		111					
(d) 二进制补码	111		111					

(3-1) 填写行 (a) 中空白内容, 用逗号隔开 (示例: 6, 2, 001100, 12, 100, 4)

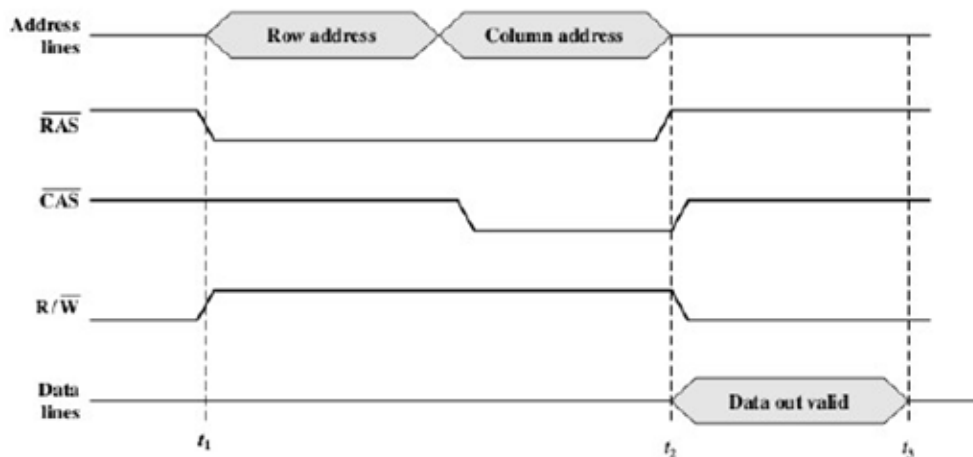
(3-2) 填写行 (b) 中空白内容, 用逗号隔开 (示例: 6, -2, 001100, -12, 100, -4)

(3-3) 填写行 (c) 中空白内容, 用逗号隔开 (示例: 6, 2, 001100, 12, 100, 4)

(3-4) 填写行 (d) 中空白内容, 用逗号隔开 (示例: -6, -2, 001100, 12, 100, 4)

“计算机组织结构” 作业 05

1. 假设采用分散式刷新，下图表示一个 DRAM 经由总线的读操作的简化时序。存取时间认为是由 t_1 到 t_2 。由 t_2 到 t_3 是刷新时间，此期间 DRAM 芯片必须再充电，然后处理器才能再次存取它们。



- a) 假定存取时间是 60ns，刷新时间是 40ns。问：存储周期是多少（单位：ns，精度：整数）？假定 1 位输出，这个 DRAM 所支持的最大数据传输率是多少（单位 Mbps，精度：整数）？
- b) 使用这些芯片构成一个 32 位宽的存储器系统，其产生的数据传输率是多少（单位 Mbps，精度：整数）？
2. 已知某机主存容量为 64KB，按字节编址。假定用 $1K \times 4$ 位的 DRAM 芯片构成该存储器，
- 请问：
- a) 需要多少个这样的 DRAM 芯片？
- b) 主存地址共多少位？哪几位用于选片？哪几位用于片内选址？
3. 假定用 $8K \times 8$ 位的 EPROM 芯片组成 $32K \times 16$ 位的只读存储器，请问
- a) 数据寄存器（用于存放数据）最少应有多少位？
- b) 地址寄存器（用于存放地址）最少应有多少位？
- c) 共需要多少个 EPROM 芯片？
4. 使用 32 个 $64K \times 1\text{bit}$ 的 DRAM 芯片组成一个 $256K \times 8\text{bit}$ 的存储器。
- a) 若采用集中刷新方式，则存储器刷新一遍最少用多少次刷新操作？
- b) 若采用异步刷新方式，每单元刷新间隔不超过 2ms，则生成的刷新信号的间隔时间最长是多少？（保留一位小数，单位为 μs ）
- c) 若改用 $16K \times 4\text{bit}$ 的 DRAM 芯片构成上述 $256K \times 8\text{bit}$ 的存储器，则以集中式刷新一遍所有单元需要多少次刷新操作？

5. 某计算机的主存地址空间大小为 64KB，按字节编址，已配有 0000H~7FFFH 的 ROM 区
- a) 若再用 $8K \times 4\text{bit}$ 的 RAM 芯片填补剩余的地址空间，需要多少个这样的芯片？
 - b) 假定将该计算机的主存地址空间升级为 16MB，ROM 的地址范围还是 000000H~007FFFH，剩下的所有地址空间都用 $8K \times 4\text{bit}$ 的 RAM 芯片配置，需要多少个这样的芯片？

“计算机组织结构”书面作业 06

1. 计算机系统包含容量为 $32K \times 16$ 位的主存，按字编址，每字 16 位。Cache 采用 4 路组关联的映射方式，数据区大小为 4K 字，主存块大小为 64 字。假设 Cache 初始时是空的，处理器顺序地从存储单元（每个存储单元中包含 1 个字）0,1,...,4351 中取数，然后再重复这一顺序 9 次，并且 Cache 的速度是主存的 10 倍，同时假设块替换用 LRU 算法。请说明使用 Cache 后的速度为原来的多少倍（精度：小数点后 1 位）。

2. 考虑一个每行 16 个字节的 4 行 Cache，主存按每块 16 个字节划分，即块 0 有地址 0 到 15 的 16 个字节，等等。先考虑以程序，它以如下地址顺序访问主存：

一次：63~70

循环 10 次：15~32, 80~95

(2-1) 假设 Cache 组织成直接映射式。块 0、4、...指派到行 0，块 1、5、...指派到行 1，如此类推。请计算命中率（形式：小数，非百分数；精度：小数点后 3 位）。

(2-2) 假设 Cache 组织成两路组关联映射式，共有两组，每组两行。偶序号块指派到组 0，奇序号块指派到组 1。使用 LRU 替换策略，请计算命中率（形式：小数，非百分数；精度：小数点后 3 位）。

3. 考虑一个存取时间为 1ns 和命中率 $H=0.95$ 的 L1 Cache。假设我们修改了此 Cache 的设计（Cache 的容量、组织），从而使得命中率提升到 0.97，但也使存取时间增大到 1.5ns。如果要使得新设计能导致性能改善，cache 的速度必须是主存的多少倍以上（精度：整数）？

4. 假设主存中的 5 个块 {1,2,3,4,5} 映射到 cache 的同一组，对于主存块访问地址流 {1,2,3,4,1,2,5,1,2,3,4,5}，计算以下情况下的命中率（形式：小数，非百分数；精度：小数点后 3 位）：

(4-1) 采用 3-路组关联和 LRU 算法；

(4-2) 采用 4-路组关联和 LRU 算法；

(4-3) 采用 5-路组关联和 LRU 算法；

(4-4) 采用 3-路组关联和 FIFO 算法；

(4-5) 采用 4-路组关联和 FIFO 算法；

(4-6) 采用 5-路组关联和 FIFO 算法。

5. 假设某处理器的时钟频率为 1.2GHz，当 L1 cache 无缺失时的 CPI 为 1（即 CPU 可以快速地从 L1 cache 中读取指令，并在 1 个时钟周期内完成）。访问一次主存的时间为 100ns（包括所有缺失处理），L1 cache 的局部缺失率为 2%。若增加一个 L2 cache，并假定 L2

cache 的访问时间为 5ns，而且其容量足够大到使全局缺失率仅为 0.5%。分析增加 L2 cache 后处理器执行程序的效率为原来的多少倍（精度：小数点后 3 位）？

6.某计算机的主存地址空间为 256MB，按字节编址，指令 Cache 分离，均有 8 个 Cache 行，每个 Cache 行的大小为 64B，数据 Cache 采用直接映射方式，现有两个功能相同的程序 A 和 B,其伪代码如下所示：

<pre>程序 A: int a[256][256]; int sum_array 1() { int i,j,sum=0; for(i=0;i<256;i++) for (j=0;j<256;j++) sum +=a[i][j]; return sum; }</pre>	<pre>程序 B: int a[256][256]; int sum_array 2() { int i,j,sum=0; for(j=0;j<256;j++) for (i=0;i<256;i++) sum +=a[i][j]; return sum; }</pre>
--	--

假定 int 类型数据用 32 位补码表示，程序编译时 i、j、sum 均分配在寄存器中，数组 a 的首地址为 320(十进制)。

(6-1) 若不考虑用于 Cache 一致维护和替换算法的控制位，则数据 Cache 的总容量为多少（单位：字节,只填数字即可）？

(6-2) 数组元素 a[0][31]和 a[1][1]各自所在的主存块对应的 Cache 行号分别是多少(Cache 行号从 0 开始)?(答案以英文逗号分割)

(6-3) 程序 A 和 B 的数据访问命中率各是多少（形式：小数，非百分数,以英文逗号分割；精度:小数点后 3 位）？

===== 分割线：以下内容不在小程序上提交=====

1. 一个组关联 Cache 由 64 个行组成，每组 4 行。主存储器包含 4K 个块，每块 128 字，请表示主存地址的格式。

2. 一个两路组关联的 Cache 具有 8K 字节的容量，每行 16 字节。64M 字节的主存时字节可寻址的（即以字节为单位进行访问）。请给出主存地址格式。

3. 假设 Cache 有 4K 字，每行 32 字。对十六进制主存地址：111111、666666、BBBBBB，请用十六进制格式表示如下信息：

(3-1) 直接映射 Cache 的地址格式；

(3-2) 全关联映射 Cache 的地址格式；

(3-3) 两路组关联 Cache 的地址格式。(提示：每个映射方式下，需要将标记、块内地址等分开表示。)

4. 对一个有两级 Cache 的系统，定义： T_{C1} = 第一级 Cache 存取时间； T_{C2} = 第二级 Cache 存取时间； H_1 = 第一级 Cache 命中率； H_2 = 组合的第一/二级 Cache 命中率。请给出读操作时间的表示。(提示：需要假设主存的存取时间)

“计算机组织结构” 作业 07

1. 考虑一个单片磁盘，它有如下参数：旋转速率是 7200rpm，一面上的磁道数是 30000，每道扇区数是 600，寻道时间是每越过一百个磁道用时 1ms。假定开始时磁头位于磁道 0，收到一个存取随机磁道上随机扇区的请求。
 - a) 平均寻道时间是多少（精度：小数点后 2 位，单位：s）？
 - b) 平均旋转延迟是多少（精度：小数点后 2 位，单位：ms）？
 - c) 一个扇区的传送时间是多少（精度：小数点后 4 位，单位：ms）？
 - d) 完成访问请求的总的平均时间是多少（精度：小数点后 2 位，单位：ms）？

[黄涵倩, 131250016]

2. 假定一个程序重复完成将磁盘上一个 4KB 的数据块读出，进行相应处理后，写回到磁盘的另外一个数据区。各数据块内信息在磁盘上连续存放，并随机地位于磁盘的一个磁道上。磁盘转速为 7200rpm，平均寻道时间为 10ms，磁盘最大数据传输率为 320Mbps，没有其他程序使用磁盘和处理器，并且磁盘读写操作和磁盘数据的处理时间不重叠。若程序对磁盘数据的处理需要 20000 个时钟周期，处理器时钟频率为 500MHz，则：
 - a) 该程序完成一次数据块“读出-处理-写回”操作所需要的时间为多少（精度：小数点后 2 位，单位：毫秒）？
 - b) 每秒钟可以完成多少次这样的数据块操作（精度：整数）？
3. 假设有一个磁盘，每面有 200 个磁道，盘面总存储容量为 1.6MB，磁盘旋转一周时间为 25ms，每道有 4 个区，每两个区之间有一个间隙，磁头通过每个间隙需要 1.25ms。请问：从该磁盘上读取数据时的最大数据传输率是多少（精度：小数点后 2 位，单位：Mbps）？
4. 某个磁盘的磁道编号为 0~999。磁头寻道时，每跨越 1 个磁道所需的平均时间为 0.01ms（例如磁头从磁道 2 移动到磁道 3 需要 0.01ms）。磁盘的平均旋转速度为 6000 转/分钟。每个磁道上的扇区数量为 1000 个。

已知当前磁盘为空，有 5 个写入数据的任务同时到达

任务	1	2	3	4	5
开始写入的磁道	300	170	220	90	470
写入数据大小	3MB	40KB	1MB	500KB	600KB

假设磁头的初始位置为磁道 200，采用最短寻道时间优先算法（即优先处理开始写入位置与当前磁头位置最接近的任务），且每个磁道上都从 0 号扇区写入，多于 1 个磁道时向磁盘中心移动。请问完成这 5 个写入任务所需要的总时间为多少？

===== 分割线：以下内容不在小程序上提交 =====

5. 考虑一个有 N 个磁道的磁盘，磁道编号由 0 到 N-1，并假定所要求的扇区随机均匀分布在盘上。
 - a) 假设磁头当前位于磁道 t 上，计算越过的磁道数为 j 的概率。
 - b) 假设磁头可能出现在任意磁道上，计算越过的磁道数为 k 的概率。

c) 计算越过的平均磁道数的期望。

6. 为一个磁盘系统定义如下参数：

T_s = 寻道时间，即磁头定位在磁道上的平均时间

r = 磁盘的旋转速度（单位：转/秒）

n = 每个扇区的位数

N = 一个磁道的容量（单位：位）

T_A = 访问一个扇区的时间

请推导 T_A 的表达式。

[黄涵倩, 131250016]

其他贡献者：

[陈乾明, 121250014]

“计算机组织结构”作业 08

1. 考虑一个有 10 个磁盘，每个磁盘 100GB 的 RAID 阵列。对于 RAID0、1、2、3、4、5、6 中的各级，有效数据的存储容量为多大？
2. 假定有两个用来存储 10TB 数据的 RAID 系统，每个磁盘的大小均为 2TB。系统 A 使用 RAID 1 技术，系统 B 使用 RAID 5 技术。请问：[刘璟，121250083]
 - a) 系统 A 需要比系统 B 多用多少存储容量（单位：TB）？
 - b) 假定一个应用需要向磁盘写入一块数据，若磁盘读或写一块数据的时间为 30ms，则最坏情况下，在系统 A 上写入一块数据需要多少时间（单位：毫秒）？
 - c) 如果问题 b) 是在系统 B 上写入一块数据，需要多少时间（单位：毫秒）？
 - d) 哪个系统更加可靠？

“计算机组织结构” 作业 9

- 假设一个分页虚拟存储系统的虚拟地址为 40 位，物理地址为 36 位，页大小为 16KB，按字节编址。若页表中的有效位、存储保护位、修改位、使用位共占 4 位，磁盘地址不在页表中。则该存储系统中每个程序的页表大小为多少（单位：MB）？（说明：1.假设每个程序都能使用全部的虚拟内存；2.页表项的长度必须为字节的整数倍）
- 假设一个计算机系统有一个 TLB 和一个 L1 data cache。该系统按字节编址，虚拟地址 16 位，物理地址 12 位；页大小为 128B，TLB 为 4-路组相连，共有 16 个页表项；L1 data cache 采用直接映射方式，块大小为 4B，共 16 行。在系统运行的某一时刻，TLB、页表和 L1 data cache 中的部分内容如下图所示（16 进制表示）：

组 号	标 记	页 框	有 效 位	标 记	页 框	有 效 位	标 记	页 框	有 效 位	标 记	页 框	有 效 位
0	05	—	0	09	1D	1	00	08	1	07	10	1
1	13	1C	1	02	17	1	04	—	0	0A	—	0
2	02	09	1	08	—	0	06	—	0	03	11	1
3	07	—	0	63	12	1	0A	30	1	72	—	0

虚页号	页框号	有效位
000	08	1
001	03	1
002	14	1
003	02	1
004	—	0
005	16	1
006	—	0
007	07	1
008	13	1
009	17	1
00A	09	1
00B	—	0
00C	19	1
00D	—	0
00E	11	1
00F	0D	1

页表的前 16 行内容

行索引	标记	有效位	字节 3	字节 2	字节 1	字节 0
0	19	1	12	56	C9	AC
1	—	0	—	—	—	—
2	1B	1	03	45	12	CD
3	—	0	—	—	—	—
4	32	1	23	34	C2	2A
5	0D	1	46	67	23	3D
6	—	0	—	—	—	—
7	10	1	12	54	65	DC
8	24	1	23	62	12	3A
9	—	0	—	—	—	—
A	2D	1	43	62	23	C3
B	—	0	—	—	—	—
C	12	1	76	83	21	35
D	16	1	A3	F4	23	11
E	33	1	2D	4A	45	55
F	—	0	—	—	—	—

L1 data cache 的内容

请问：

- 虚拟地址中哪几位表示虚拟页号？
- 虚拟页号的哪几位表示 TLB 标记？
- 物理地址中哪几位表示物理页号？
- 在访问 cache 时，物理地址哪几位表示行号？
- CPU 从地址 067AH 中取出的值为多少？

===== 分割线：以下内容不在小程序上提交 =====

- 虚拟内存的大小是否等于主存的容量加上磁盘的容量？为什么？

“计算机组织结构” 作业 10

1. 假设一个同步总线的时钟频率为 50MHz，总线宽度为 32 位，每个时钟周期传送一个数据，该总线的带宽为多少（单位：Mbps）？
2. 一个 32 位的微处理器，它有 16 位的外部数据总线，由 40MHz 输入时钟驱动。
 - a) 假设一个总线事务需要的最短时间等于 4 个输入时钟周期，那么需要 16 个时钟周期的总线事务中，这个处理器可能维持的最大数据传输率是多少（单位：Mbps）？
 - b) 如果将它的外部数据总线扩展为 32 位，那么该总线的最大数据传输率提高到多少（单位：Mbps）？
3. VAX SBI 总线采用分布式的自举裁决方案，总线上每个设备有唯一的优先级，而且有一根独立的总线请求线 REQ，SBI 有 16 根这样的请求线 (REQ0, ..., REQ15)，其中 REQ0 优先级最高，请问最多可有多少个设备连到这样的总线上？
4. 假设某存储器总线采用同步定时方式，时钟频率为 50MHz，每个总线事务传输 8 个字，每字 4 字节。对读操作，访问顺序是 1 个时钟周期接受地址，3 个时钟周期等待存储器读数，8 个时钟周期用于传输 8 个字。对于写操作，访问顺序是一个时钟周期接受地址，2 个时钟周期延迟等待，8 个时钟周期用于传输 8 个字，3 个时钟周期恢复和写入纠错码。对于以下访问模式，求出该存储器读写时在存储总线上的数据传输率(单位：Mbps)。
 - a) 全部访问为连续的读操作。
 - b) 全部访问为连续的写操作。
 - c) 65%的时间内全是读操作，35%的时间内全是写操作
 - d) 65%的访问为读操作，35%的访问为写操作
5. 假定在一个字长为 32 位的计算机系统中，存储器分别连接以下两种同步总线。

总线 1 是 64 位数据和地址复用的同步总线，能在 1 个时钟周期内传输一个 64 位的数据或地址。支持最多连续 8 个字的存储器读操作和存储器写操作总线事务。任何一个读写操作总是先用 1 个时钟周期传送地址，然后有 2 个时钟周期的延迟等待，从第 4 个时钟周期开始，存储器准备好数据，总线以每个时钟周期 2 个字的速度传送，最多传送 8 个字。

总线 2 是分离的 32 位地址和 32 位数据的总线。支持最多连续 8 个字的存储器读操作和写操作总线事务，读操作的过程为：1 个时钟周期传送地址，2 个时钟周期延迟等待，从第 4 个时钟周期开始，存储器准备好数据，总线以每个时钟周期一个字的速度传输最多 8 个字；对于写操作，在第 1 个时钟周期内第 1 个数据字和地址一起传输，经过 2 个时钟周期的等待延迟后，以每个时钟周期 1 个字的速度传输，最多传输 7 个余下的数据字。

假设这两种总线的时钟频率都是 100MHz，请问：

- a) 总线 1 的带宽为多少（单位：Mbps）？
- b) 总线 2 的带宽为多少（单位：Mbps）？

- c) 连续进行单个字的存储器读操作总线事务，总线 1 的数据传输率为多少（单位：Mbps）？
 - d) 连续进行单个字的存储器读操作总线事务，总线 2 的数据传输率为多少（单位：Mbps）？
 - e) 连续进行单个字的存储器写操作总线事务，总线 1 的数据传输率为多少（单位：Mbps）？
 - f) 连续进行单个字的存储器写操作总线事务，总线 2 的数据传输率为多少（单位：Mbps）？
 - g) 每次传输 8 个字的数据块，其中 60% 的访问是读操作总线事务，40% 的访问是写操作总线事务，总线 1 的数据传输率是多少（单位：Mbps）？
 - h) 每次传输 8 个字的数据块，其中 60% 的访问是读操作总线事务，40% 的访问是写操作总线事务，总线 2 的数据传输率是多少（单位：Mbps）？
6. 假定连接主存和 CPU 之间的同步总线具有以下特性：支持 4 字块和 16 字块（字长 32 位）两种长度的块传输，总线时钟频率为 200MHz，总线宽度为 64 位，每个 64 位数据的传送需要 1 个时钟周期，向主存发送一个地址需要 1 个时钟周期，每个总线事务之间有 2 个空闲时钟周期。若访问主存时最初 4 个字的存取时间为 148ns，随后每读 4 个字的时间为 26ns，则：
- a) 在 4 字块传输方式下，该总线上传输 512 个字时的数据传输率为多少（单位：Mbps）？
 - b) 在 16 字块传输方式下，该总线上传输 512 个字时的数据传输率为多少（单位：Mbps）？

===== 分割线：以下内容不在小程序上提交 =====

无

“计算机组织结构” 作业 11

1.假定某计算机中有一条转移指令，采用相对寻址方式，共占 2 个字节，第一字节是操作码，第二字节是相对位移量（用补码表示），CPU 每次从内存只能取一个字节。假设执行到某转移指令时 PC 的内容为 200，执行该转移指令后要求转移到 100 开始的一段程序执行，则该转移指令第二字节的内容应该是多少（二进制表示，需要在末尾加 B）？

2.假设地址为 1200H 的内存单元中的内容为 120CH，地址为 120CH 的内存单元的内容为 38B8H，而 38B8H 单元的内容为 88F9H。说明以下各情况下操作数的操作数是多少（十六进制表示，需要在末尾加 H）？[陈姿丽，121250018]

(2-1)操作数采用变址寻址，变址寄存器的内容为 12，指令中给出的形式地址为 1200H。

(2-2)操作数采用一次间接寻址，指令中给出的地址码为 1200H。

(2-3)操作数采用寄存器间接寻址，指令中给出的寄存器编号为 8，8 号寄存器的内容为 1200H。

3.考虑一个 16 位处理器，它的一条装入指令以如下情况出现在主存，起始地址为 200。

200	Load to AC	Mode
201	500	
202	下一条指令	

第一字的第一部分指出此指令是将一个值装入累加器。Mode 字段用于指定一种寻址方式。若寻址方式需要的话，Mode 字段拨出一部分指定源寄存器；这里假定使用的源寄存器是 R1，有值 400。还有一个基址寄存器，它有值 100。地址 201 处的值 500,可以是立即数也可以是地址计算的一部分。假定位置 399 处有值 999，位置 400 处有值 1000，如此等等。请对如下寻址方式确定将被装入的操作数（十进制表示）：

(3-1)直接

(3-2)立即

(3-3)间接

(3-4)PC 相对

(3-5)基址

(3-6)寄存器

(3-7)寄存器间接

(3-8)变址（用 R1 自动增量）

[潘琦，121250105]

4.若 CPU 取并执行一条间接地址方式指令，指令是：

(4-1)一个要求单操作数的计算，CPU 需要访问存储几次？

(4-2)一个转移，CPU 需要访问存储几次？

5.考虑一个包括基址带变址寻址方式的处理器。假设遇到使用这种寻址方式的一条指令，指令给定的偏移量是 1970（十进制）。当前的基址和变址寄存器分别有十进制数 48022 和 8。操作数的地址是什么（十进制表示）？

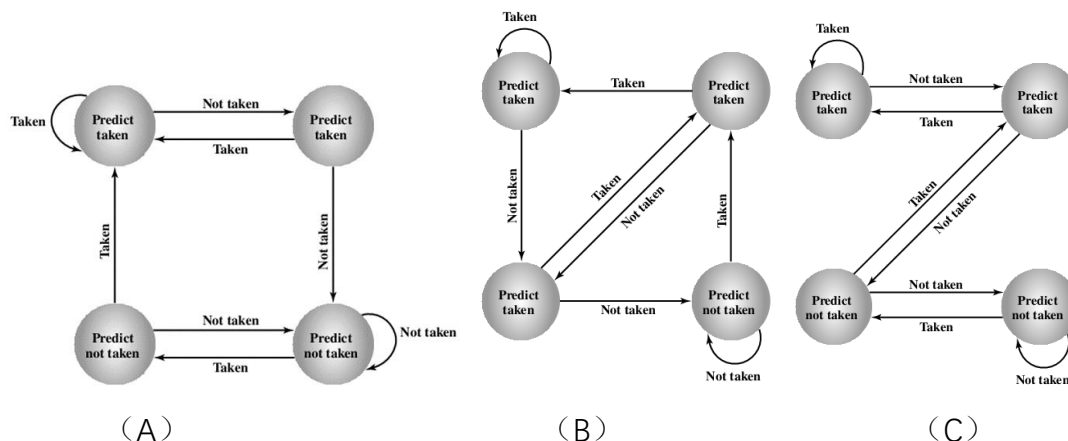
6.一 PC 相对寻址方式的转移指令存于地址为 620（十进制）的存储器位置中。它要转移到 530（十进制）位置上。指令长度为 32 位，其中地址字段长度是 10 位，其二进制值是什么（二进制表示，需要在末尾加 B）？

7.一时钟速率为 2.5GHz 的流水式处理器执行一个有 1.5 百万条指令的程序。流水线有 5 段并以每时钟周期 1 条的速率发射指令。不考虑转移指令和无序执行所带来的性能损失。

(7-1)同样执行这个程序，该处理器比非流水式处理器加速了多少（百分数）？

(7-2)此流水式处理器的吞吐率是多少（以 MIPS 为单位）？

8.假设使用下面 3 种转移处理状态图 A、B、C



执行以下一段程序

```
int sum (int N) {
    int i, j, sum = 0;
    for (i = 0; i < N; i++)
        for (j = 0; j < N; j++)
            sum = sum + 1;
    return sum;
}
```

相应的汇编程序段为

```
...
Loop-i: beq $t1, $a0, exit-i      # 若 (i=N) 则跳出外循环
        add $t2, $zero, $zero      # j=0
Loop-j: beq $t2, $a0, exit-j      # 若 (j=N) 则跳出内循环
        addi $t2, $t2, 1           # j=j+1
        addi $t0, $t0, 1           # sum=sum+1
```

```

                j Loop-j
exit-j: addi $t1, $t1, 1          # i=i+1
                j Loop-i
exit-i: ...

```

假设算法从流程图的左上角开始：

- a) 分析 N=10 时，使用转移处理状态图 A 的外层 for 循环预测正确率（百分数，精度：小数点后 2 位）。
- b) 分析 N=10 时，使用转移处理状态图 A 的内层 for 循环预测正确率（百分数，精度：小数点后 2 位）。
- c) 分析 N=100 时，使用转移处理状态图 A 的外层 for 循环预测正确率（百分数，精度：小数点后 2 位）。
- d) 分析 N=100 时，使用转移处理状态图 A 的内层 for 循环预测正确率（百分数，精度：小数点后 2 位）。
- e) 分析 N=10 时，使用转移处理状态图 B 的外层 for 循环预测正确率（百分数，精度：小数点后 2 位）。
- f) 分析 N=10 时，使用转移处理状态图 B 的内层 for 循环预测正确率（百分数，精度：小数点后 2 位）。
- g) 分析 N=100 时，使用转移处理状态图 B 的外层 for 循环预测正确率（百分数，精度：小数点后 2 位）。
- h) 分析 N=100 时，使用转移处理状态图 B 的内层 for 循环预测正确率（百分数，精度：小数点后 2 位）。
- i) 分析 N=10 时，使用转移处理状态图 C 的外层 for 循环预测正确率（百分数，精度：小数点后 2 位）。
- j) 分析 N=10 时，使用转移处理状态图 C 的内层 for 循环预测正确率（百分数，精度：小数点后 2 位）。
- k) 分析 N=100 时，使用转移处理状态图 C 的外层 for 循环预测正确率（百分数，精度：小数点后 2 位）。
- l) 分析 N=100 时，使用转移处理状态图 C 的内层 for 循环预测正确率（百分数，精度：小数点后 2 位）。

===== 分割线：以下内容不在小程序上提交 =====

1. 某计算机指令系统采用定长指令字格式，指令字长 16 位，每个操作数的地址码长 6 位。指令分为 2 地址、1 地址和 0 地址三类。如果 2 地址的指令有 k_2 条，0 地址的指令有 k_0 条，那么 1 地址的指令最多有多少条？（提示：任何指令不能有二义性，即任何指令无法同时用 2-、1-、0-地址法中两种或两种以上方式解释。）[刘璟, 121250083]

2.以 0-、1-、2-、3-地址法分别编写程序来计算：

$$X = (A + B \times C) / (D - E \times F)$$

0 地址	1 地址	2 地址	3 地址
PUSH M	LOAD M	MOV(X<-Y)	MOVE(X<-Y)
POP M	STORE M	ADD(X<-X+Y)	ADD(X<-Y+Z)
ADD	ADD M	SUB(X<-X-Y)	SUB(X<-Y-Z)
SUB	SUB M	MUL(X<-X×Y)	MUL(X<-Y×Z)
MUL	MUL M	DIV(X<-X/Y)	DIV(X<-Y/Z)
DIV	DIV M		

其中，0 地址法是采用了堆栈，每次对堆栈顶端的两个数进行操作，例如 ADD 实际上是用堆栈次顶端的数加上堆栈顶端的数。

3.假设某个计算机只有一条指令：

SUBS X 累加器减去位置 X 处的内容，结果存入累加器和位置 X 处。

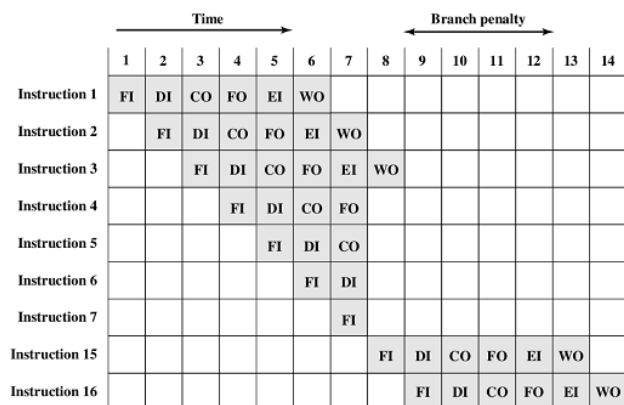
通过编程实现以下功能：

- 将位置 X 处的数据传输到累加器
- 将累加器的数据传输到位置 X 处
- 将位置 X 处的内容加到累加器

（提示：可以使用 1 个或多个内容为 0 的位置 Y、Z……）

4.考虑一个通过指令流水线来处理的长度为 n 的指令序列。假设遇到一条有条件或无条件转移指令的概率为 p，并假设执行转移 I 时转移到非连续地址的概率是 q。请重新写出使用 k 段流水线执行 n 条指令所需总时间的公式和加速比公式。

（为简化问题，认为只当发生转移的指令 I 在流水线上最后一段刚一出现时，总清流水线并撤销线上正在进行的指令。）



“计算机组织结构” 作业 12

1. 如图 1 所示，假设沿总线 and 通过 ALU 的传播延迟分别为 20ns 和 100ns。由总线将数据拷贝到寄存器需要 10ns。

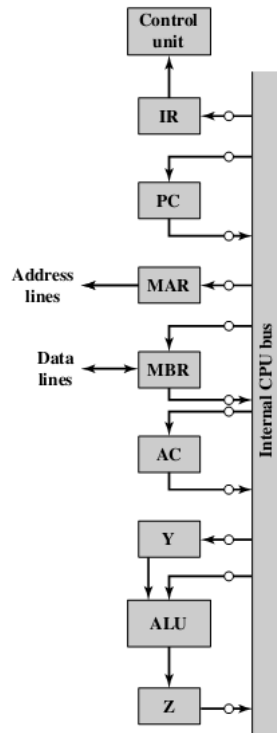


图 1

请问以下操作需要的最少时间为多少？

- 将数据从一个寄存器传送到另一个寄存器；
 - 使用 ALU 增量程序计数器。
2. 控制器如图 2 所示。假定它的控制存储器是 24 位宽。微指令格式的控制部分分成两个字段。一个 13 位的微操作字段用来指定将要完成的微操作。一个地址选择字段用来指明能引起微指令转移的条件，这些条件是基于 8 个标志来建立的。
- 地址选择字段有多少位？
 - 地址字段有多少位？
 - 控制存储器容量为多少（单位：字节）？

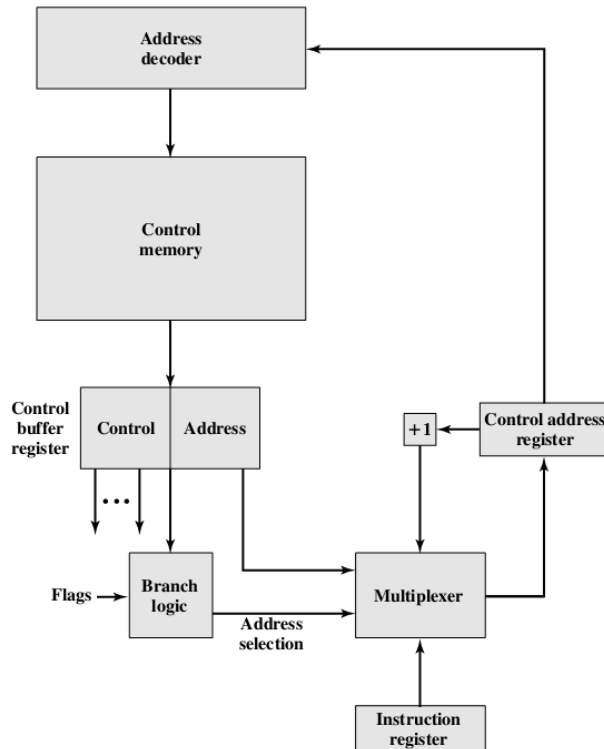


图 2

===== 分割线：以下内容不在小程序上提交 =====

3. 以图 1 为例，加一个数到 AC。请写出该数为以下情形分别所需要的微操作序列：
 - a) 立即数
 - b) 直接寻址的操作数
 - c) 间接寻址的操作数

4. 有一个 ALU 不能做减法，但它能加两个输入寄存器并能对两个寄存器的各位取逻辑反。其中，数据以二进制补码形式存储。请根据以下 4 种情形，列出用该 ALU 实现减法时控制器必须完成的操作。
 - a) 1 地址直接寻址
 - b) 1 地址间接寻址
 - c) 2 地址直接寻址
 - d) 2 地址间接寻址

5. 图 3 所示的栈保存在内存中，寄存器中存储了栈限（分配给该栈的最小地址）、栈指针（栈顶地址）和栈基（分配给该栈的最大地址）。请写出 push 和 pop 该栈所对应的微操作序列。

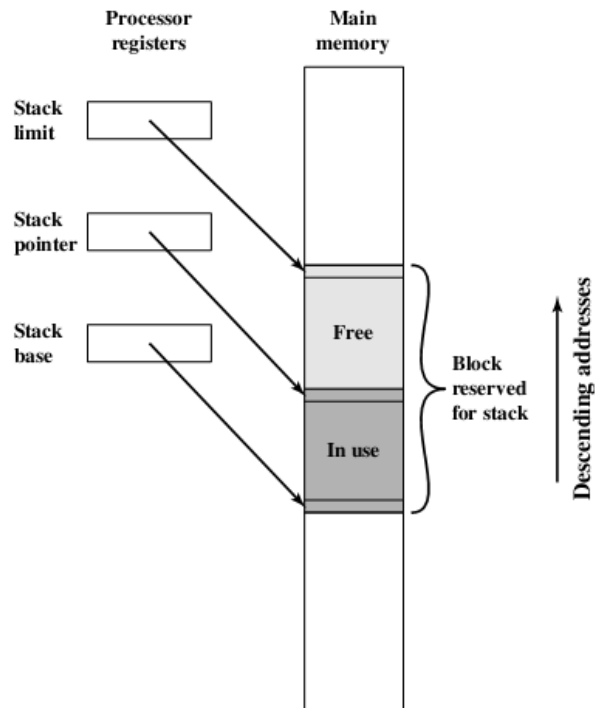


图 3

6. 一个指令周期有 4 个主要阶段：取指、间址、执行和中断。硬布线方式实现时，采用一个 2 位的寄存器来标志当前阶段，但微程序式控制器却不需要类似的标志。请问为什么硬布线式控制器需要这些标志，而微程序式控制器不需要这些标志？
7. CPU 有 16 个寄存器，一个 ALU 有 16 种逻辑功能和 16 种算术功能，一个移位器有 8 种操作，所有这些组件都与一个 CPU 内部总线相连。假设 ALU 的输入和输出都位于寄存器中，设计一种微指令格式能指定此 CPU 的各种微操作。

“计算机组织结构” 作业 13

1. 典型的微处理器是用不同地址去访问指定设备控制器中的 I/O 数据寄存器、控制和状态寄存器。这些寄存器被称为端口 (port)。Intel 8088 使用两类 I/O 指令格式。一类格式中, 8 位操作码指定 I/O 操作, 后随 8 为端口地址; 另一类格式中, I/O 操作码隐含指示端口地址在 16 位的 DX 寄存器中。
 - a) 第一类寻址模式下, 8088 能寻址多少端口?
 - b) 第二类寻址模式下, 8088 能寻址多少端口?
2. 在编程式 I/O 中, 处理器陷入一个等待循环来检查 I/O 设备状态。为提高效率, 可编写这样的 I/O 软件: 处理器周期性地检查设备状态, 若设备未就绪, 处理器跳转到执行其他任务, 在某指定时间长度的间隔后处理器再次检查设备状态。
 - a) 考虑采用上述方法向打印机一次 1 字符地输出数据。打印机以 10 字符/秒速度运行。若每 20ms 扫描一次它的状态, 需要查询几次才能得到获得打印机就绪状态?
 - b) 接着考虑一个具有单一字符缓冲器的键盘。平均而言, 字符以 10 字符/秒的速度被敲入。然而两次连续按键的时间间隔是 60ms。I/O 程序应该以什么频率扫描键盘? (单位: 次/秒)
3. 考虑某系统对一个设备使用了中断驱动式 I/O, 此设备以平均 64kbps 的速度连续传送数据。
 - a) 假设中断处理大约用 $100\ \mu\text{s}$, 每字节中断一次, 确定处理器时间的百分之几被这个 I/O 设备所消耗。(百分数, 精度: 整数)
 - b) 假设这个设备有两个 16 字节的缓冲器并当一个缓冲器满时才中断处理器一次。执行此中断服务时, 处理时间需要延长 (每传送一个字节处理器要用大约 $8\ \mu\text{s}$), 重复上问。(百分数, 精度: 整数)
4. 在一个系统中, 经由总线的一次数据传送用 500ns。总线控制的传递, 无论是由处理器到 DMA 模块还是由 DMA 模块到处理器, 两个方向上都是用 200ns。一个有 400kbps 数据传输率的 I/O 设备使用了 DMA 来传送 128 字节的块, 每次传送 1 字节的数据。
 - a) 若使用突发模式 DMA, 即块传送之前 DMA 模块获得总线控制权并一直维持对总线的控制直到整个块传送完。设备占用总线多长时间 (含获取总线控制和交回总线控制)? (单位: 毫秒, 精度: 小数点后 4 位)
 - b) 若使用周期窃取式 DMA, 重复上问。
5. 假设一个主频为 1GHz 的处理器需要从某个成块传送的 I/O 设备读取 1000 字节的数据到主存缓冲区中, 该 I/O 设备一旦启动即按 400kbps 的数据传输率向主机传送 1000 字节数据, 每个字节的读取、处理并存入内存缓冲区需要 1000 个时钟周期, 则以下 4 种方式下, 在 1000 字节的读取过程中,
 - a) 采用查询方式, 每次处理一个字节, 一次状态查询至少需要 60 个时钟周期。CPU 用在该设备的 I/O 操作上的时间为多少? (单位: 毫秒, 精度: 小数点后 3 位)
 - b) 问题 a) 中 CPU 处理 I/O 时间占整个处理器时间的百分比为多少? (百分数, 精度: 小数点后 2 位)
 - c) 采用中断驱动 I/O 方式, 外设每准备好一个字节发送一次中断请求。每次中断响应

需要两个时钟周期，中断服务程序的执行需要 1200 个时钟周期。CPU 用在该设备的 I/O 操作上的时间为多少？（单位：毫秒，精度：小数点后 3 位）

- d) 问题 c) 中 CPU 处理 I/O 时间占整个处理器时间的百分比为多少？（百分数，精度：小数点后 2 位）
- e) 采用周期挪用 DMA 方式，每挪用一次主存周期处理一个字节，DMA 初始化和后处理的时间为 2000 个时钟周期，CPU 和 DMA 没有访存冲突。CPU 用在该设备的 I/O 操作上的时间为多少？（单位：毫秒，精度：小数点后 3 位）
- f) 问题 e) 中 CPU 处理 I/O 时间占整个处理器时间的百分比为多少？（百分数，精度：小数点后 2 位）

===== 分割线：以下内容不在小程序上提交 =====

- 6. 在包含 DMA 模块的系统中，一般 DMA 存取主存储器的优先级比处理器存取主存储器的优先级高，为什么？
- 7. 假定某计算机的 CPU 主频为 500MHz，所连接的某个外设的最大数据传输率为 160kbps，该外设接口中有一个 16 位的数据缓存器，相应的中断服务程序的执行时间为 500 个时钟周期，则是否可以用中断方式进行该外设的输入输出？假定该外设的最大数据传输率改为 16Mbps，则是否可以用中断方式进行该外设的输入输出？
- 8. 若某计算机有 5 级中断，中断响应优先级为 $1 > 2 > 3 > 4 > 5$ ，而中断处理优先级为 $1 > 4 > 5 > 2 > 3$ 。要求完成以下工作：
 - a) 设计各级中断处理程序的中断屏蔽字（假设 1 为屏蔽，0 为开放）。
 - b) 若在运行主程序时，同时出现第 2、4 级中断请求，而在处理第 2 级中断过程中，又同时出现 1、3、5 级中断请求，画出此程序运行过程示意图。
- 9. 题目 5 中，如果设备的速度提高到 40Mbps，则上述 3 种方式中，哪些是不可行的？为什么？对于可行的方式，计算出 CPU 花在该设备 I/O 操作上的时间占整个处理器时间的百分比？