

# 第三章 集成门电路

## 3.1 概述

## 3.2 晶体管开关特性

## 3.3 晶体管反相器

## 3.4 分立元件门电路

## 3.5 TTL 门电路

## 3.6 其他类型的 TTL 门

## 3.7 MOS 集成门电路

## 第二章介绍了逻辑变量是双值变量

双值 { 符号 “0” “1”  
电路 “ $V_L$ ” “ $V_H$ ”

常用的逻辑器件有三种系列：

TTL :  $V_{CC}=+5V$  ;  $V_L=0.2V$  ;

$V_H \sim 6V$

ECL :  $V_{EE}=-5.2V$  ;  $V_L=-1.6V$  ;

$V_H \sim 0.0V$

CMOS :  $V_{DD}=+3V \sim +18V$  ;  $V_L=0V$  ;

$V_H = V_{DD}$

工程上:

用“ 0”表示  $V_L$  , 用“ 1”表示  $V_H$  称正逻辑

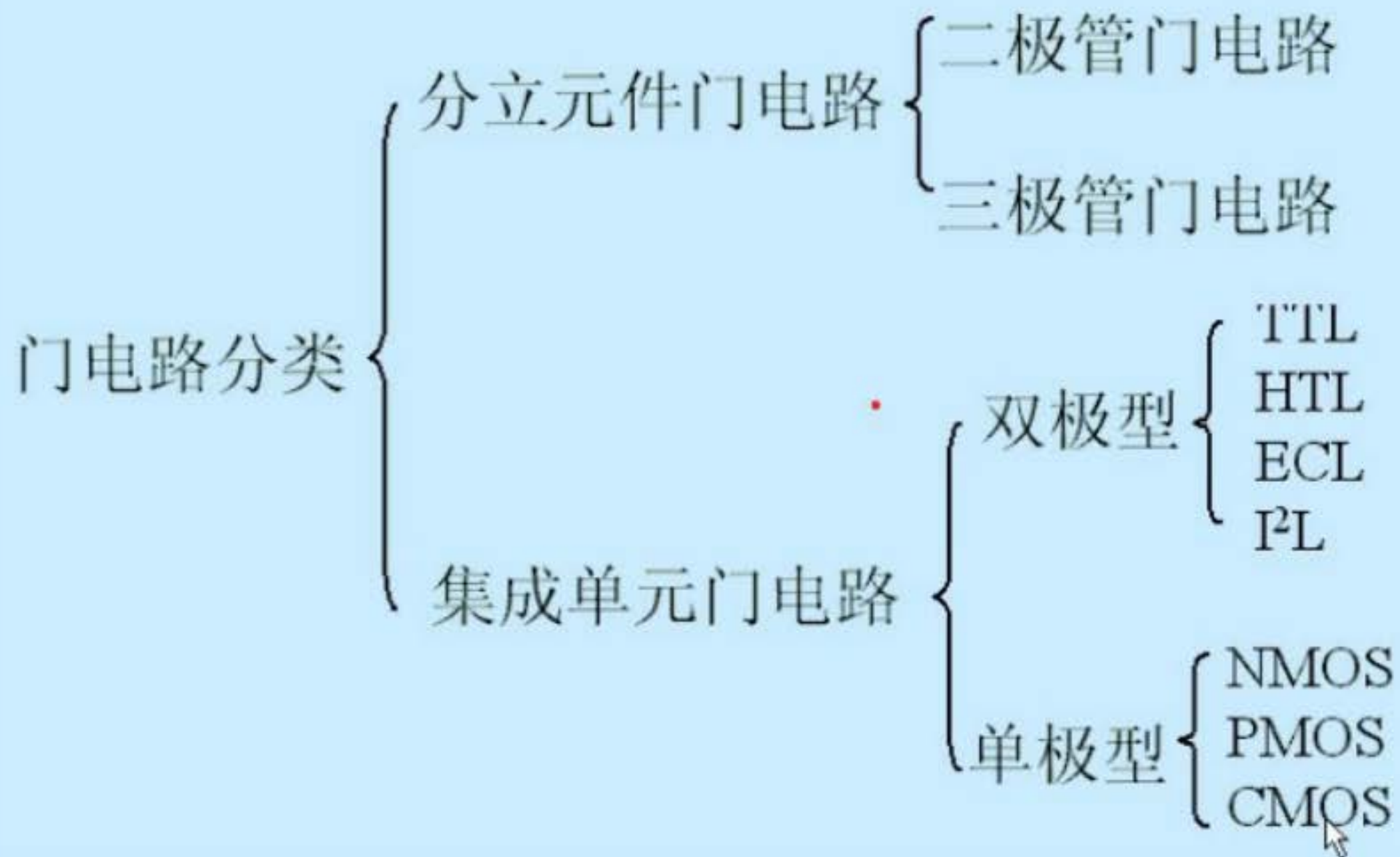
。

用“ 0”表示  $V_H$  , 用“ 1”表示  $V_L$  称负逻辑

。

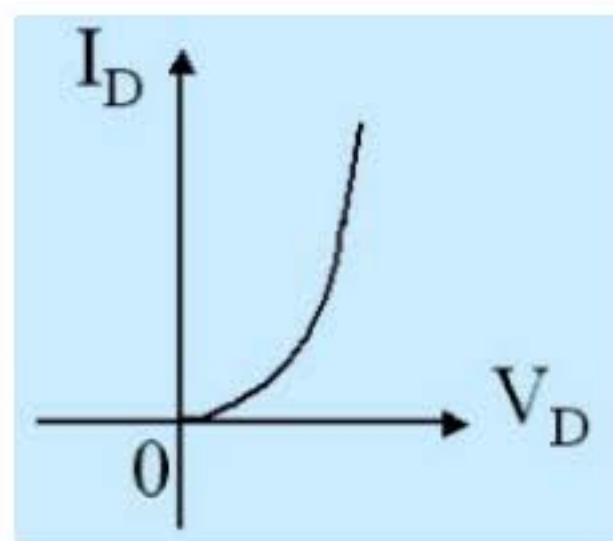
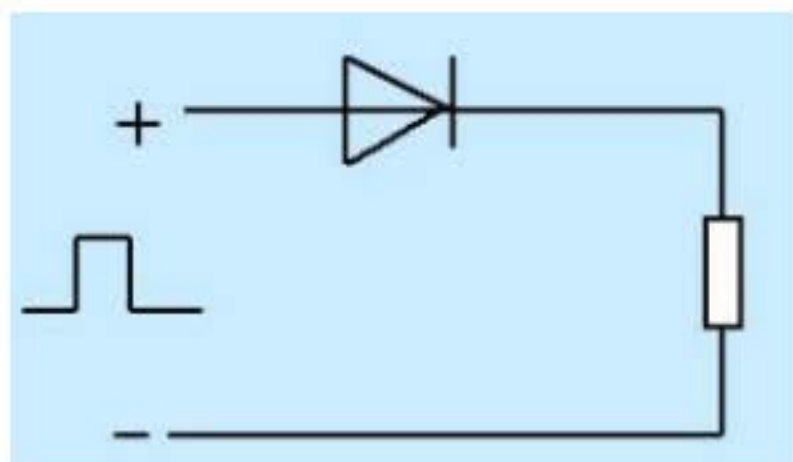


## 3.1 概述



## 3.2 晶体三极管的开关特性

### 3.2.1 晶体三极管的开关特性



1. 导通条件：  
 $V_D \geq 0.7V$

2. 导通时的特点：

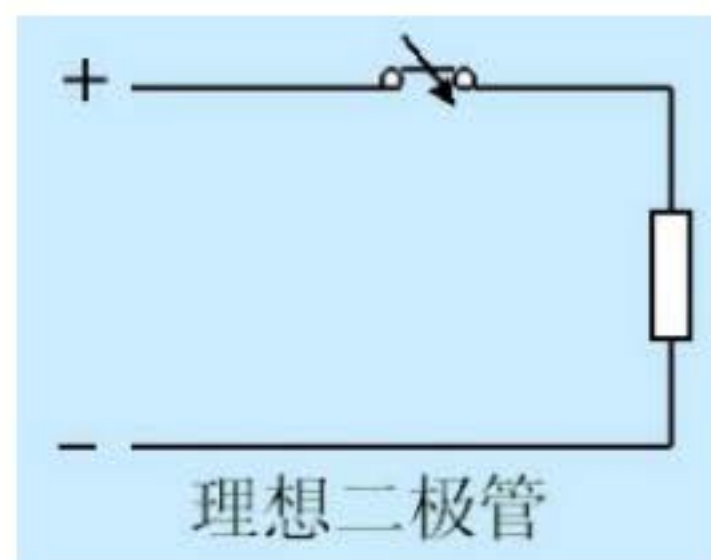
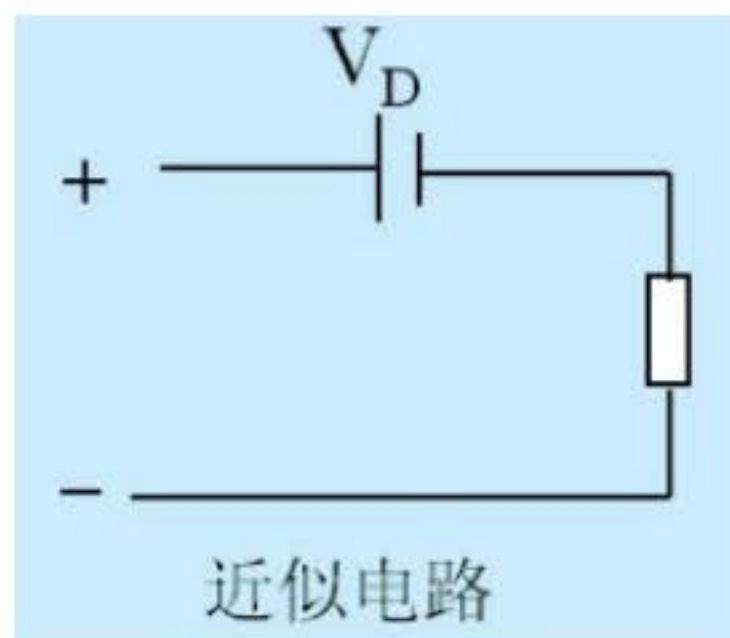
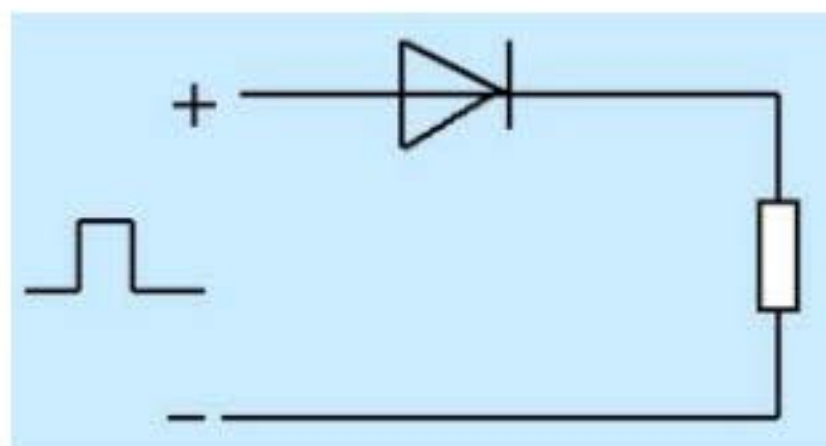
1)

$$V_D \approx 0.7V$$

2) 正向电阻很小，相当于一个闭合的开关

# 3.2.1 半导体二极管的开关特性

## 等效电路



## 3.2.1 半导体二极管的开关特性

二、截止条件和截止时的特点：

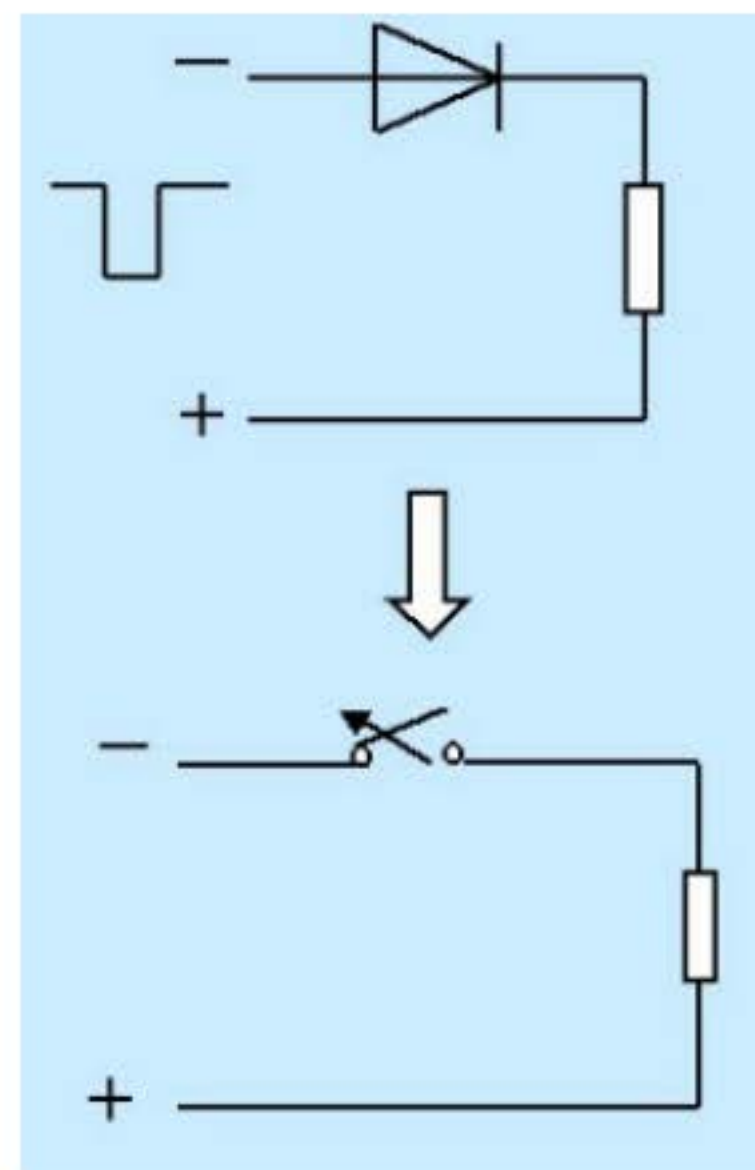
1. 截止条件：

$$V_D < 0.7V$$

2. 截止时的特点：

$$I_D \approx 0$$

反向电阻很大，相当于一个断开的开关





## 3.2.1 半导体二极管的开关特性

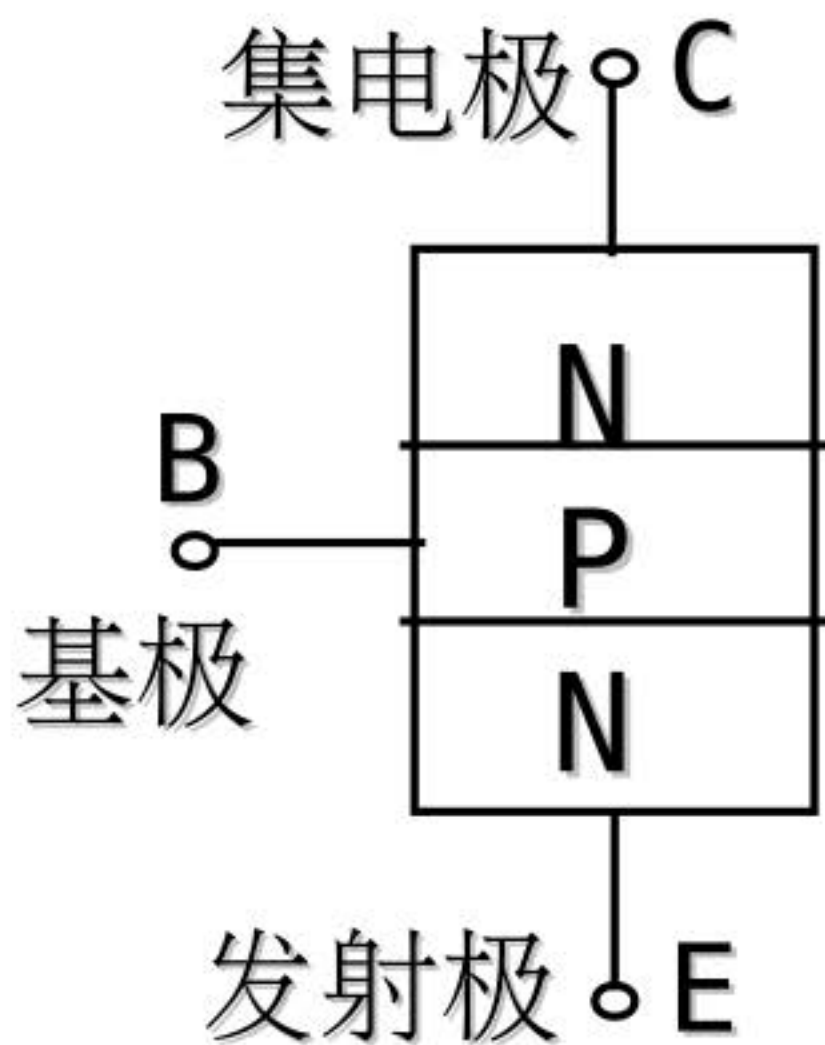
一个理想开关应具有如下特性:

- 1) 开关K断开时, 通过K的电流  $I=0$ , 开关两端点间呈现的电阻为  $\infty$
- 2) 开关K闭合时, 开关两端电压  $V=0$ , 开关两端点间呈现的电阻为  $0$ 。
- 3) 开关K的开闭动作瞬间完成, 且不受温度等因素的影响, 相当于一个理想的开关。

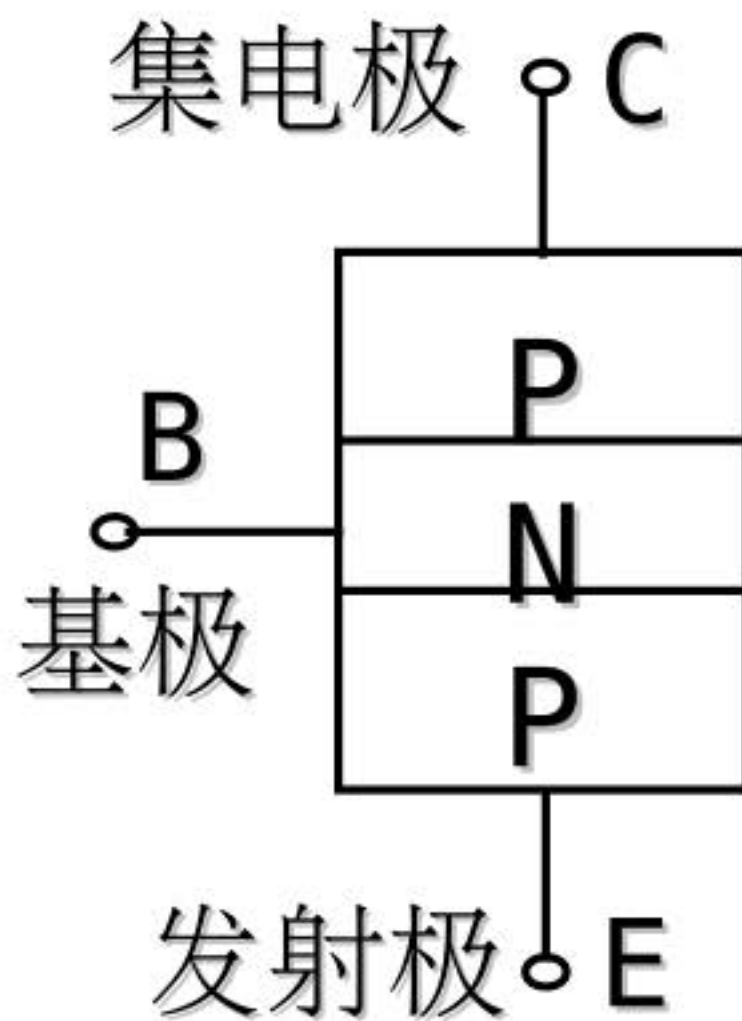


## 3.2.2 半导体三极管的开关特性

一个理想开关应具有如下特性：

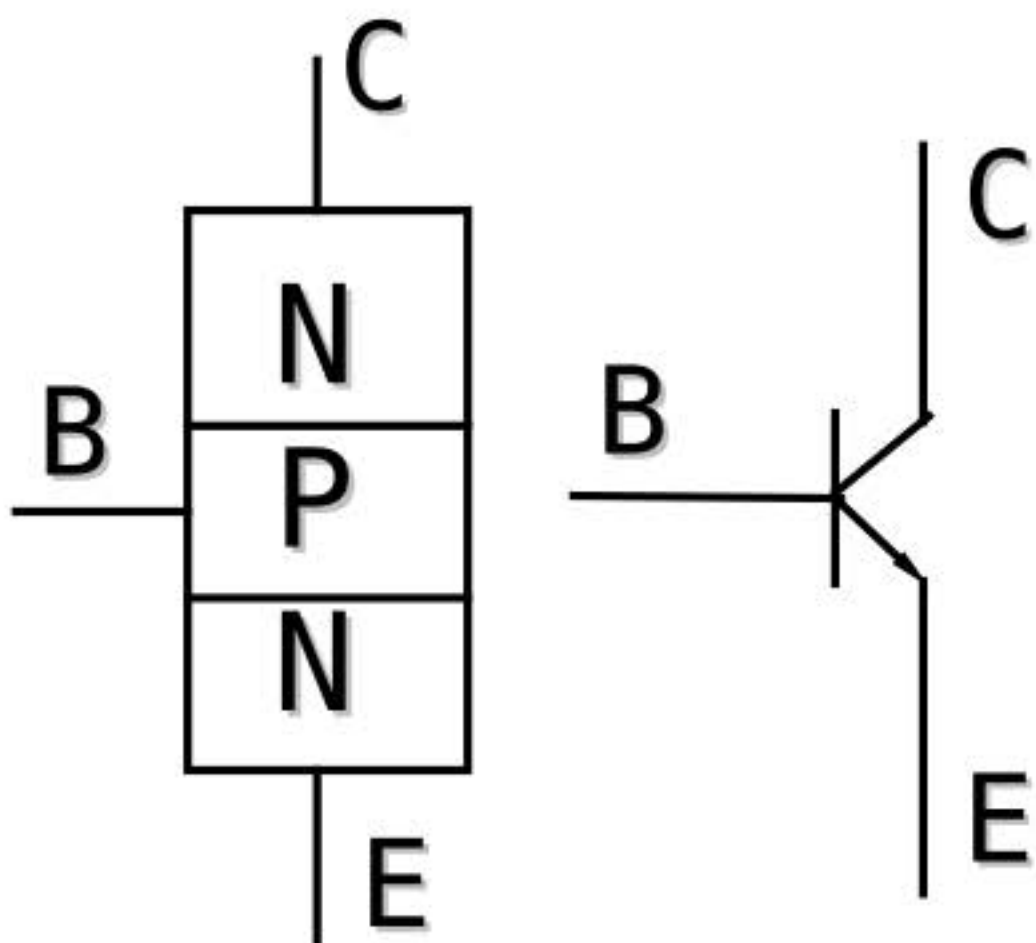


NPN 型

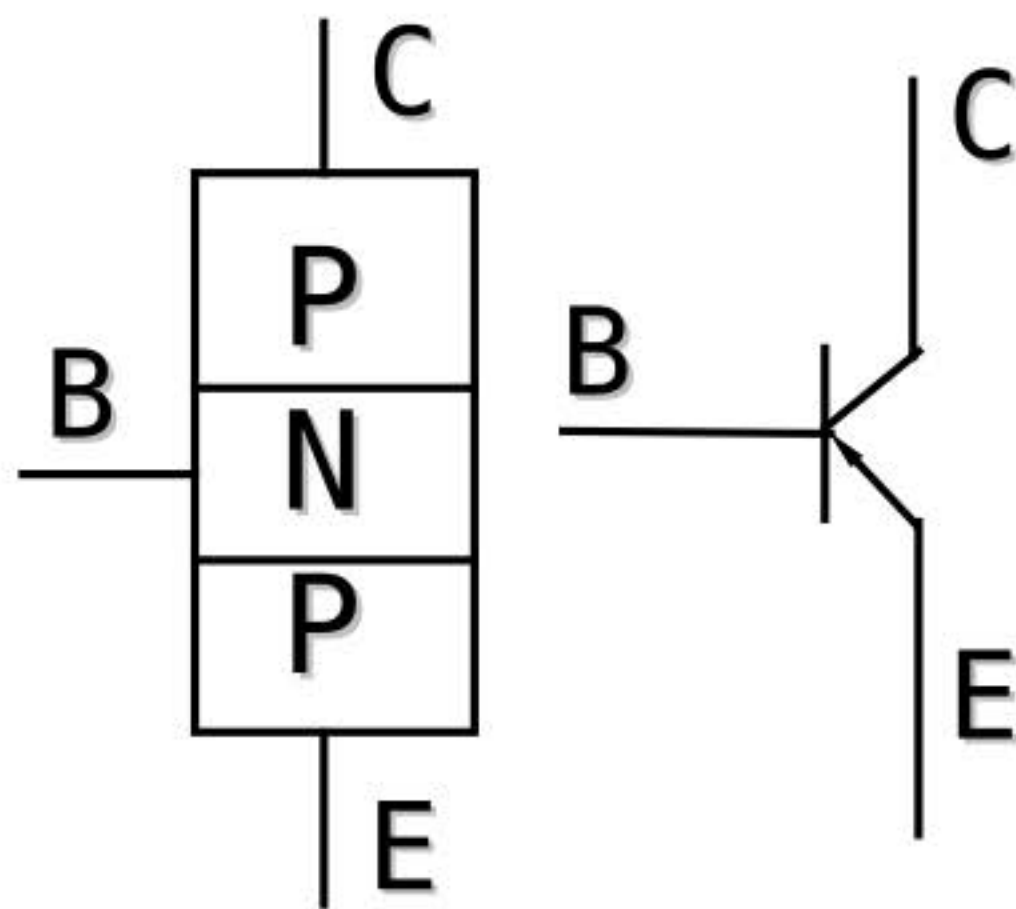


PNP 型

# 三极管符号



**NPN** 型三极管



**PNP** 型三极管

## 1) 导通与截止的判别

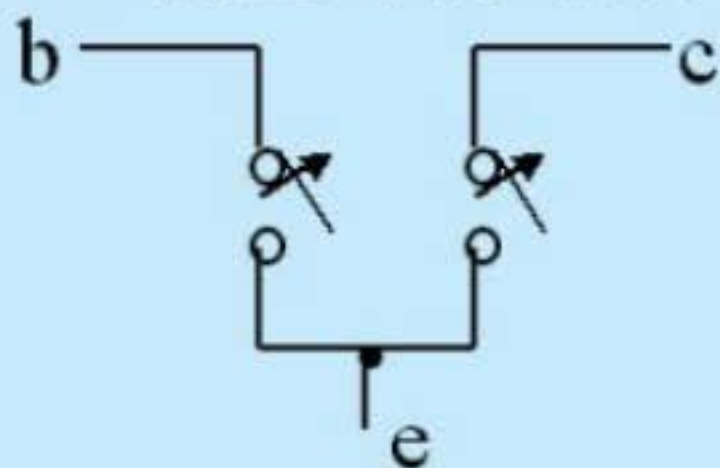
$$V_{BE} < 0.7V \begin{cases} \text{Yes} \text{——} \text{截止} \\ \text{No} \text{——} \text{导通} \end{cases}$$

## 2) 导通与截止的不同点

	截 止	导 通
射结 $V_{BE}$ (条件)	$V_{BE} < 0.7V$ , 反偏或正偏 但在死区内 ( $0V \sim 0.6V$ )	$V_{BE} \approx 0.7V$ BE结正偏
各极电流 (特点)	$I_E = 0, I_B = 0, I_C = 0$ $V_{CE} = V_{CC}$	$I_B \neq 0, I_C \neq 0,$ $I_E \neq 0$



### 3) 截止时的等效电路



### 4) 放大与饱和的不同点

$$I_B = \frac{V_i - V_{BE}}{R_b}$$

$$V_{CE} = V_{CC} - I_C R_C$$

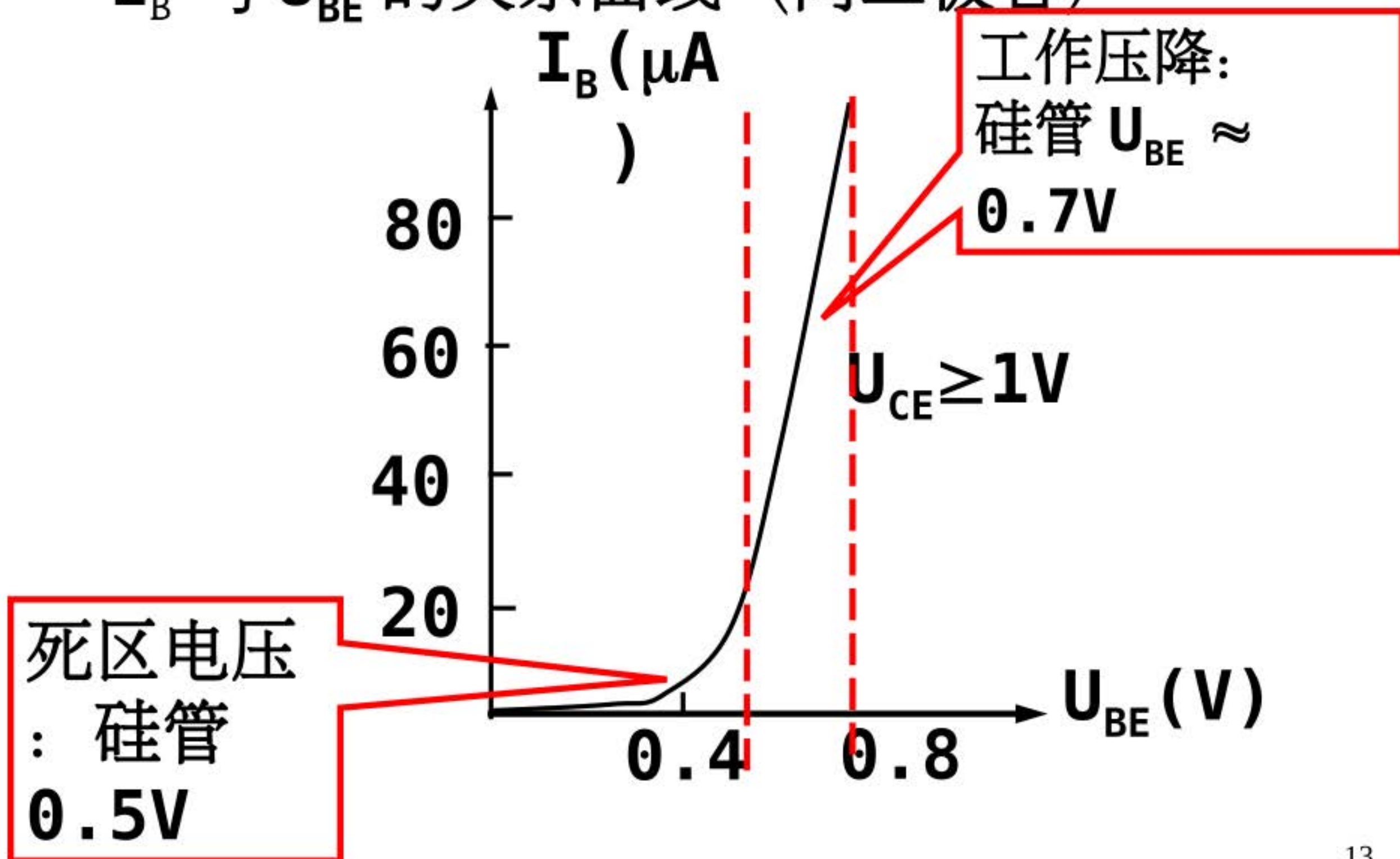
$$I_C = \beta I_B$$

$$I_E = (1 + \beta) I_B$$

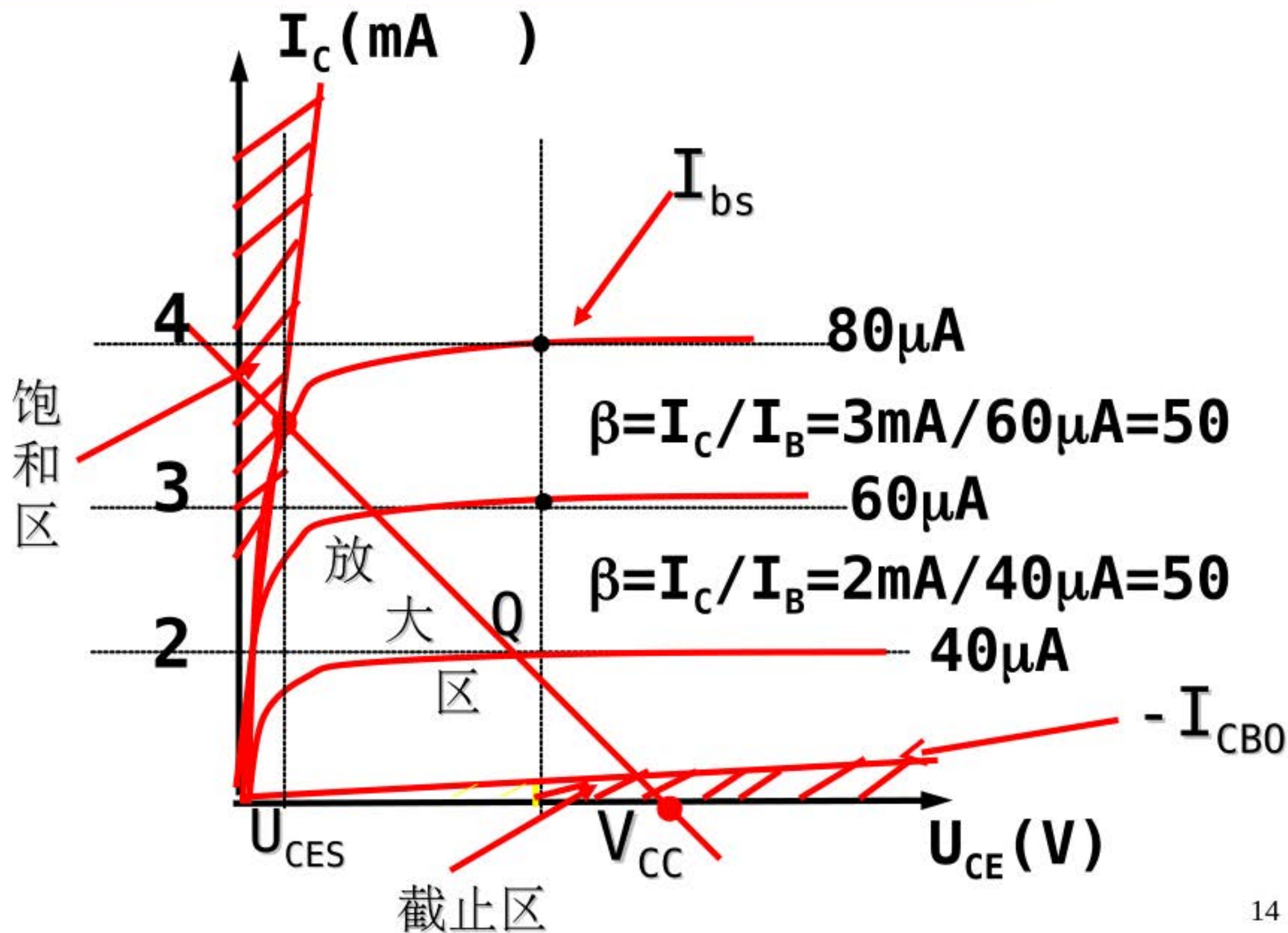
$$V_{BC} = V_{BE} - V_{CE}$$

# 输入特性

$I_B$  与  $U_{BE}$  的关系曲线 (同二极管)



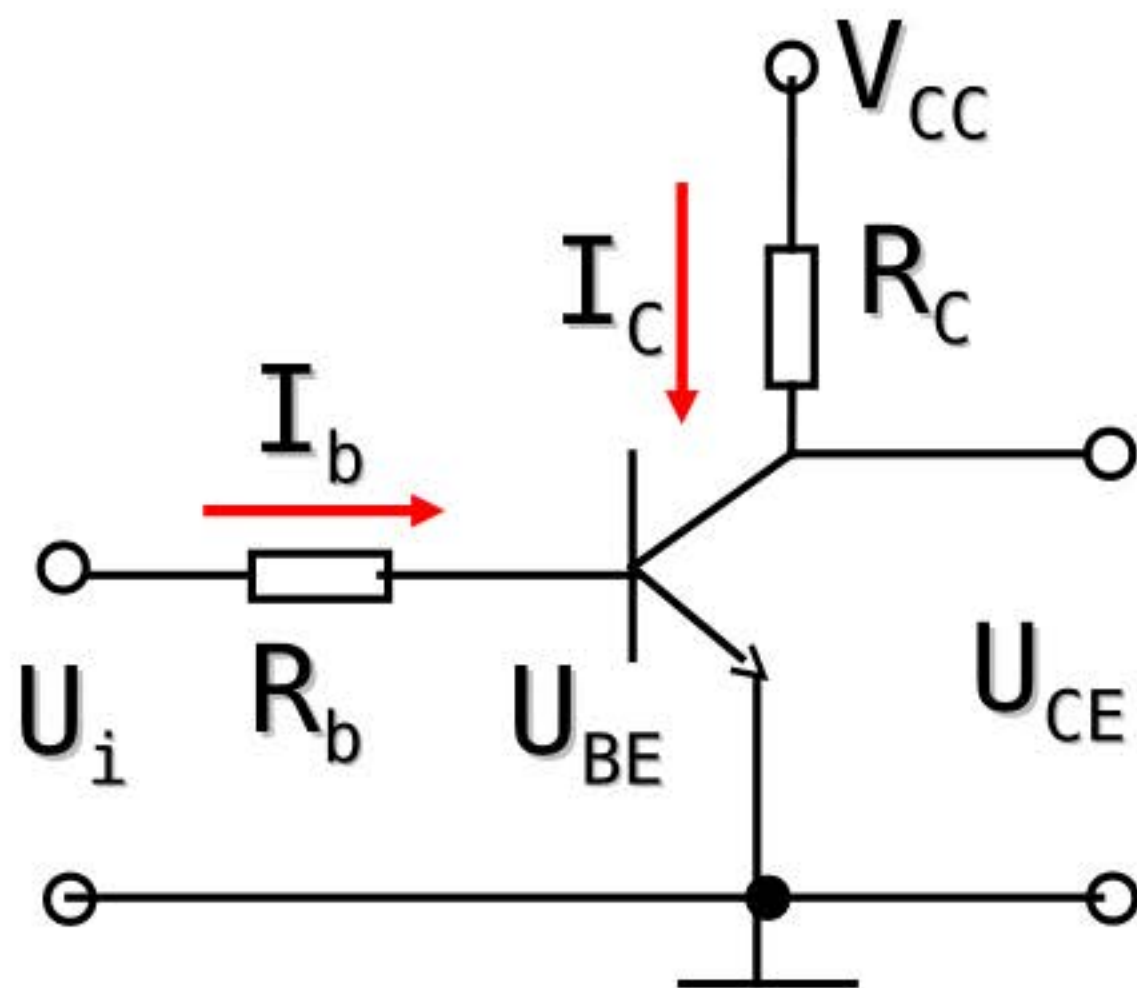
# 输出特性 ( $I_C$ 与 $U_{CE}$ 的关系曲线)





# 5.2.4 双极型晶体管二极开关特性

## 一、静态特性



晶体管开关电路

## 1、放大状态

放大条件:  $U_{be} > 0$  (e 结正偏),  $U_{bc} < 0$  (c 结

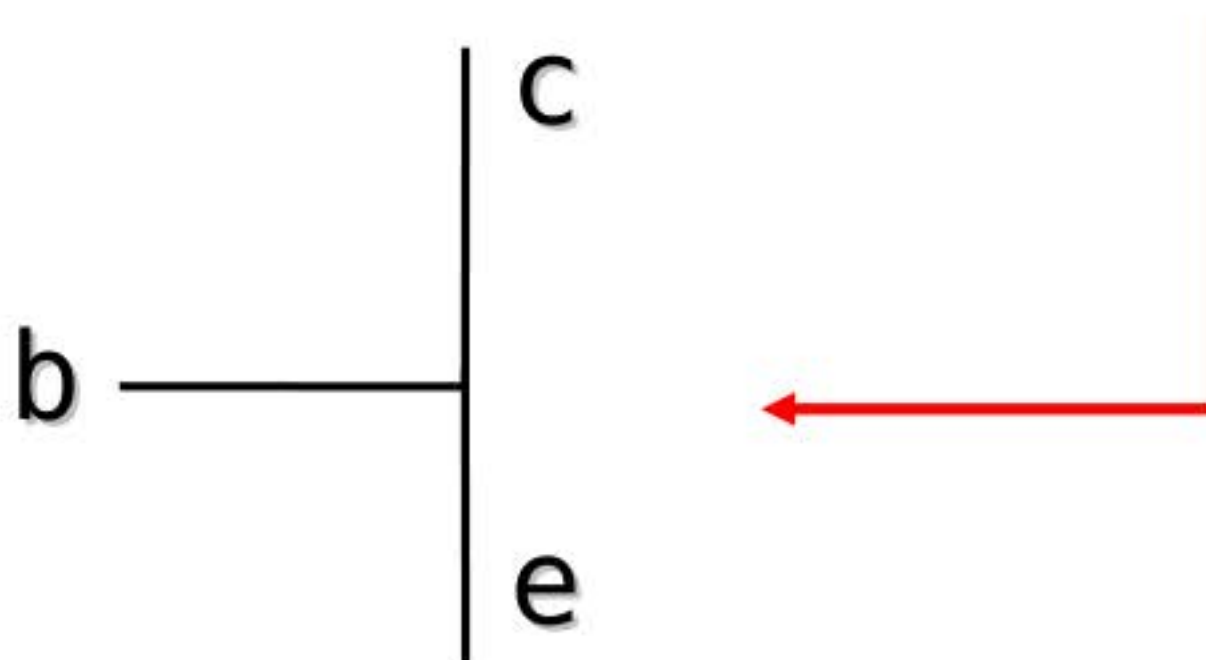
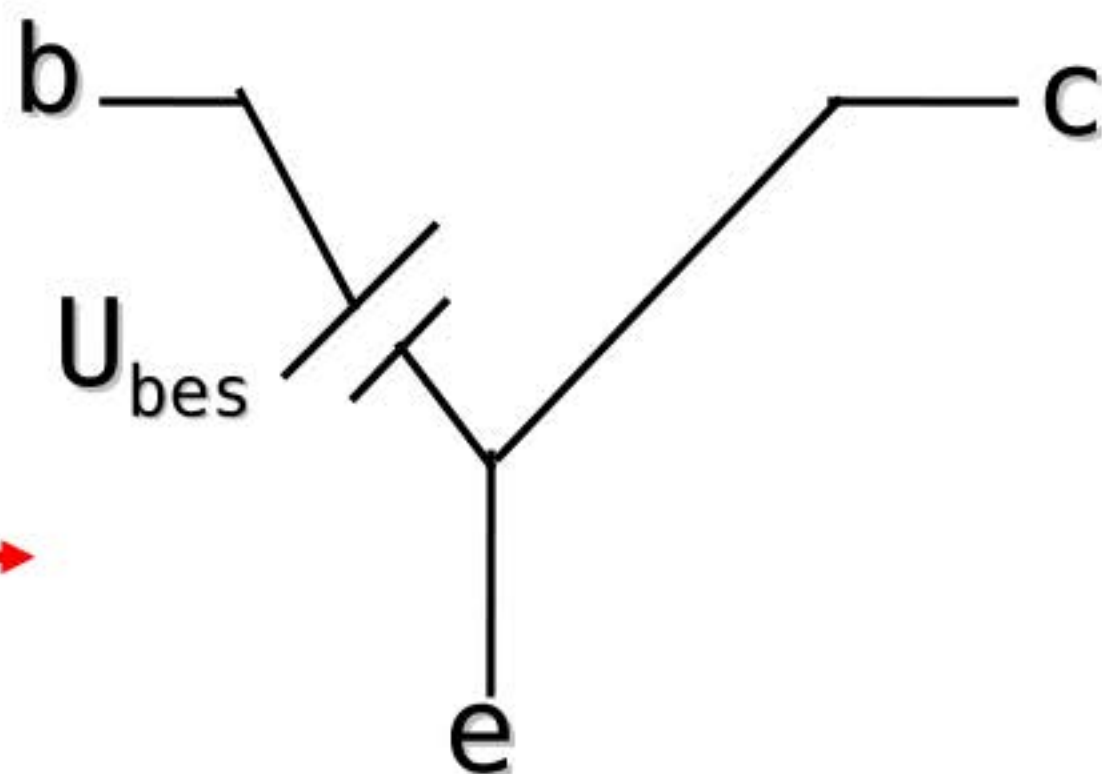
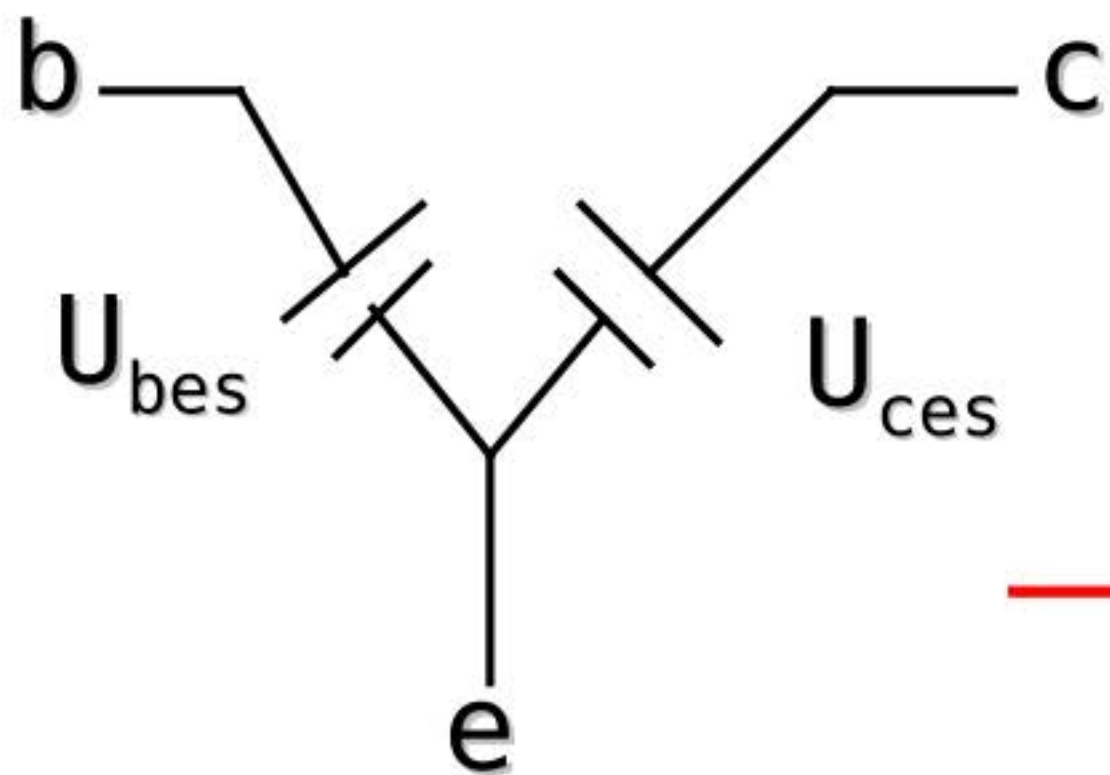
$U_{be} \sim 0.5 \sim 0.7V$ ,  $I_C = \beta I_b$ ,  $I_e = I_C + \beta I_b$

## 2、饱和状态 (等效开关接通)

$$\text{饱和条件: } I_b \geq I_{bs} = \frac{V_{CC} - U_{ces}}{\beta R_C} = \frac{I_{CS}}{\beta}$$

( $I_{bs}$  称为临界饱和基极电流)

饱和时,  $U_{bes} = 0.7V$ ,  $U_{ces} \leq 0.3V$ 。

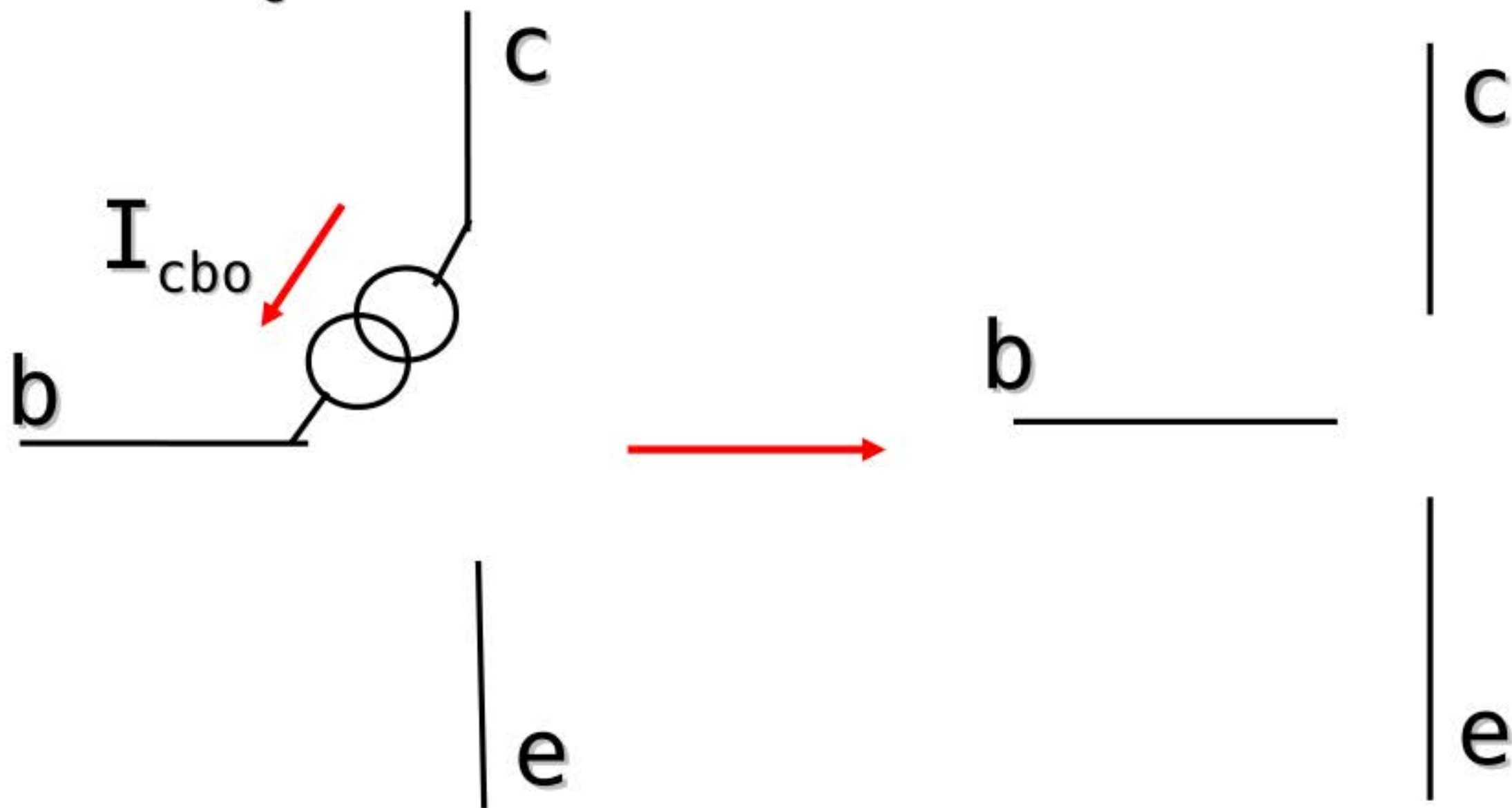




### 3、截止状态

截止条件:  $U_{be} \leq 0$  (工程上  $< 0.5V$ )

结果:  $I_c = 0$



## 二、动态特性

在动态情况下，由于三极管内部电荷的建立和消散过程均需要一定的时间，故  $I_c$  和  $U_o$  的变化均滞后于  $U_i$  的变化。

# 3.3 分立元件门电路

功能：实现逻辑运算，是构成数字电路的基本单元电路。

门电路分为两大类：

- 1) 按工艺分为两大系列：**TTL**，**CMOS**
- 2) 按功能分：与、或、非、与非、或非、与或非、异或

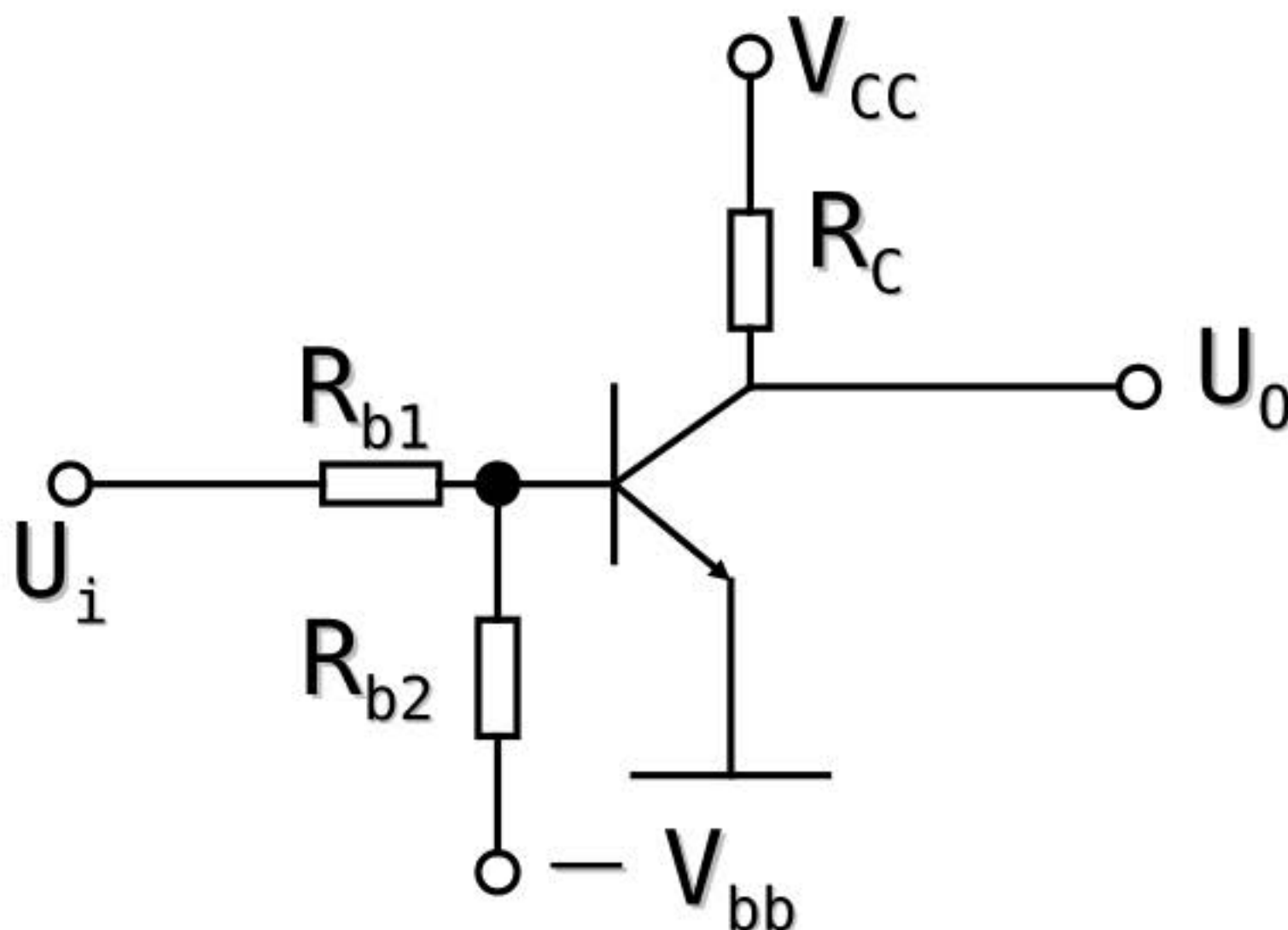


# 5.5.1 晶体管反相器

## 一、工作原理

当输入为低电平时，三极管截止，输出为高电平。

当输入为高电平时，三极管饱和导通，输出为低电平。



结论：输入与输出反相。

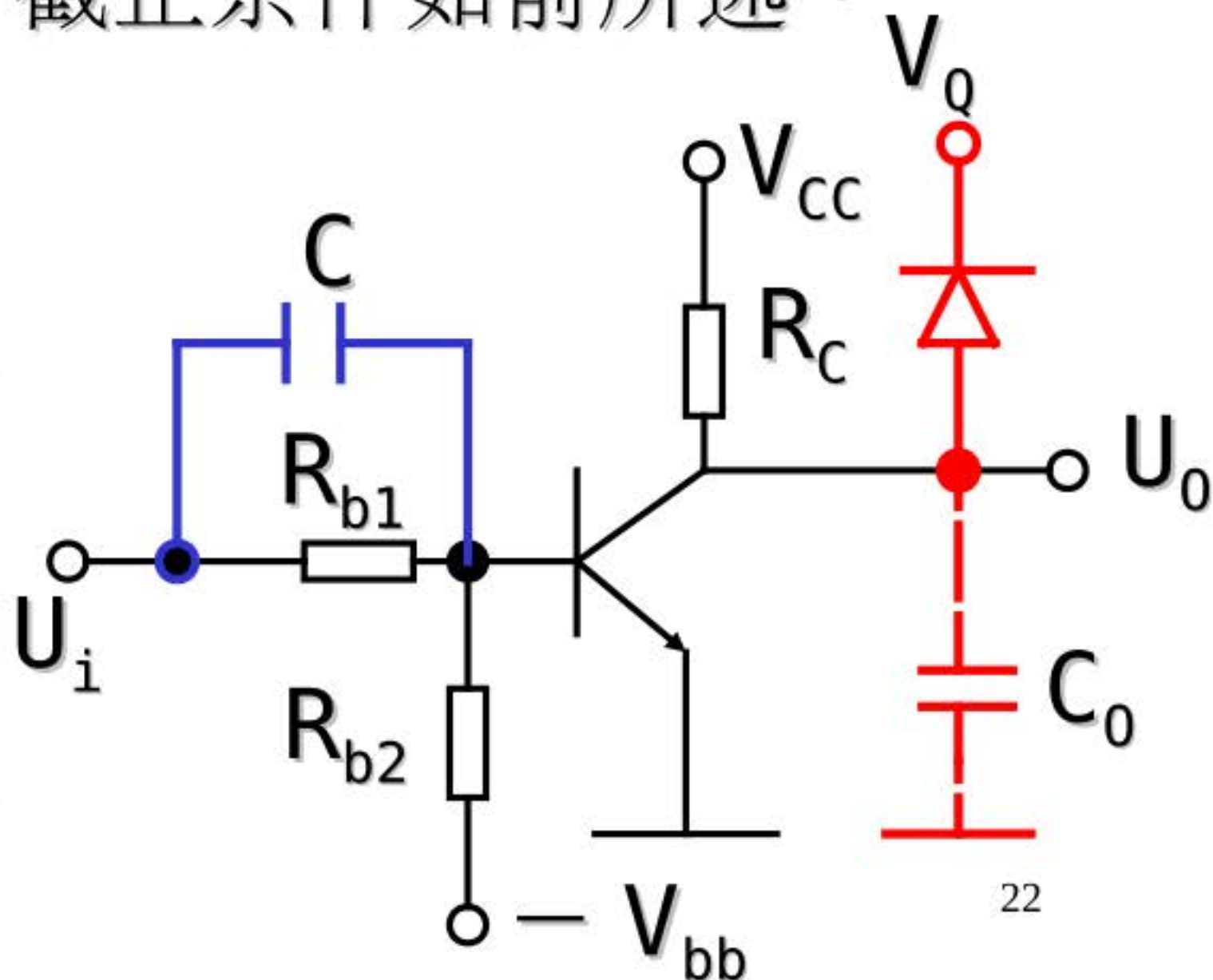
## 二、工作条件

当输入为低电平时，三极管应可靠截止；当输入为高电平时，三极管应可靠饱和。

三极管的饱和条件、截止条件如前所述。

## 三、波形改善

- (1) 采用加速电容
- (2) 采用钳位电路

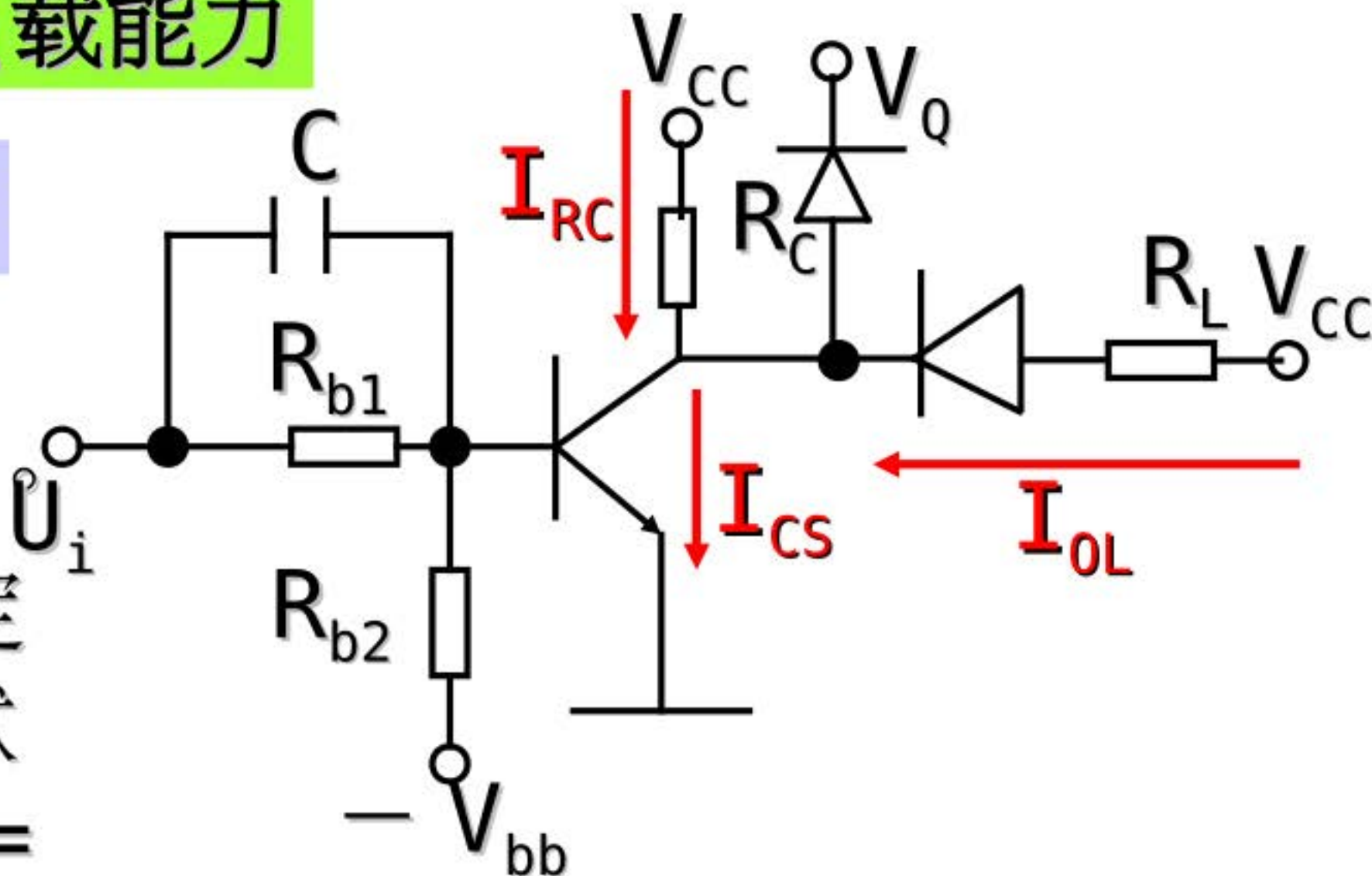




## 四、反相器的负载能力

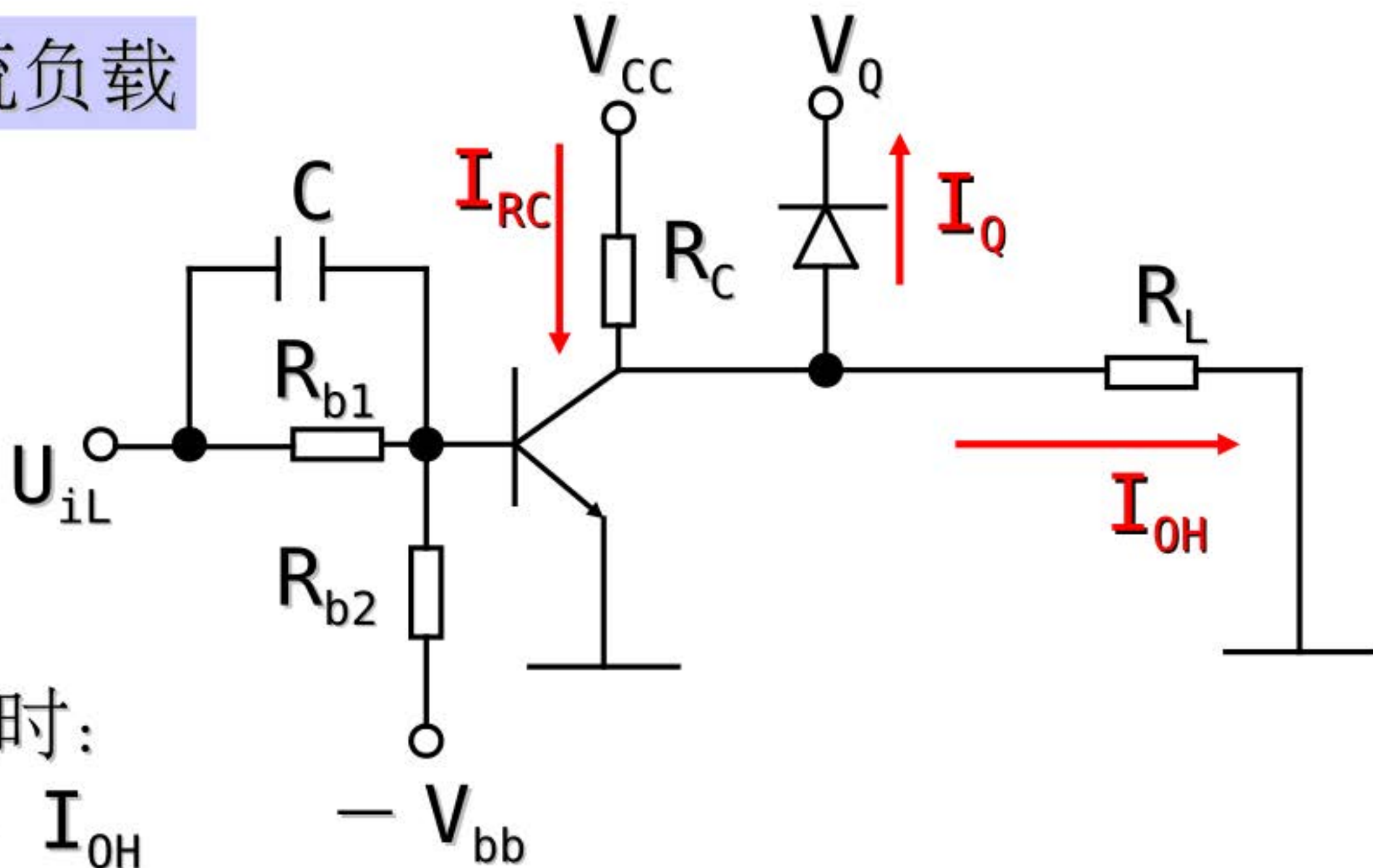
### 1、灌电流负载

当 T 饱和时,  
 $I_{CS} = I_{RC} + I_{OL}$   
为了保证 T 稳定的工作在饱和状态, 应满足  $I_{CS} =$   
 $I_{RC} + I_{OL} \leq \beta I_b$



显然, 晶体管饱和越深, 允许的灌电流越大, 负载能力也越强。但集电极电流必须满足限制条件:  
 $I_{CS} \leq \beta I_b$ 。

## 2、拉电流负载



当  $T$  截止时:

$$I_{RC} = I_Q + I_{OH}$$

显然，反相器所允许的最大拉电流，以钳位电路不失去钳位作用为条件。



## 3.3.2 分立元件门电路

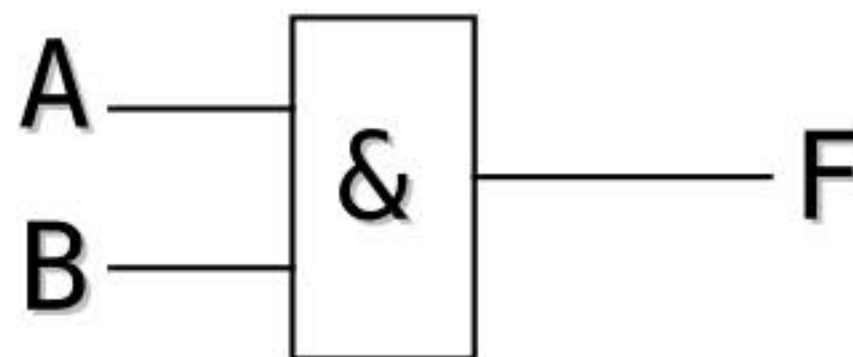
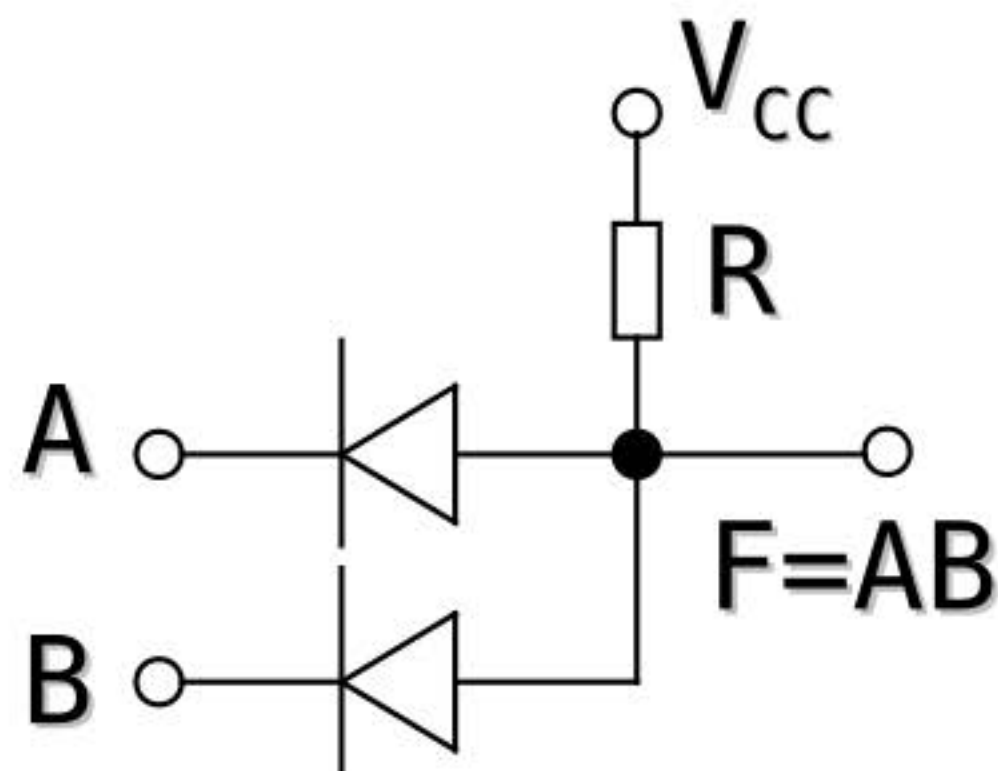
### 1、二极管与门

功能表

A	B	F
0V	0V	0V
0V	5V	0V
5V	0V	0V
5V	5V	5V

真值表

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1



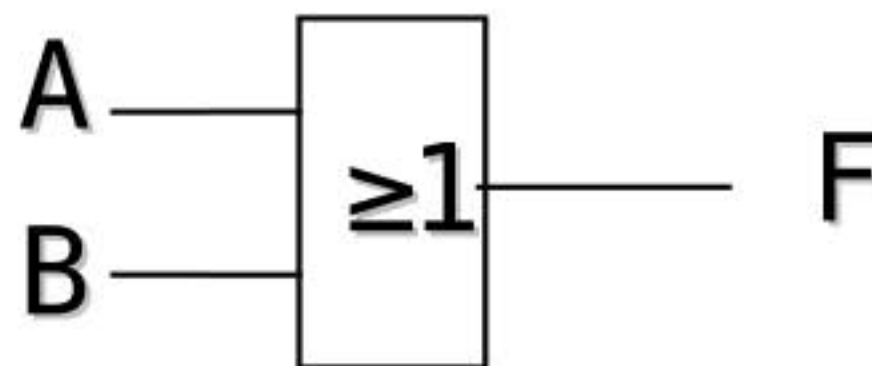
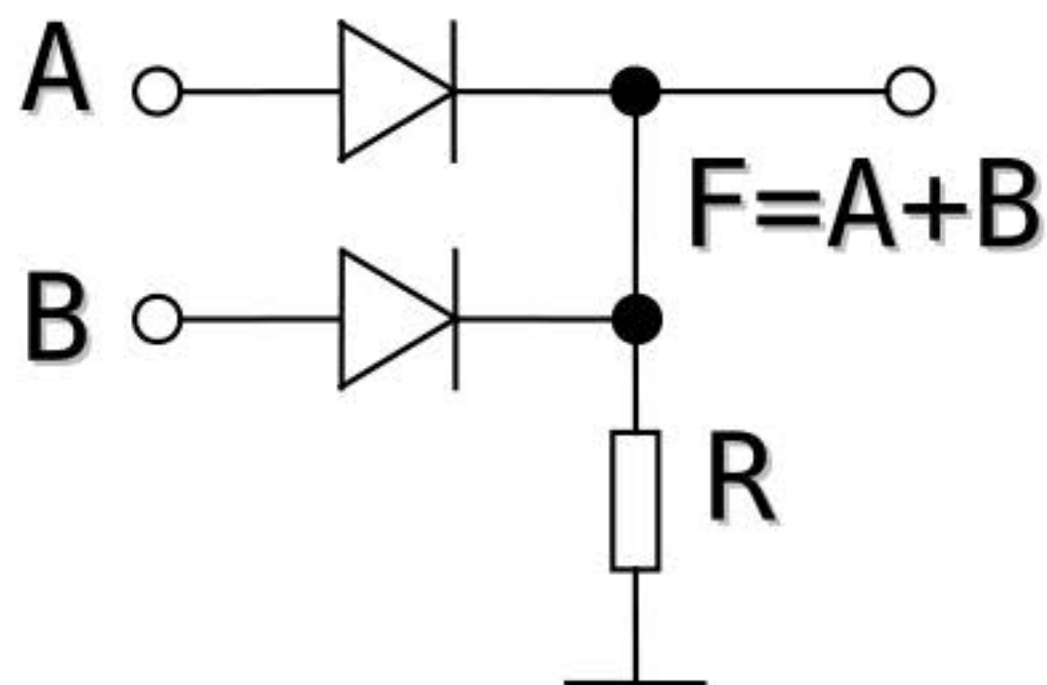
## 2、二极管或门

功能表

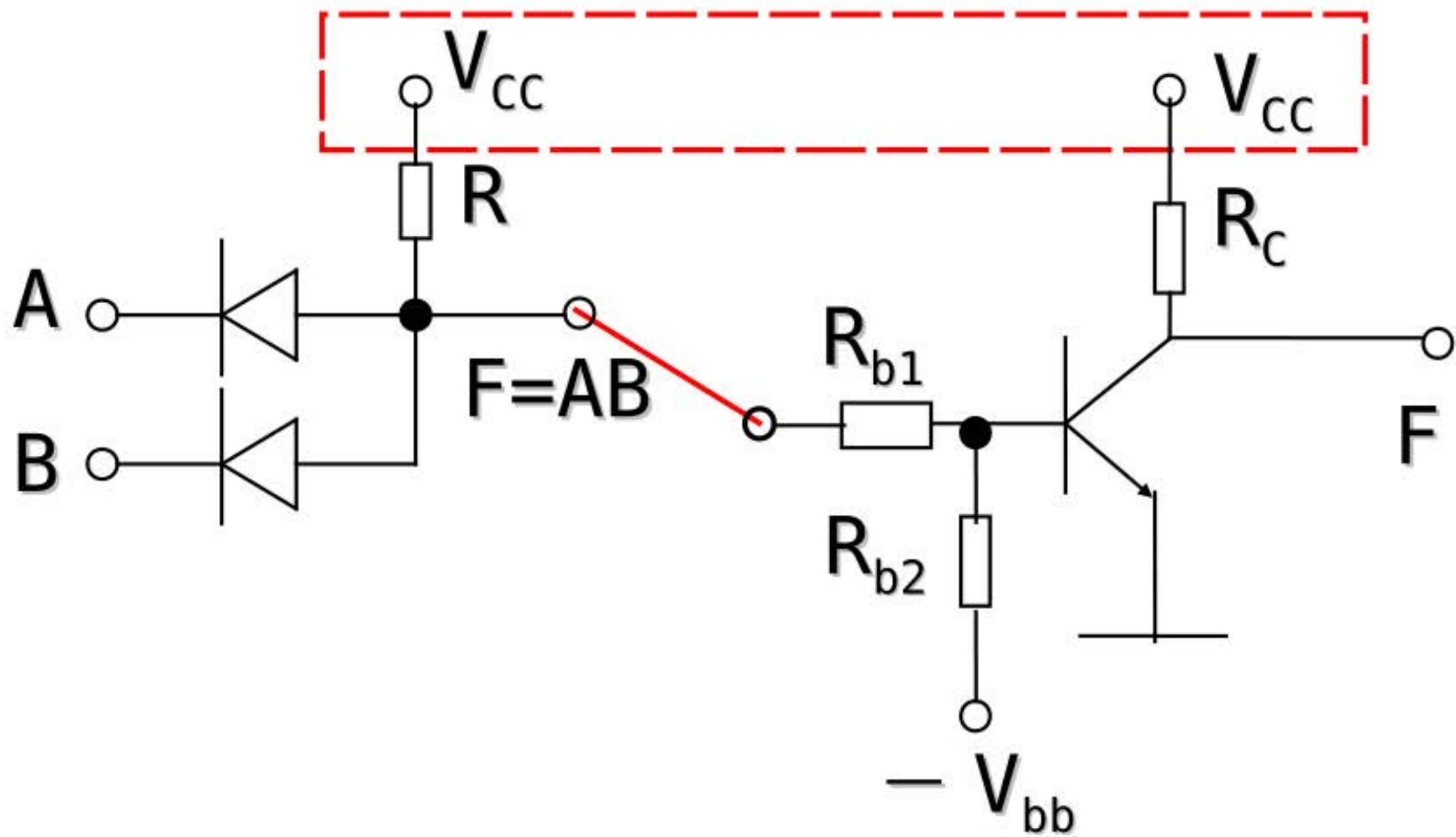
A	B	F
0V	0V	0V
0V	5V	5V
5V	0V	5V
5V	5V	5V

真值表

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

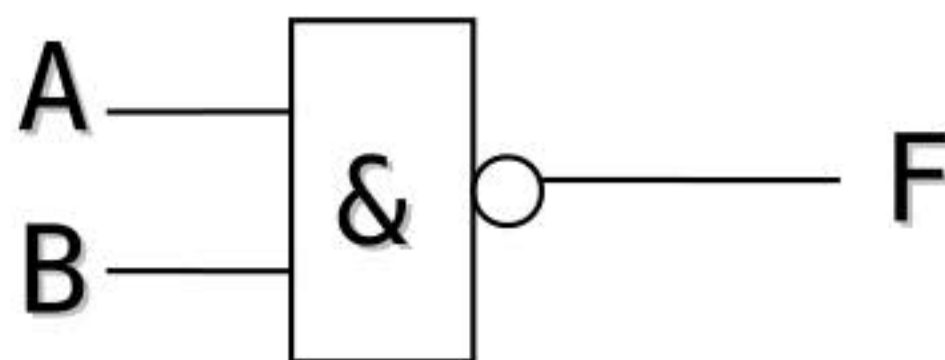
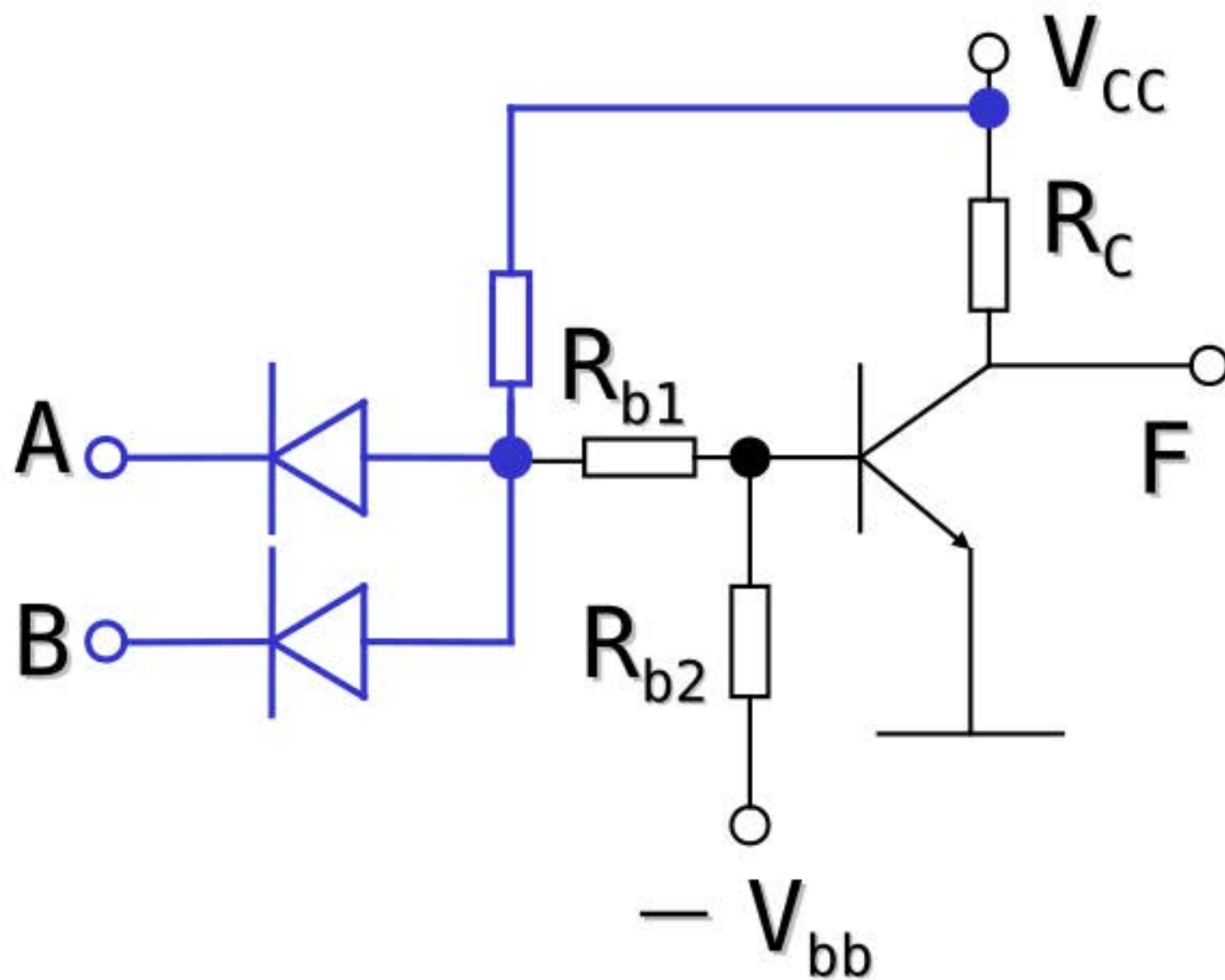


### 3、与非门



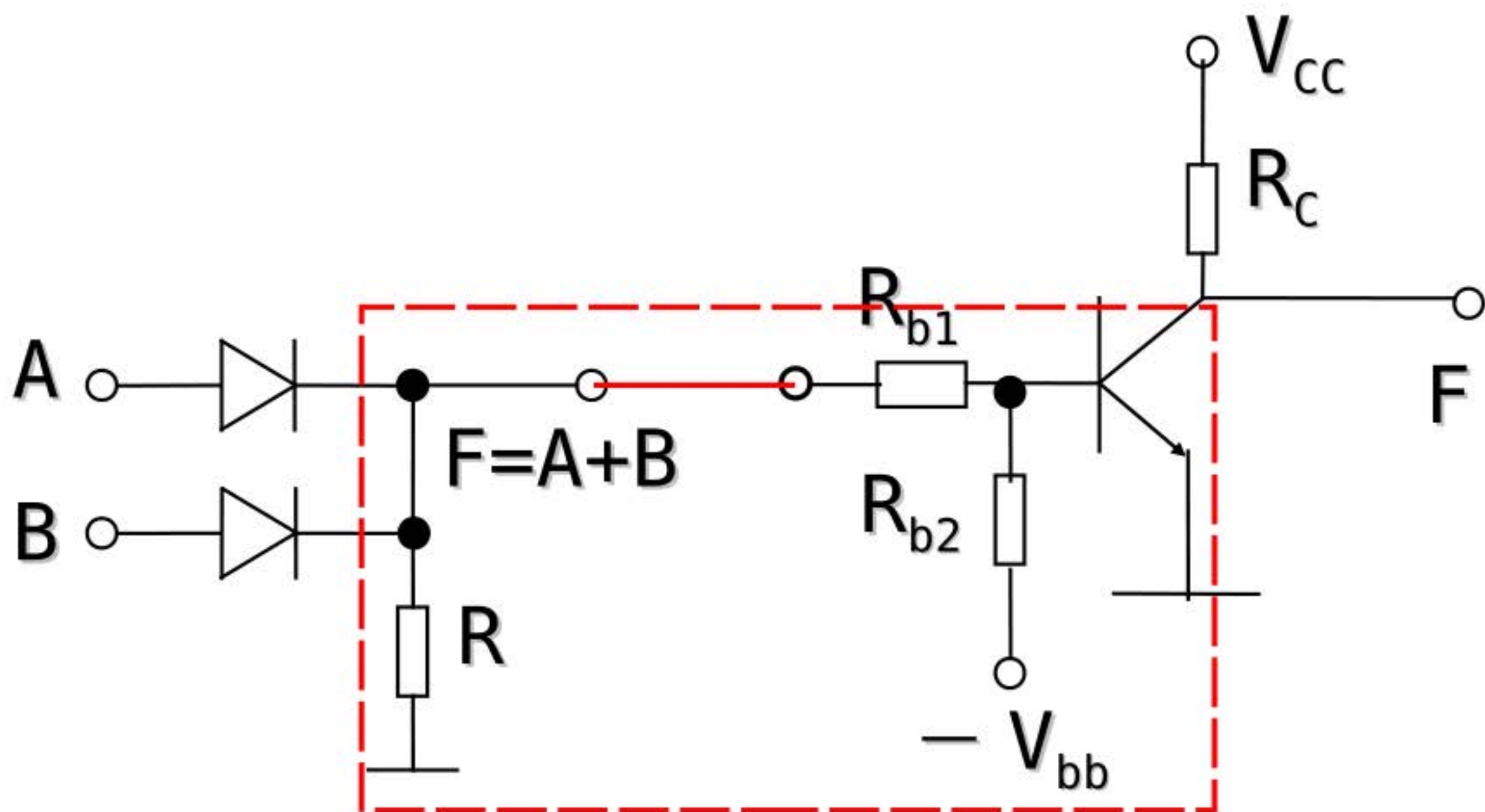
真值表

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0



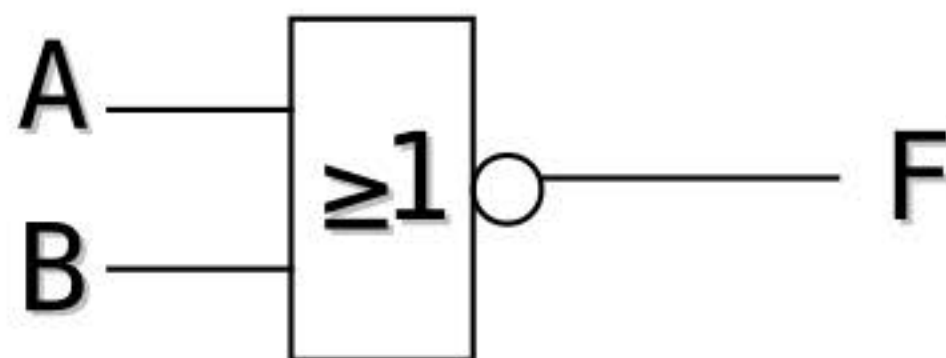
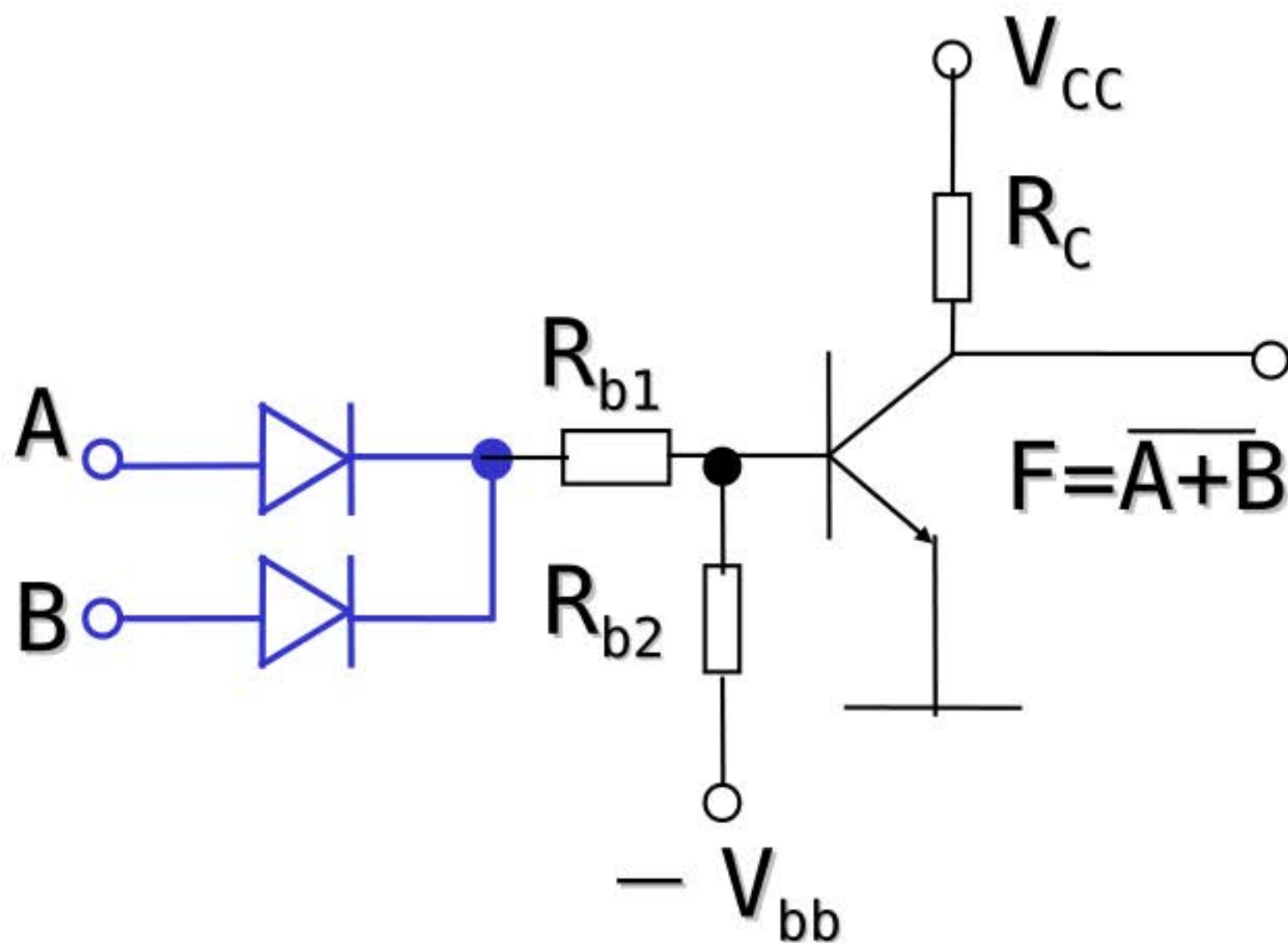


## 4、或非门



真 值 表

A	B	F
0	0	1
0	1	0
1	0	0
1	1	0



## 3.5 TTL 门电路

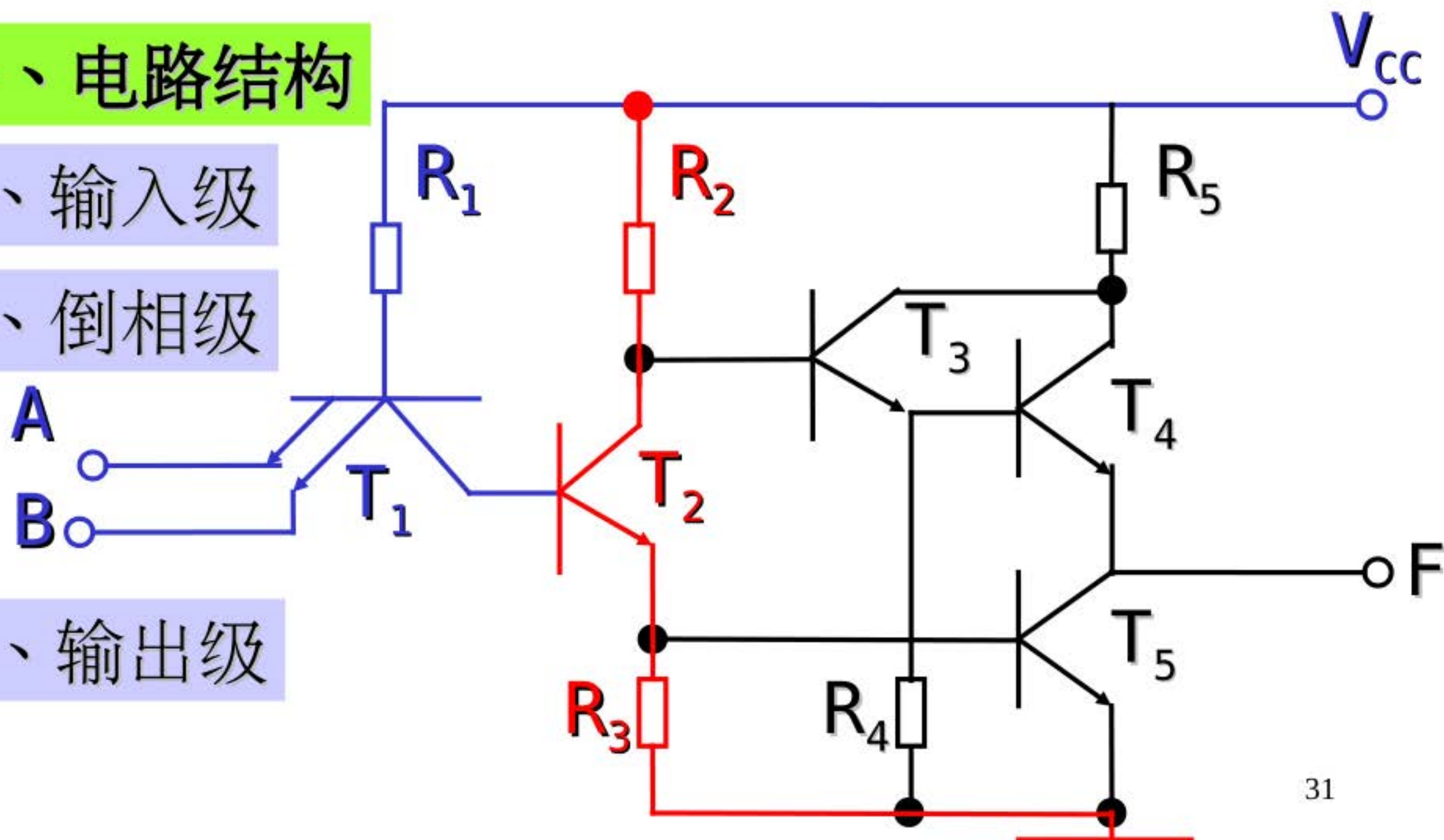
### 3.5.1 TTL 门电路结构及工作原理

#### 一、电路结构

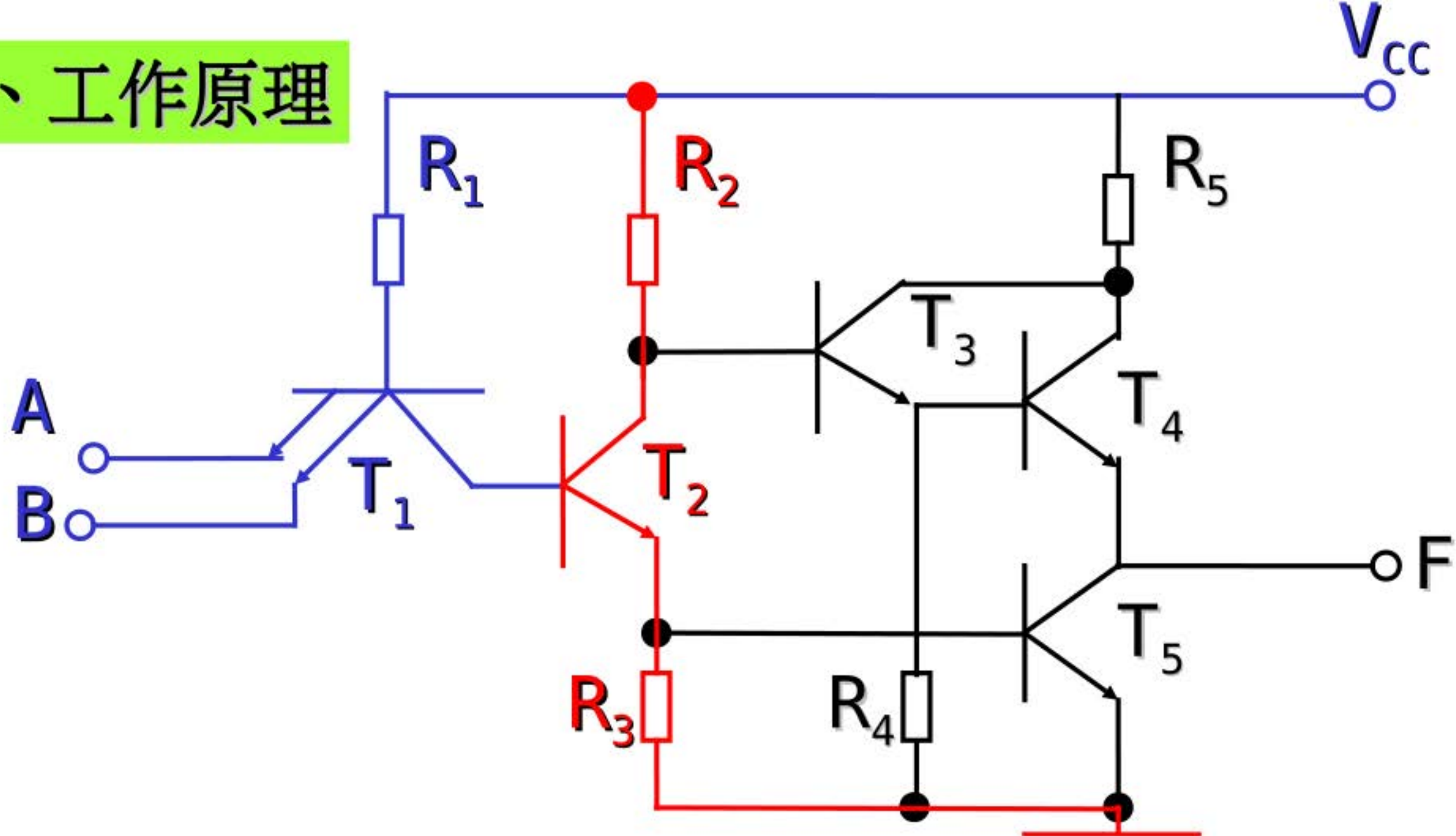
1、输入级

2、倒相级

3、输出级

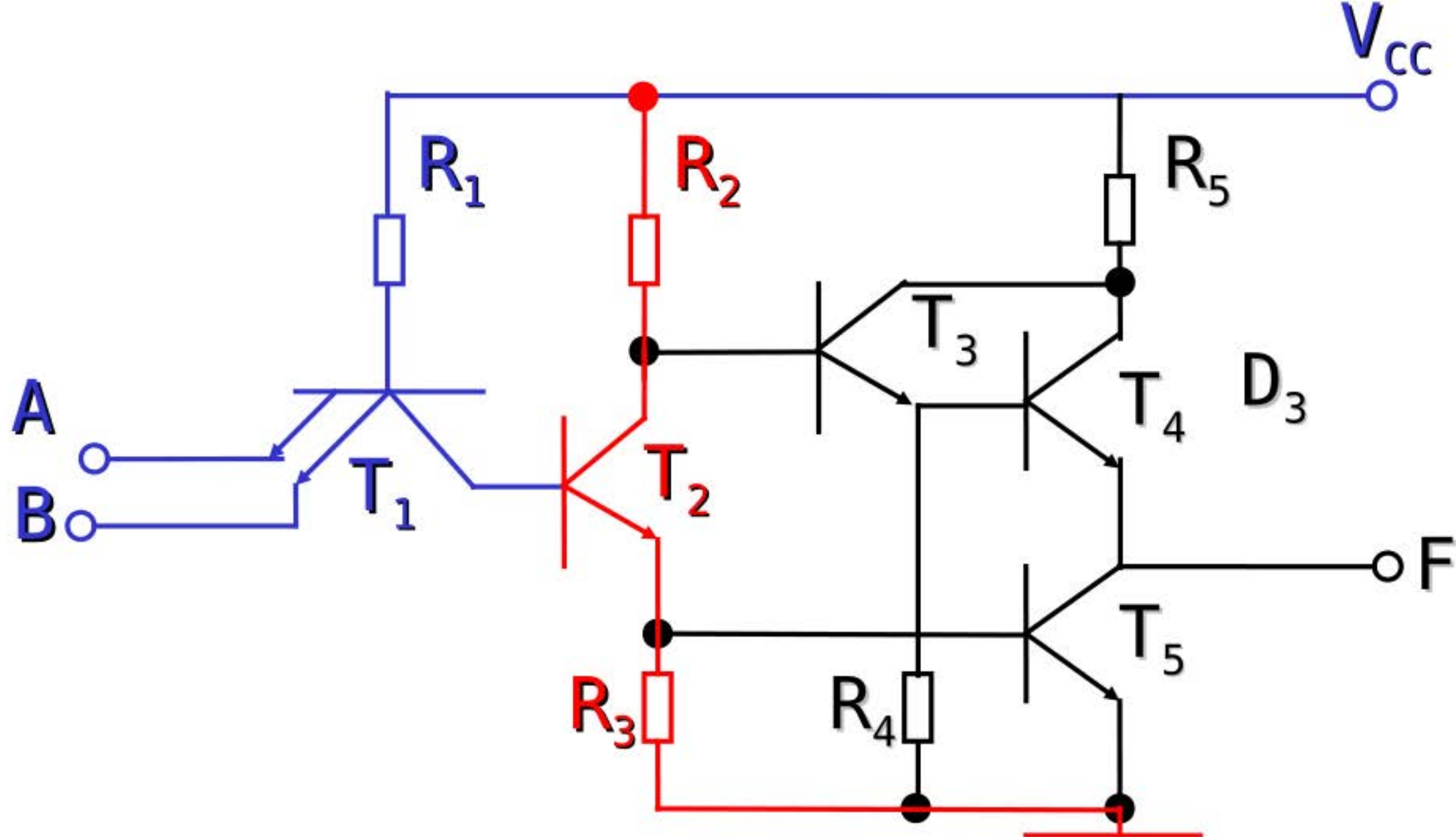


## 二、工作原理



当输入 A 、 B 中任一个为低电平时，电源  $V_{CC}$  经  $R_1$  流过向  $T_1$  的发射极，  $T_1$  的集电极电流为 0 ，所以  $T_1$  处于深度饱和状态，则  $T_2$  和  $T_5$  截止，电源  $V_{CC}$  经  $R_2$  驱动  $T_3$  和  $T_4$  导通，输出 F 为高电平， **TTL 与非门处于截止**

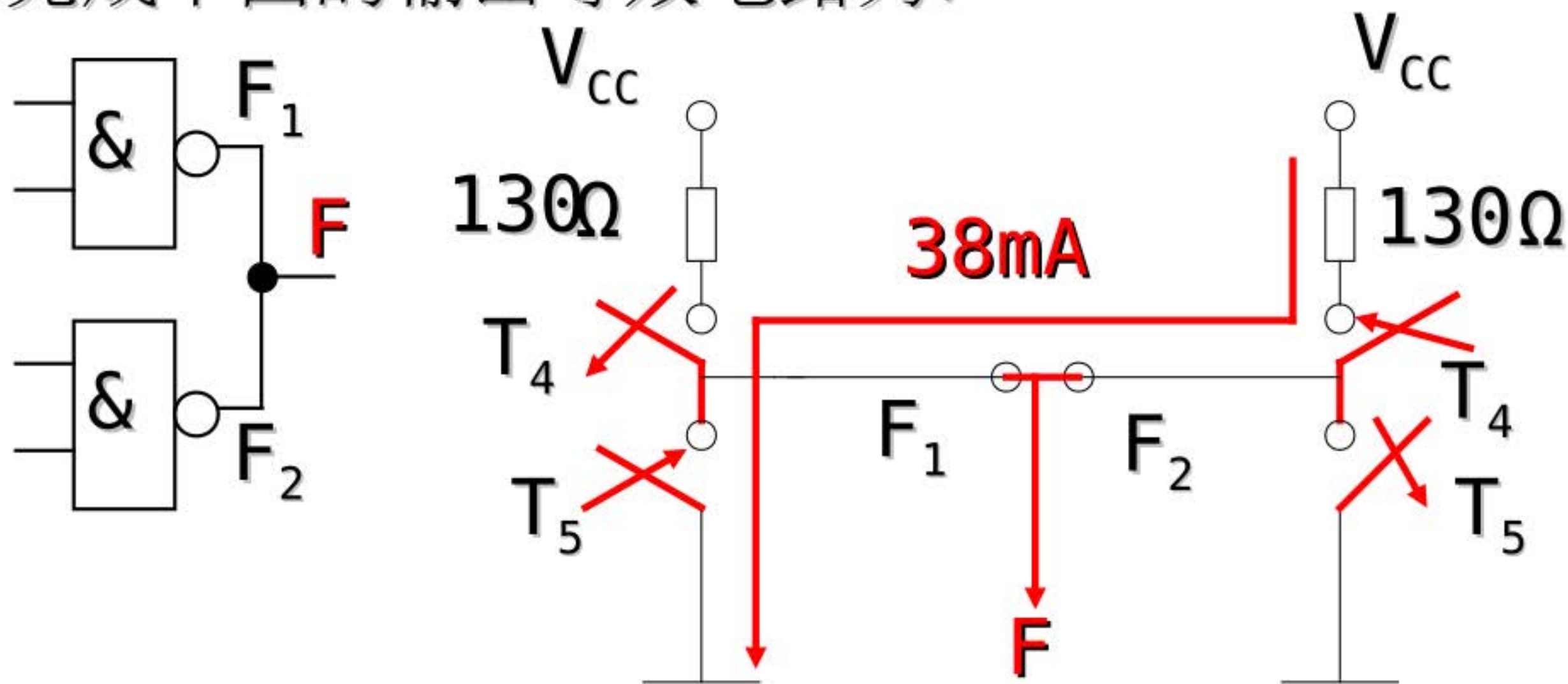




当输入  $A$  、  $B$  中均为高电平时，  $T_1$  的发射极反偏，电源  $V_{CC}$  经  $R_1$  和  $T_1$  的集电结向  $T_2$  提供基极电流，使  $T_2$  饱和，则  $T_2$  驱动  $T_5$  并使之饱和，输出  $F$  为低电平， TTL 与非门处于导通状态。

### 三、输出电路特点 推拉输出（图腾柱输出）

完成下图的输出等效电路为：



结论：任何两个**推拉输出的逻辑门**的输出端都**不能短接**在一起做“**线与**”连接，因为  $38\text{mA}$  的电流会烧坏逻辑门。



# 3.3.2 参数与指标

## 1、标称逻辑电平

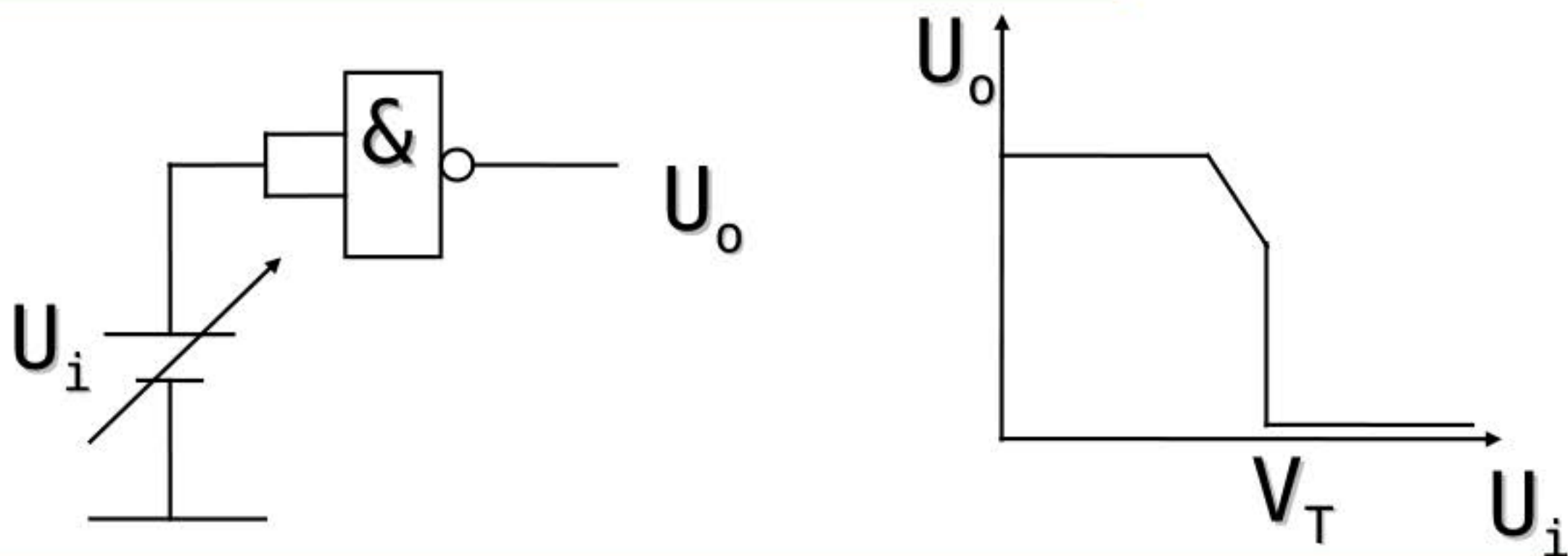
$$U(0) = 0 \text{ V} ; U(1) = 5 \text{ V} \circ$$

## 2、输出低电平 $U_{0L}$ 和输出高电平 $U_{0H}$

输出低电平  $U_{0L}$  的典型值是  $0.3\text{V}$ ，产品规范为：  
 $U_{0L} \leq 0.4\text{V} \circ$

输出高电平  $U_{0H}$  的典型值是  $3.6\text{V}$ ，产品规范为：  
 $U_{0H} \geq 2.4\text{V} \circ$

### 3、开门电平 $U_{ON}$ 和关门电平 $U_{OFF}$



把表示逻辑“0”的最大低电平称为关门电平

把表示逻辑“1”的最小高电平称为开门电平

关门电平  $U_{OFF}$  约为  $1V$ ；开门电平  $U_{ON}$  约为  $1.4V$ 。

关门电平  $U_{OFF}$  反映了低电平抗干扰能力，开门电平  $U_{ON}$  反映了高电平抗干扰能力。



#### 4、输入低电平电流 $I_{IL}$ 和输入高电平电流 $I_{IH}$

作为负载的门电路，当某一输入端接低电平时，从该输入端流出的电流称为**输入低电平电流  $I_{IL}$** ，即灌入前级门电路输出端的电流。

作为负载的门电路，当某一输入端接高电平时，流入该输入端的电流称为**输入高电平电流  $I_{IH}$** ，即拉出前级门电路输出端的电流。

#### 5、输出高电平电流 $I_{OH}$ 和输出低电平电流 $I_{OL}$

**$I_{OH}$**  指输出高电平时流出输出端的电流。

**$I_{OL}$**  指输出低电平时灌入输出端的电流。



## 6 、扇入系数 $N_i$ 和扇出系数 $N_o$ 。

门电路允许的输入端数目，称为该门电路的**扇入系数  $N_i$** 。

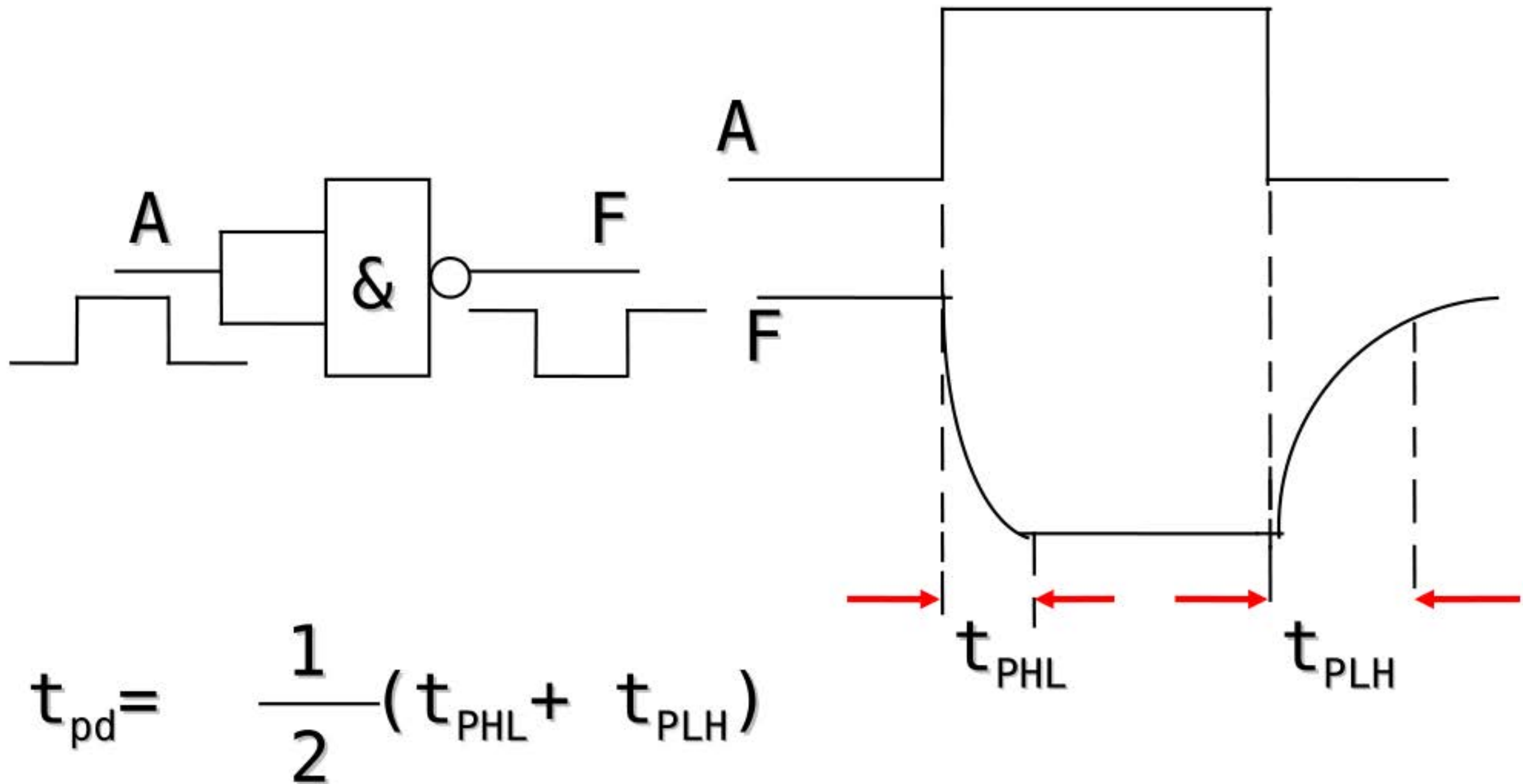
一般门电路的扇入系数为 1 到 5，最多不超过 8。

如有必要，可以用“与扩展器”或“或扩展器”来增加输入端的数目，也可以用分级实现的方法减少对门电路输入端数目的要求。

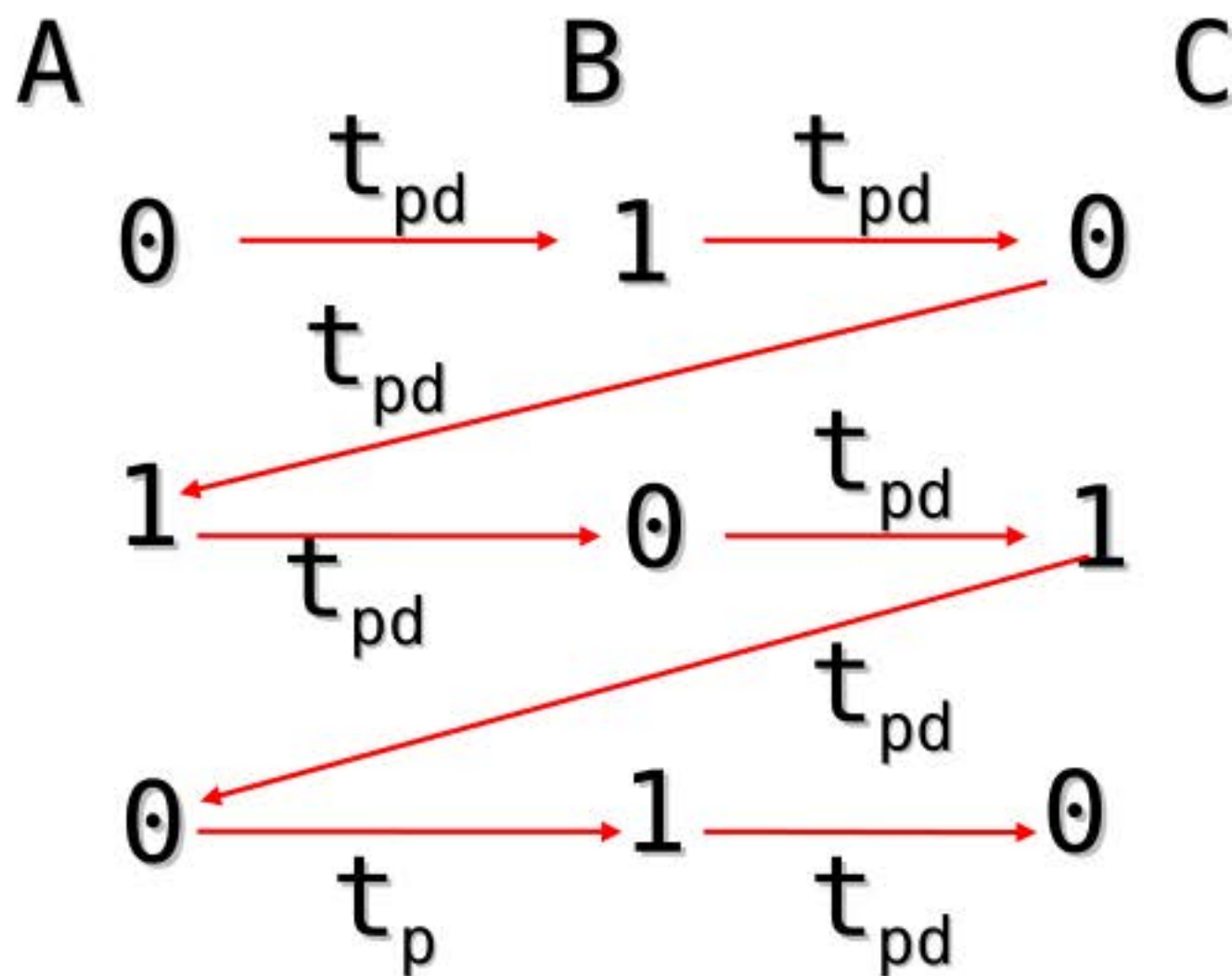
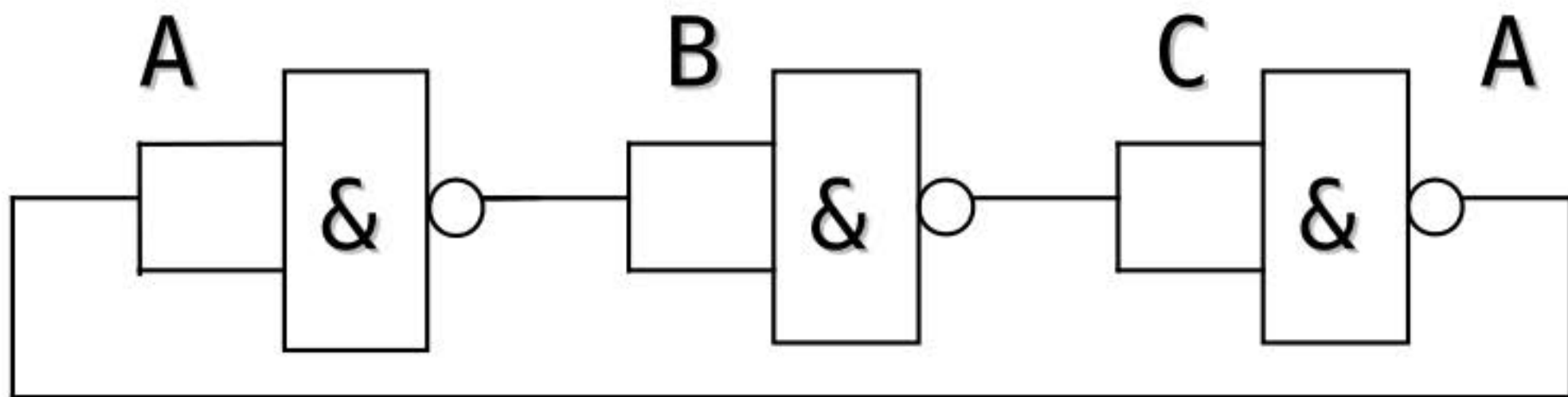
一个门的输出端所能连接的下一级门的个数，称为**扇出系数  $N_o$** 。

一般 **TTL** 门电路的扇出系数为 8，但驱动门的扇出系数可达 **25**。

## 7、平均延迟时间 $t_{pd}$



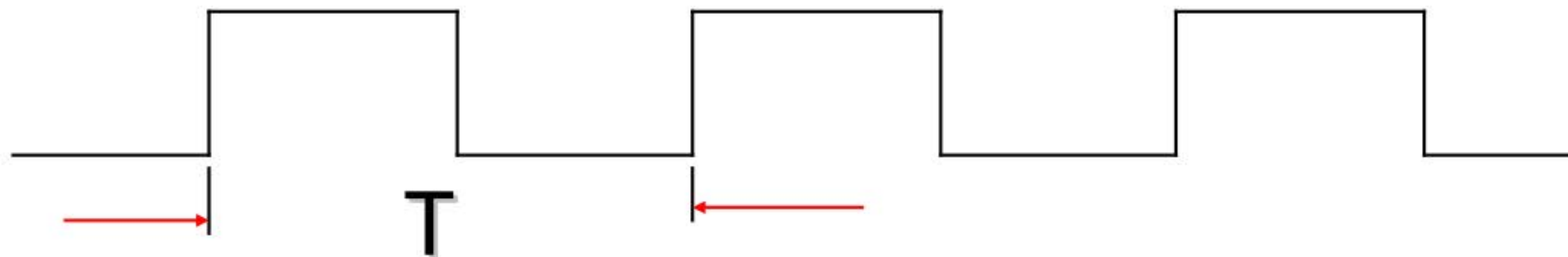
# 工程上平均延迟时间的测试方法：





$$T = 6t_{pd}$$

$$t_{pd} = T/6$$



门

## 3.6.1 TTL 门分类

### 一、按系列分类

	国标	国际标准
典型 ( $t_{pd} = 10nS$ )	T1000	74xxx
高速 ( $t_{pd} = 6nS$ )	T2000	74Hxxx
肖特基 ( $t_{pd} = 3nS$ )	T3000	74Sxxx
低功耗肖特基 ( $t_{pd} = 9nS$ )	T4000	74LSxxx

## 二、按逻辑功能分类

与门、或门、非门、与非门、或非门、与或非门、异或门、同或门、.....

## 三、按输出电路形式分类

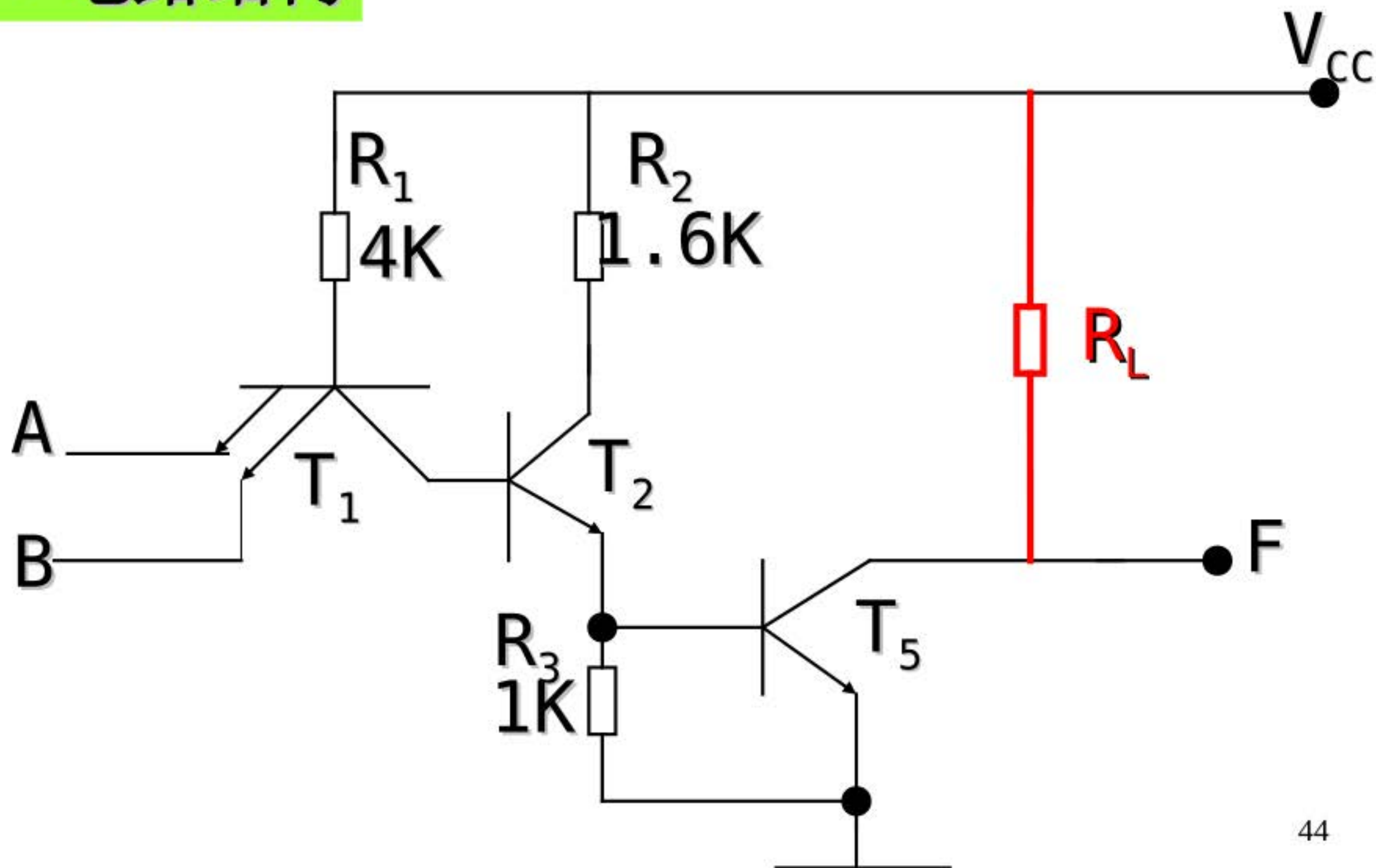
1 、推拉输出（ 图腾柱输出 ）

2 、集电极开路输出（OC）

3 、三态输出（TS）

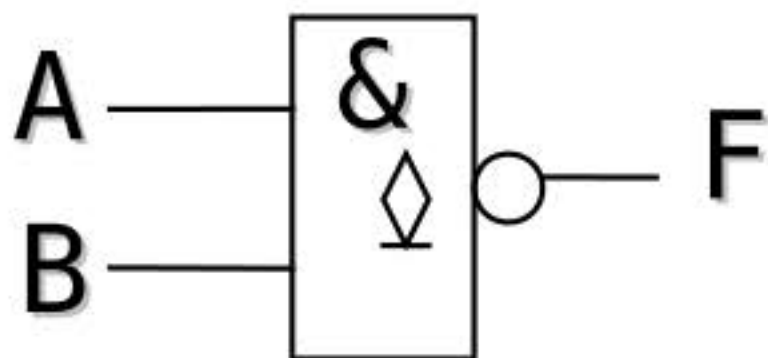
# 5.0.2 集电极开路输出门 (OC门)

## 一、电路结构





## 二、OC 门的逻辑符号



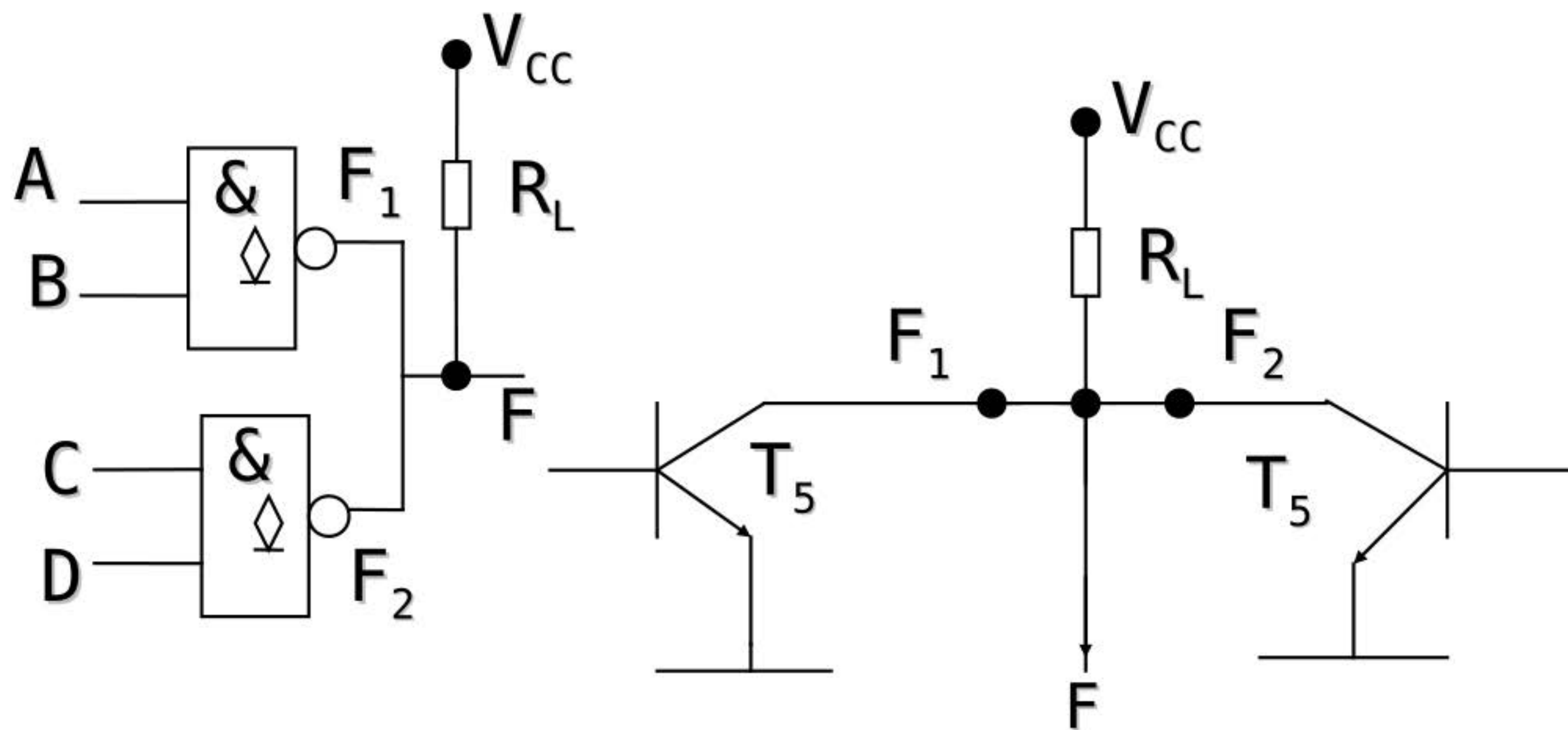
## 三、OC 门的特点

(1) 必须外接上拉电阻  $R_L$  。

(2) 改变上拉电阻  $R_L$  连接的电源可实现电平转换。

(3) 多个 OC 门的输出可以连接在一起“线与”，其输出为各逻辑门的输出值相“与”。

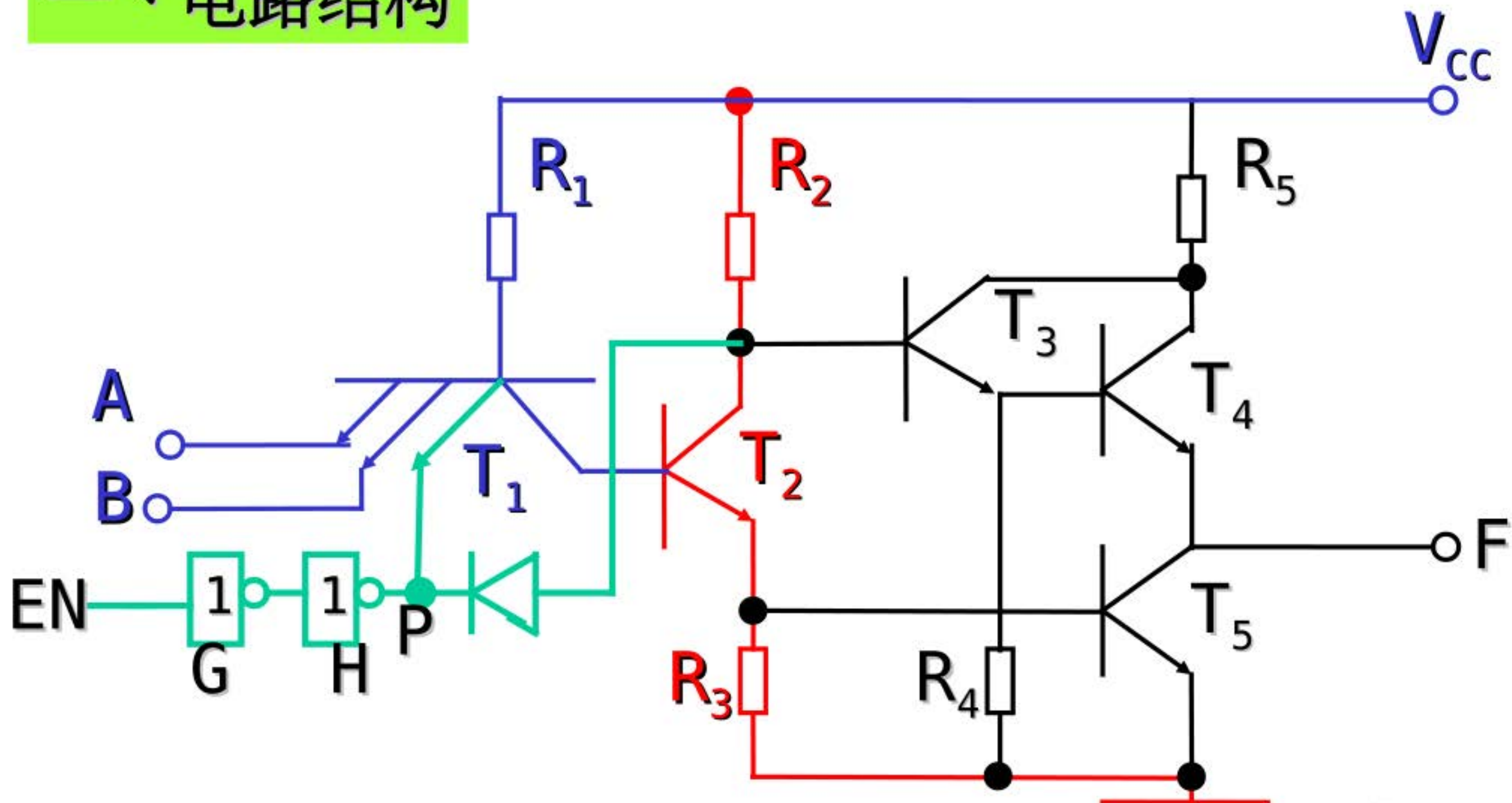
完成两个 OC 门“线与”的输出等效电路为：



“线与”的结果： $F = F_1 \cdot F_2 = \overline{AB} \cdot \overline{CD}$

# 5.0.3 三态输出门 (TS 门)

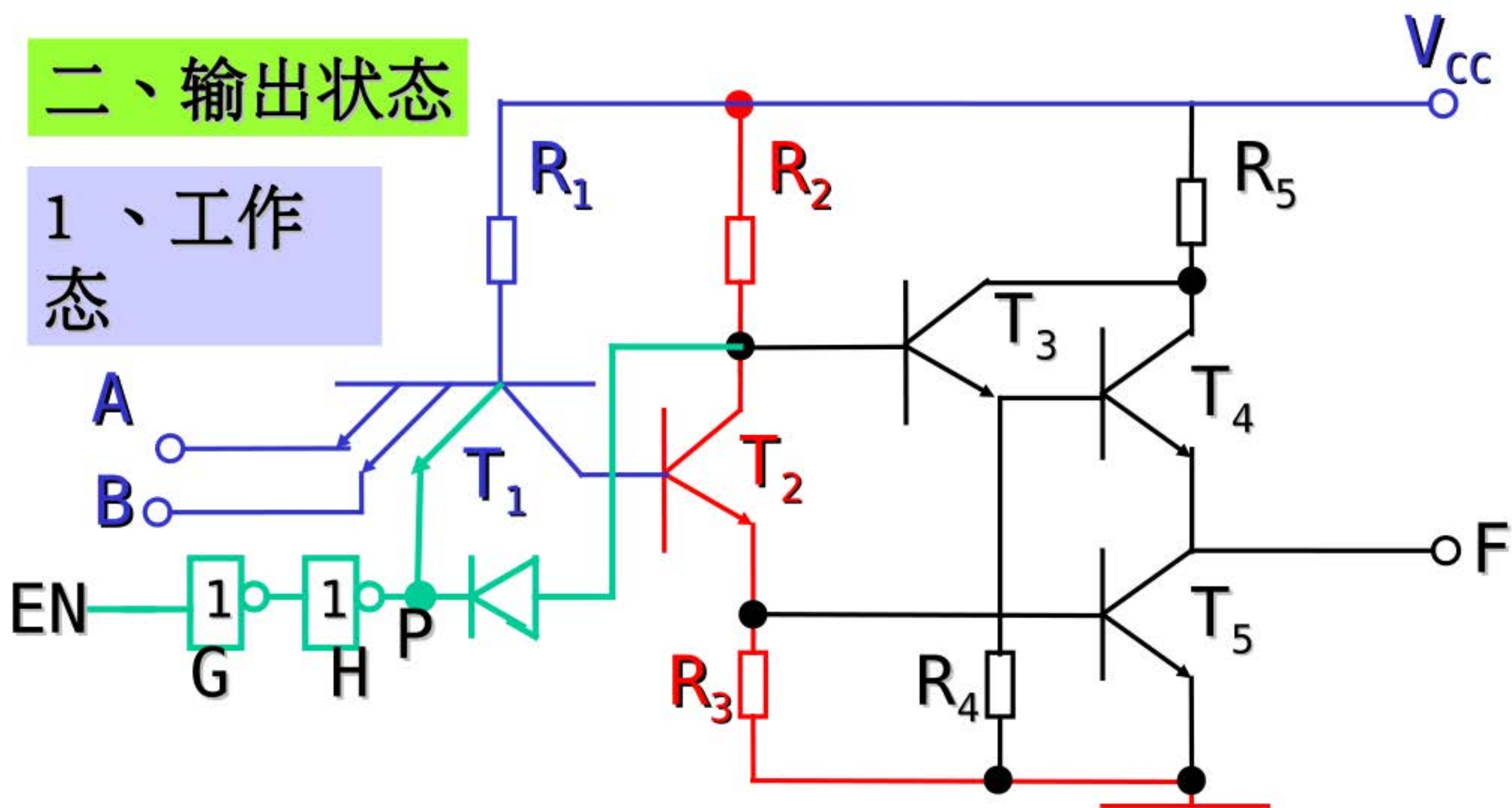
## 一、电路结构





## 二、输出状态

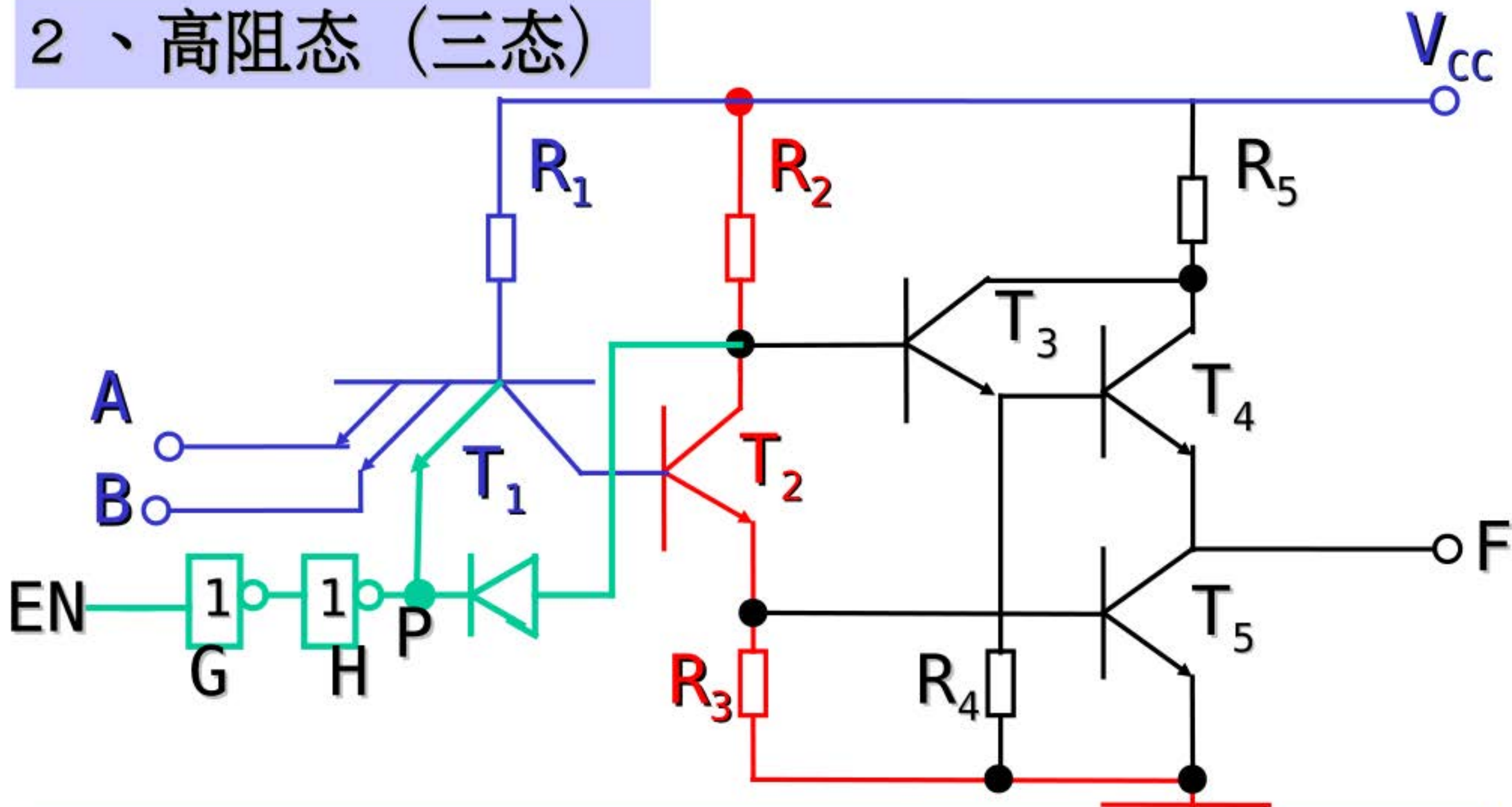
### 1、工作状态



EN 为高电平时，P 点为高电平，由于二极管的隔离作用，P 点对电路没有影响，电路输出仍由输入端 A 和 B 决定，因此电路处于工作状态<sup>48°</sup>

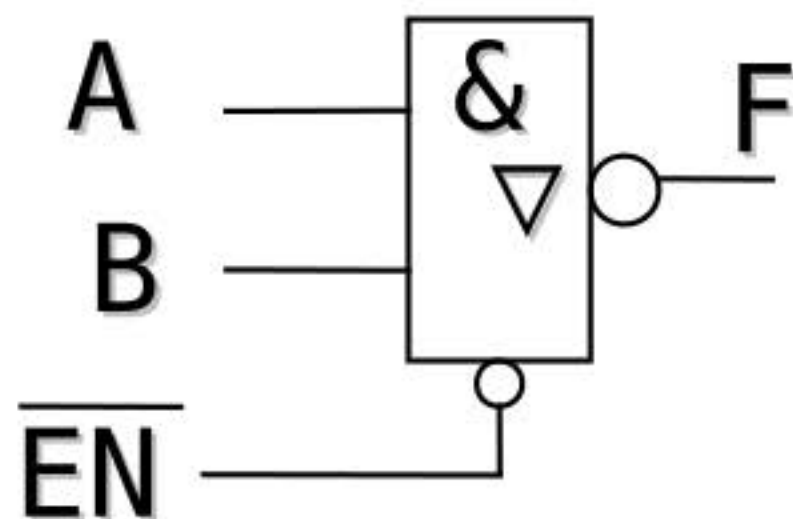
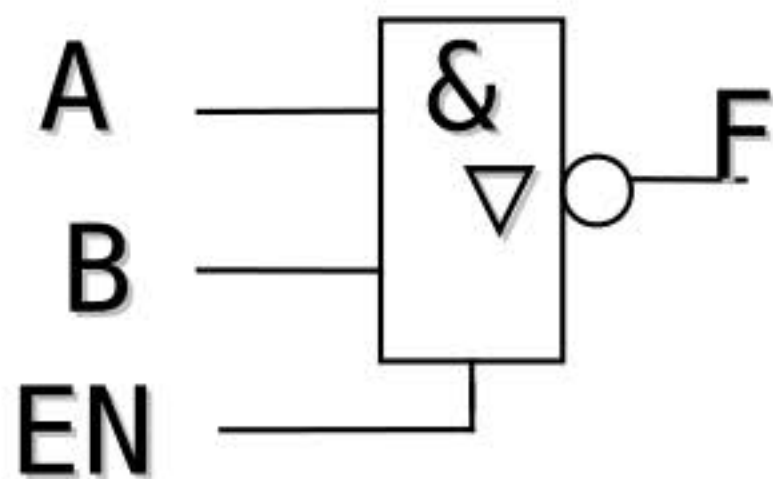


## 2 、高阻态 （三态）



EN 为低电平时，P 点为低电平，二极管使 T<sub>3</sub> 的基极为低电平，于是 T<sub>3</sub>、T<sub>4</sub>、T<sub>5</sub> 均截止，电路输出呈高阻抗，因此电路处于高阻态（三

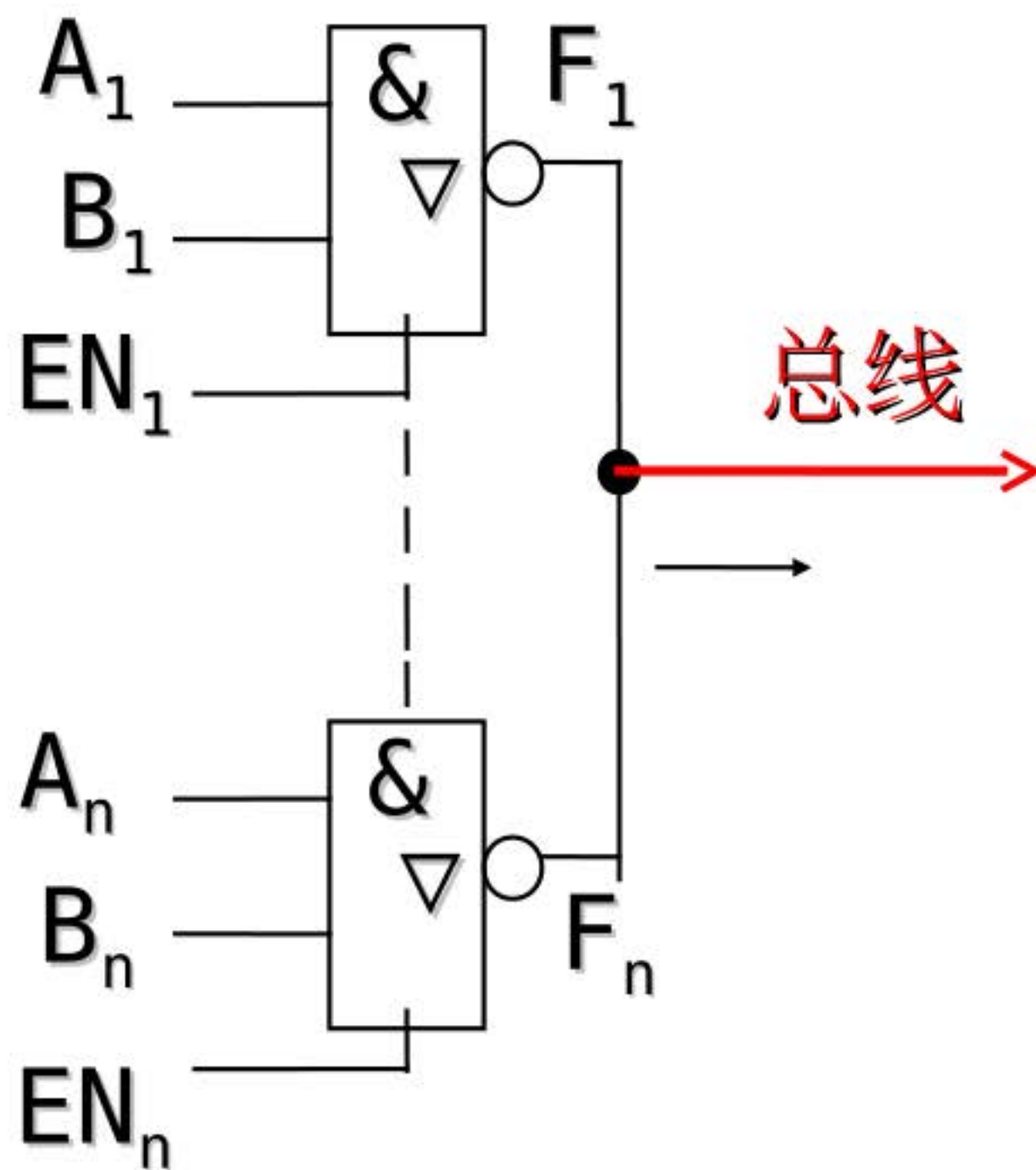
### 三、TS 门的逻辑符号



### 四、TS 门的特点

(1) TS 门不需外接上拉电阻。

(2) 三态门可以把多个门的输出连接在一起，作为总线输出形式。但任一时刻只允许一个门处于工作状态，其余的必须处于高阻态。





# 5.0.4 TTL门直接输入端的处理

## 1、处理原则

不影响信号端的正常逻辑运算。

## 2、对与门、与非门的处理

(1) 接“1”( $V_{CC}$ ) 优点：不会增加信号端的驱动电流

(2) 与信号端并接使

用点：能提高逻辑可靠性，但会使信号端提供的驱动电流增大。

(3) 闲置 等效为输入“1”



### 3 、对或门、或非门的处理

(1) 接“ 0 ”( 地 )

(2) 与信号端并接使用

## 3.7 MOS 集成门电路

### 3.7.1 MOS 集成门电路

场效应管与晶体管不同，它是多子导电，输入阻抗高，温度稳定性好。

场效应管有两种：

结型场效应管

JFET

绝缘栅型场效应管

MOS

N 沟道

P 沟道

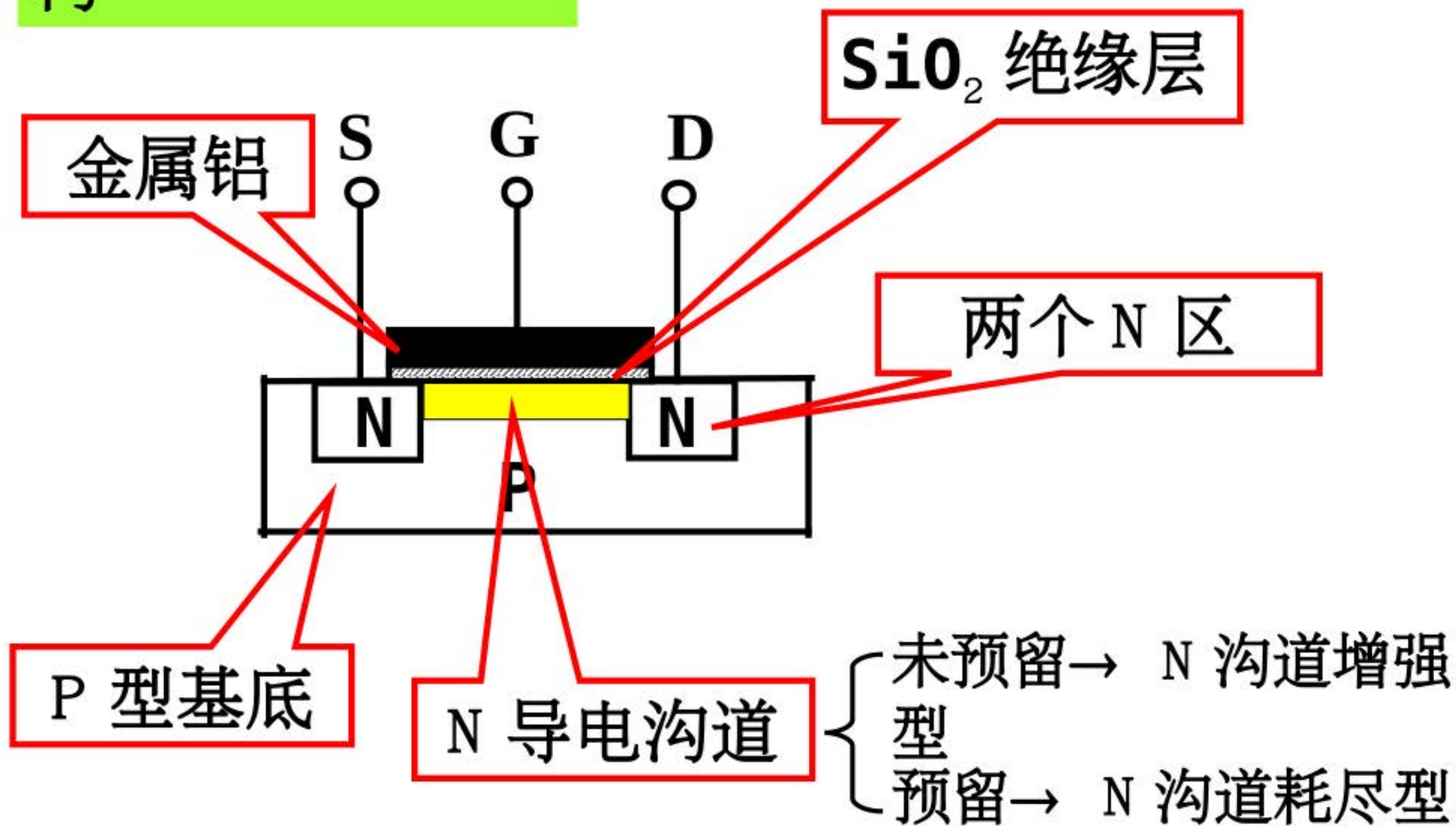
耗尽型

增强型

耗尽型

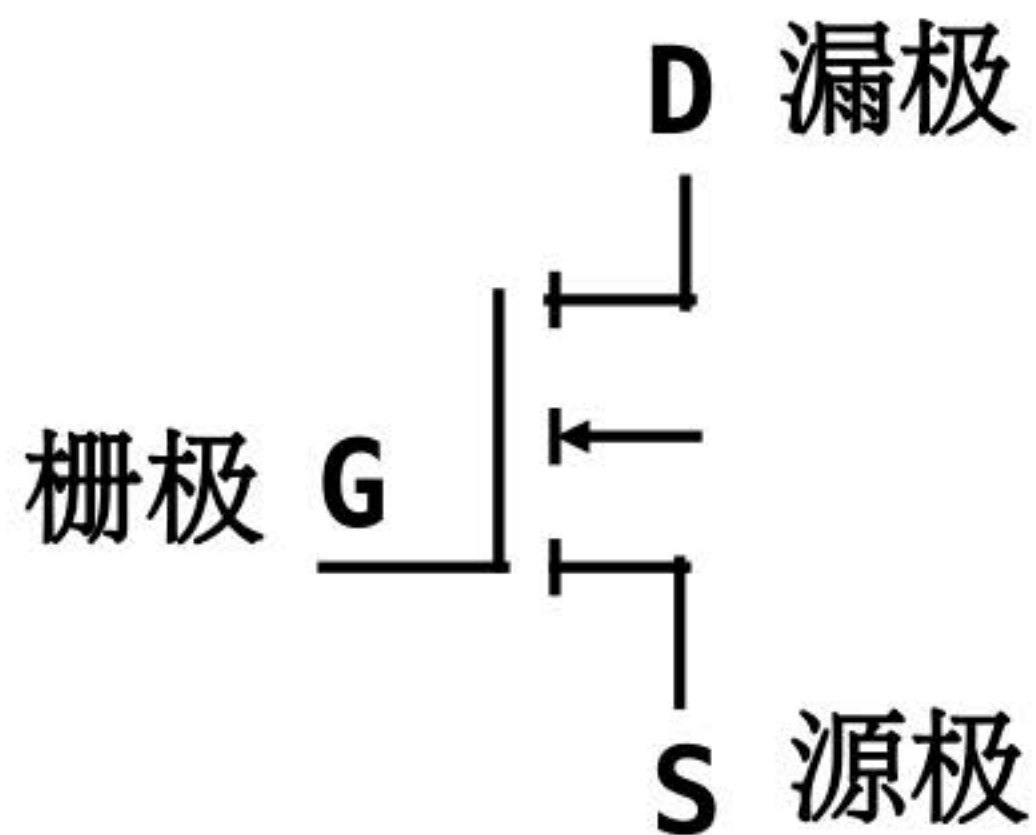
增强型

# 1、NMOS 管的结构

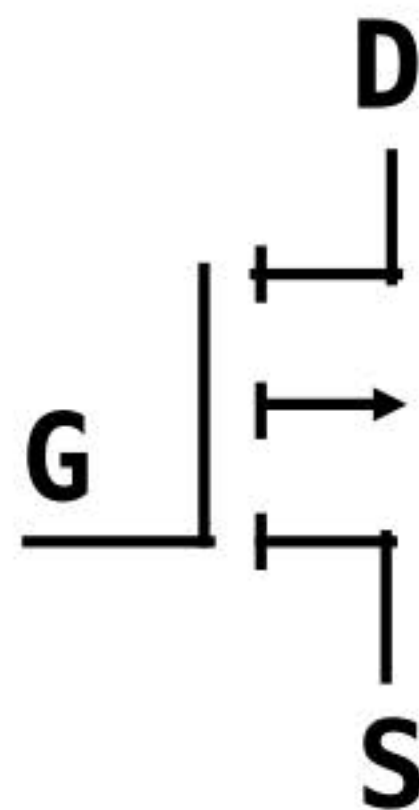




## 2、逻辑符号

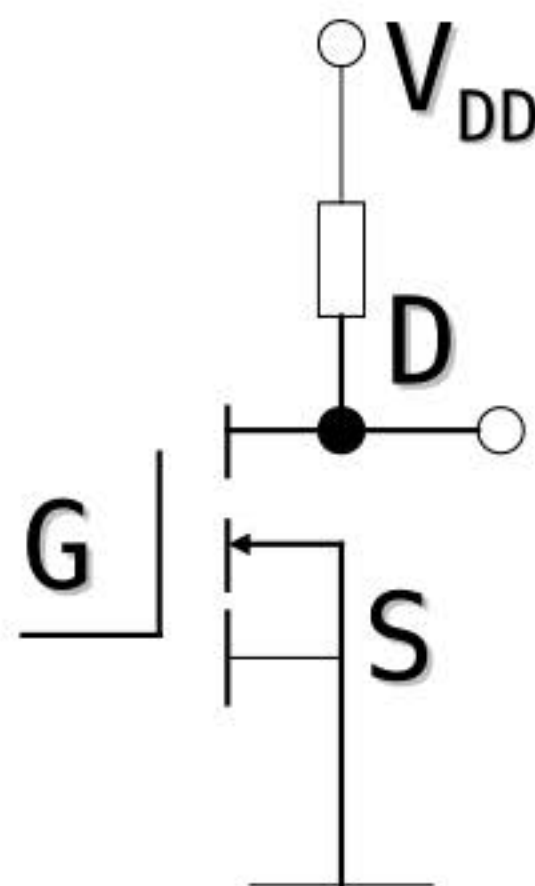


N 沟道增强型



P 沟道增强型

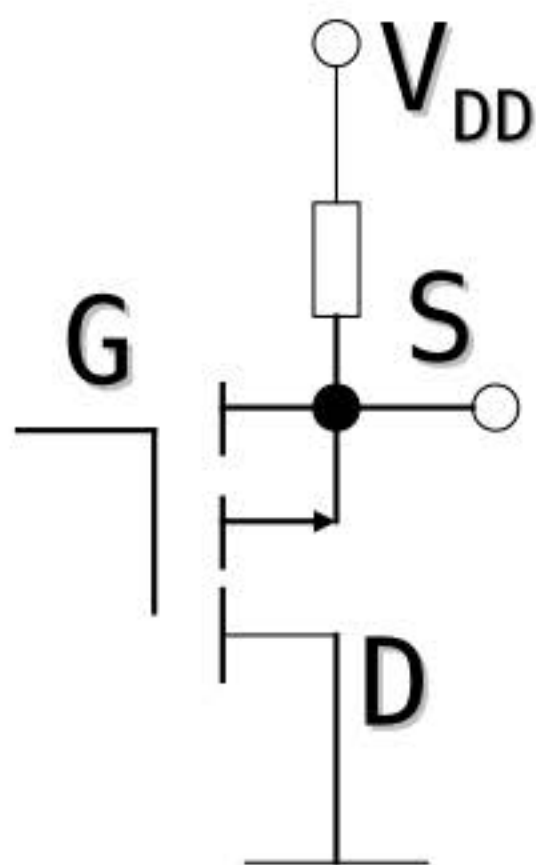
### 3、NMOS 管特性



$V_{GS} \geq V_{TN}(+2V)$ ，形成沟道，等效开关接通。

$V_{GS} < V_{TN}(+2V)$ ，沟道夹断，等效开关断开。

## 4、PMOS 管特性



$V_{GS} \leq V_{TP}(-2V)$ ，形成沟道，等效开关接通。

$V_{GS} > V_{TP}(-2V)$ ，沟道夹断，等效开关断开。



# 路

## 一、CMOS 非门（反相器）

(1) 输入低电平，即若  $U_i = 0V$

$V_{GS1} = 0V < V_{TN}$ ，所以  $T_1$  截止。

$V_{GS2} = -V_{DD} < V_{TP}$ ，所以  $T_2$  导通。

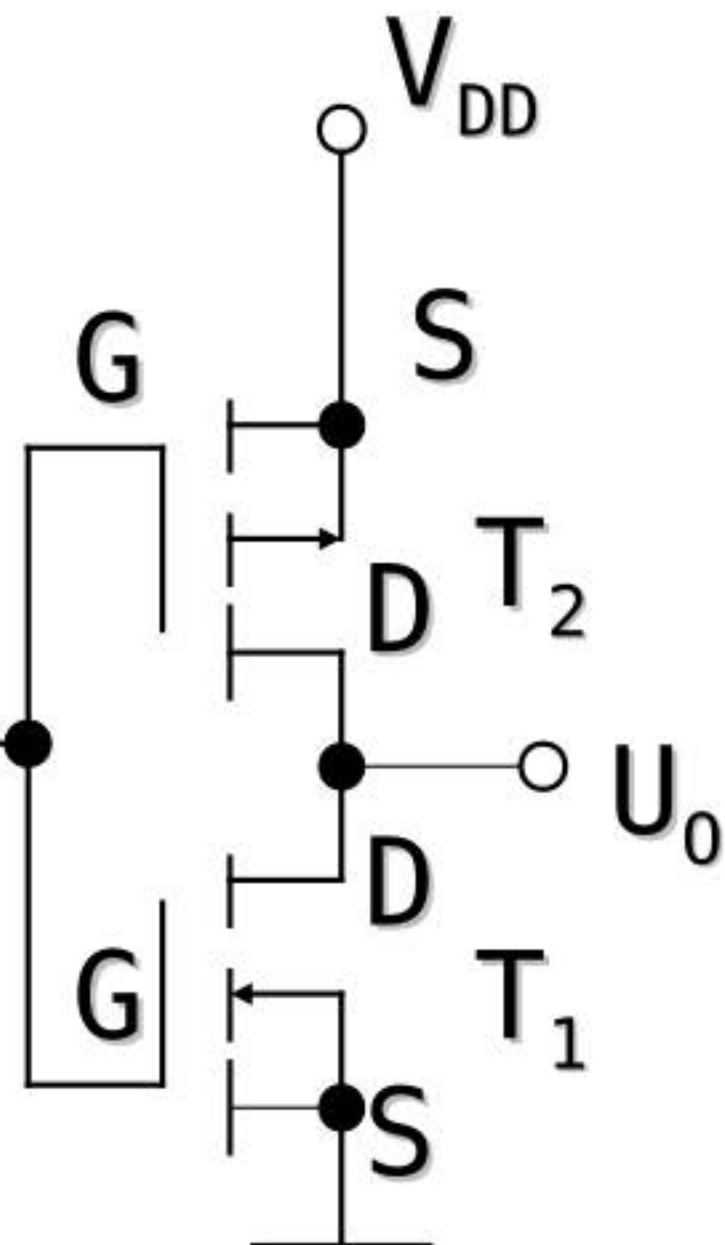
$U_0 = "1" = V_{DD}$ ，即输出为高电平。

(2) 输入高电平，即若  $U_i = +5V = V_{DD}$

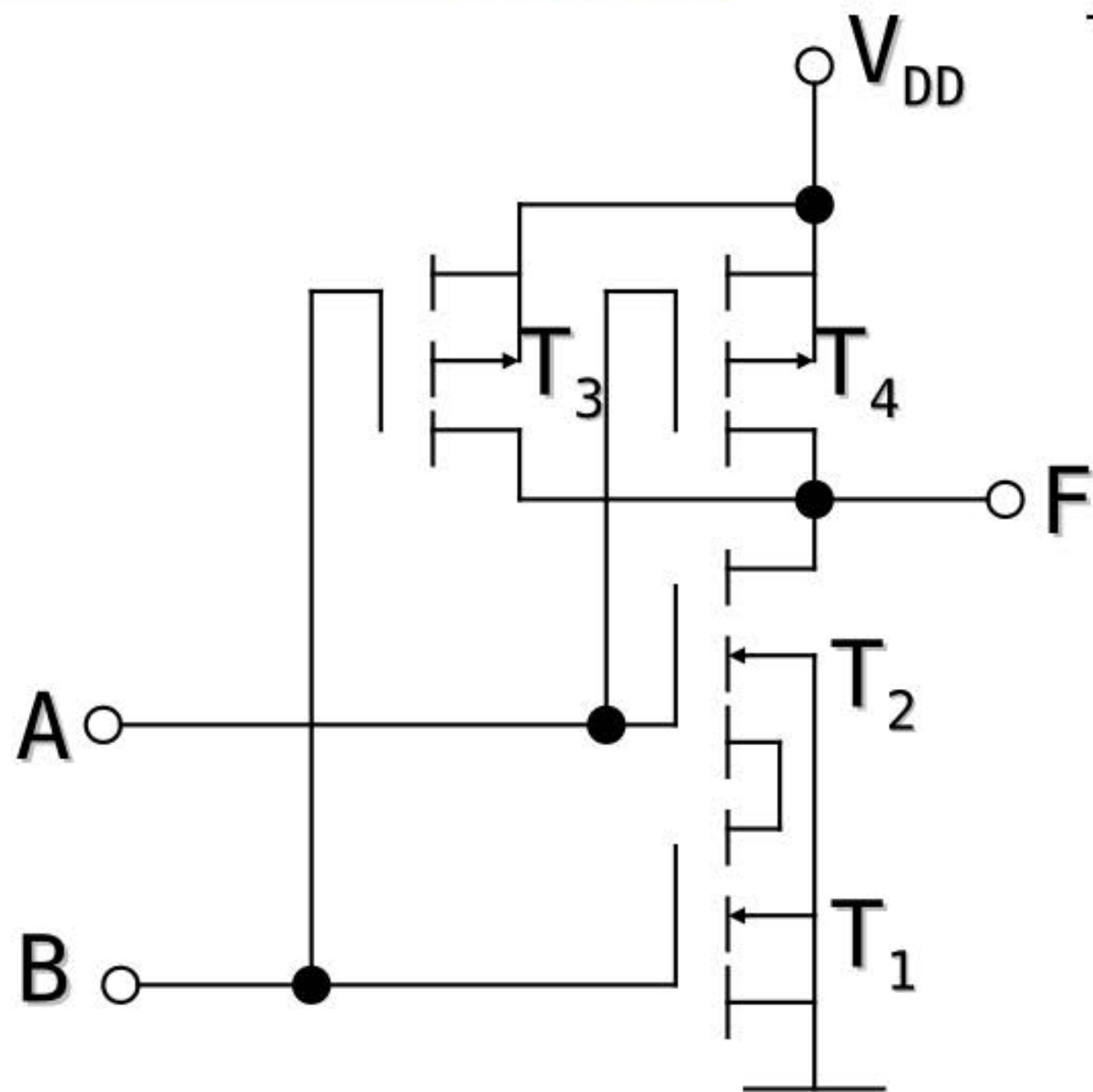
$V_{GS1} = +5V > V_{TN}$ ，所以  $T_1$  导通。

$V_{GS2} = 0V > V_{TP}$ ，所以  $T_2$  截止。

$U_0 = "0"$ ，即输出为低电平。



## 二、CMOS 与非门



$A$	$B$	$T_1$	$T_2$	$T_3$	$T_4$	$F$
0	0	OFF	OFF	ON	ON	1
0	1	ON	OFF	OFF	ON	1
1	0	OFF	ON	ON	OFF	1
1	1	ON	ON	OFF	OFF	0

$T_1$   $T_2$  驱动管串联连接,  $T_3$   $T_4$  负载管并联连接。

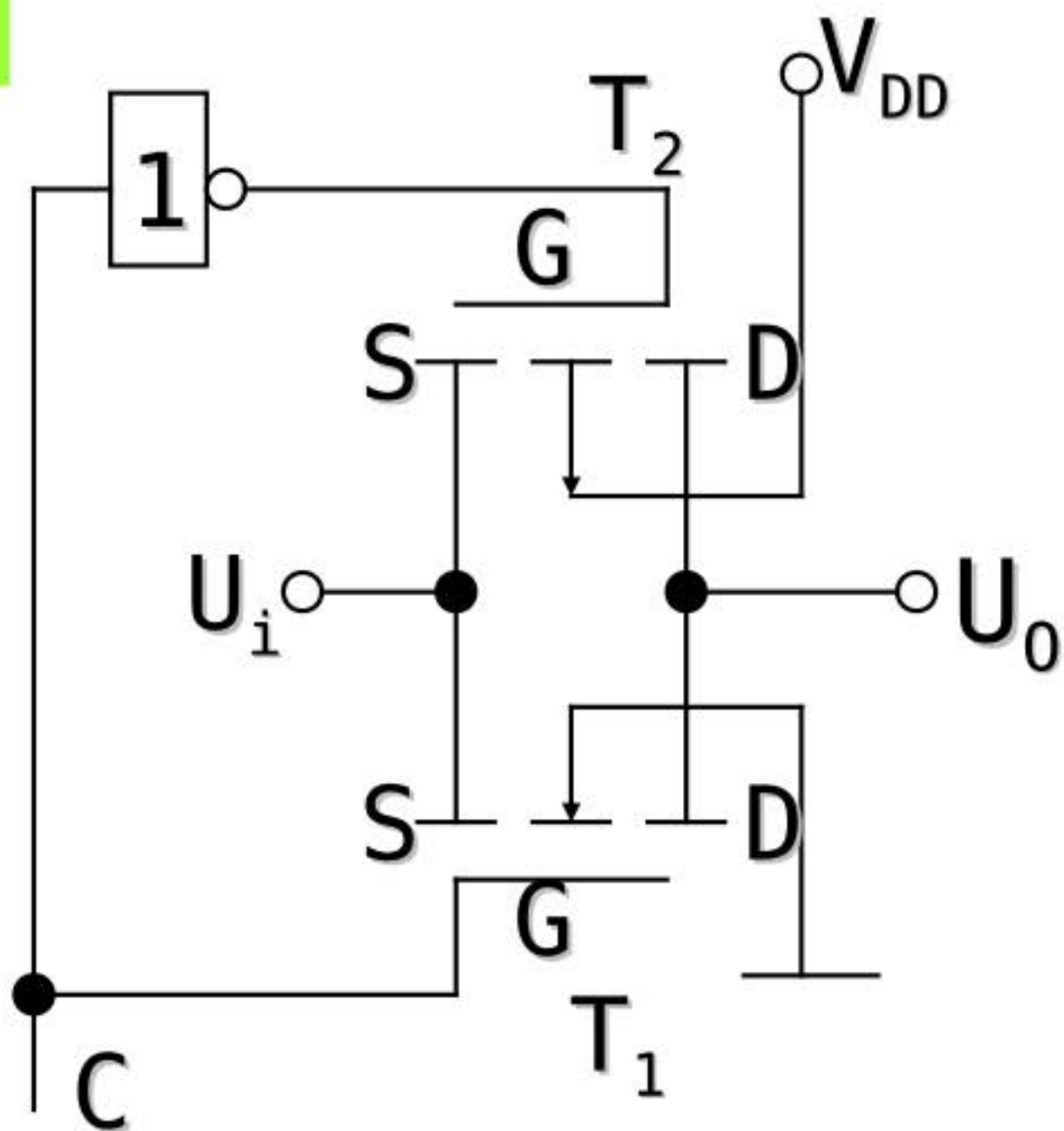
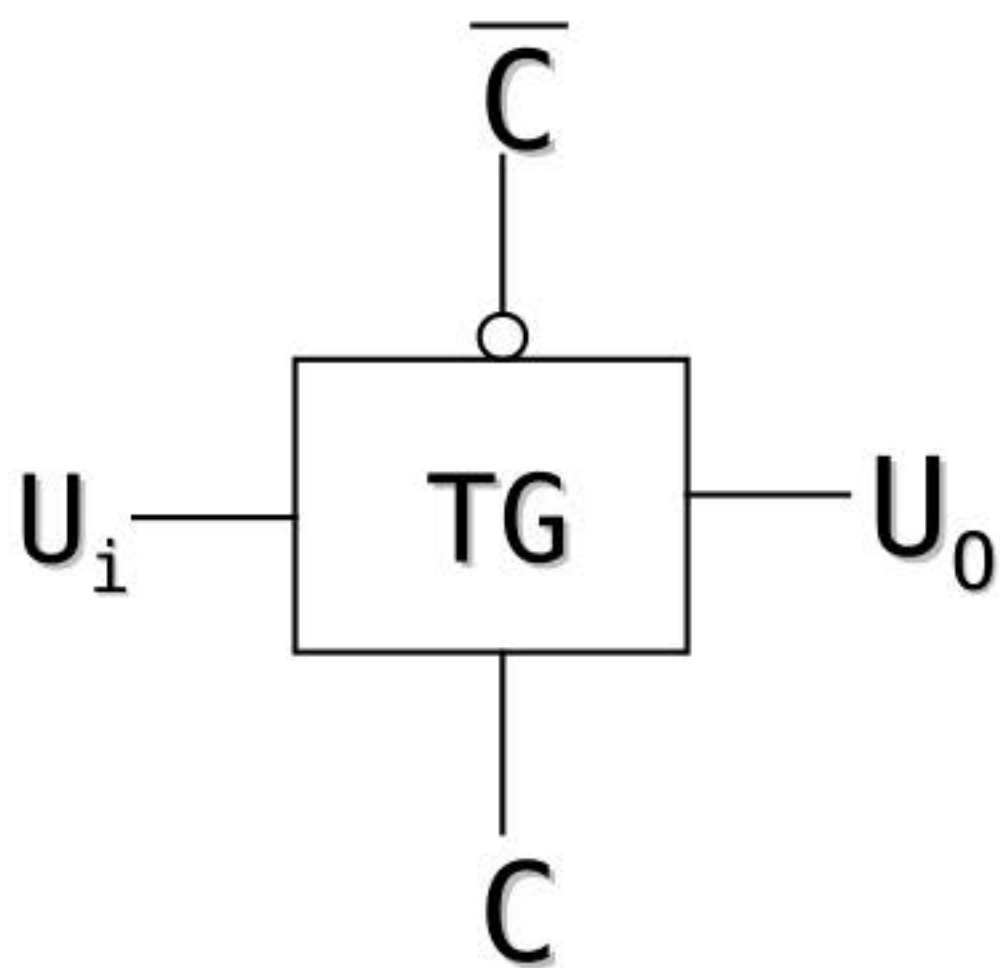
### 三、CMOS 或非门

结构：驱动管  $T_1$   $T_2$  并联连接，负载管  $T_3$   $T_4$  串联连接。

分析省略。图见教材 P36 图 3-10

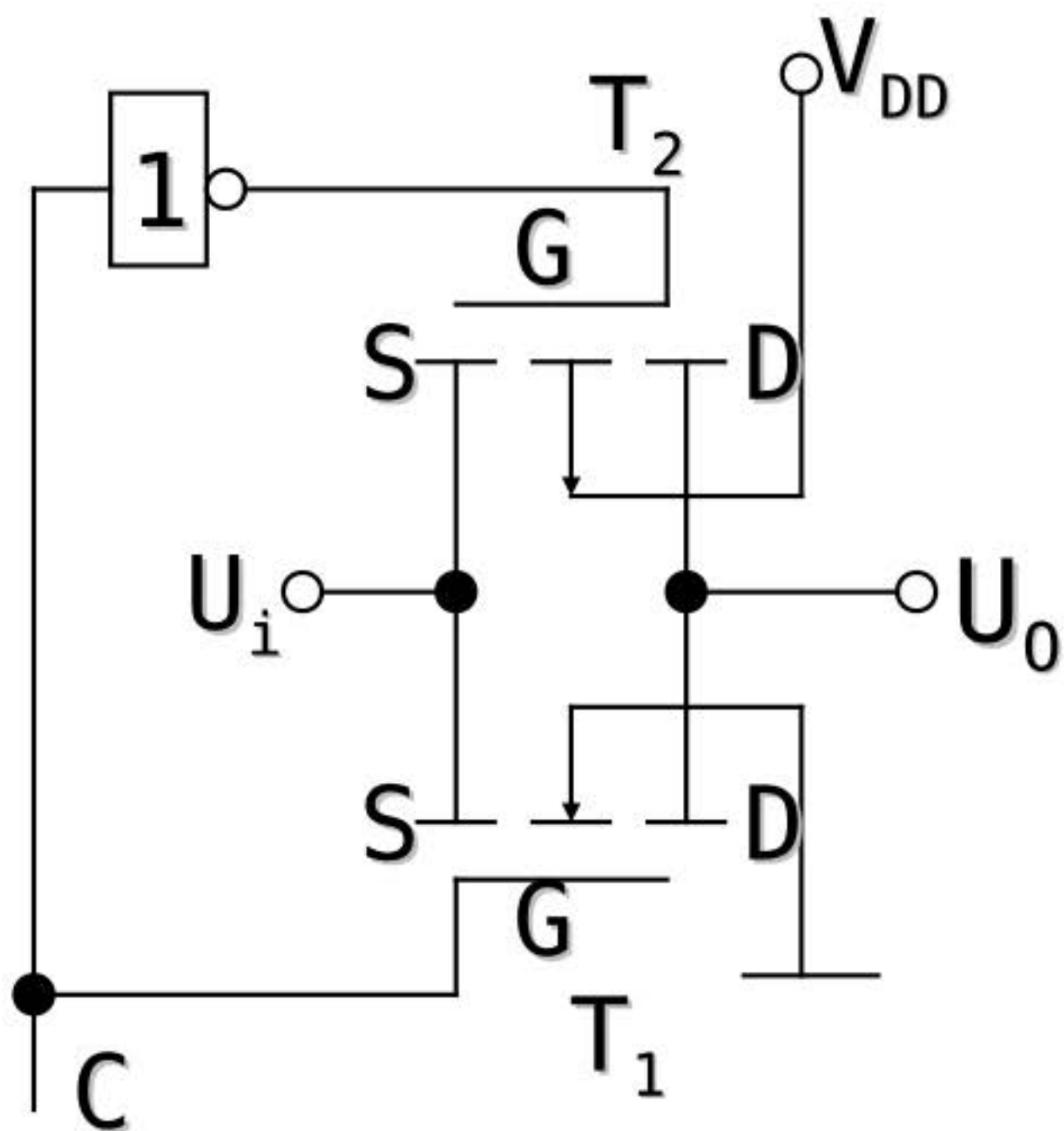
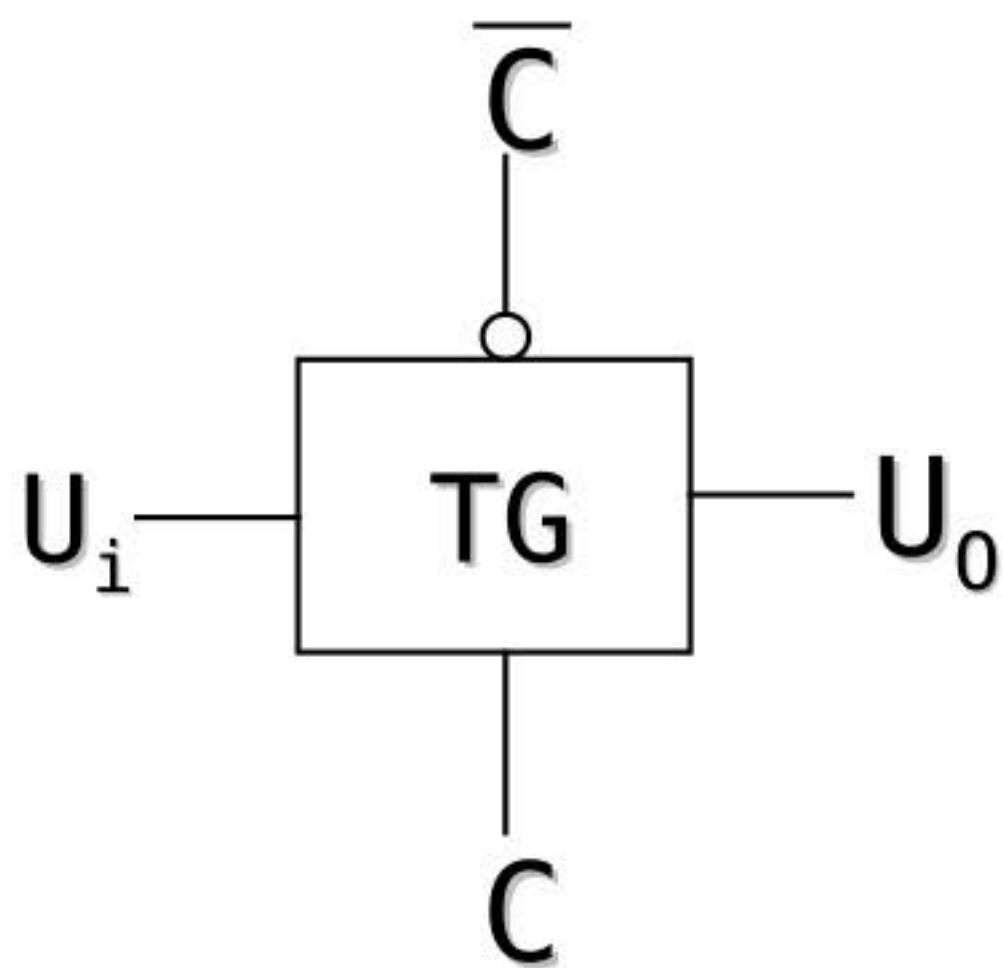


## 四、传输门（模拟开关）



$C=1$  ,  $U_i=1$  :  $T_1(\text{OFF})T_2(\text{ON})$  , 开关 ON ,  $U_0=U_i$

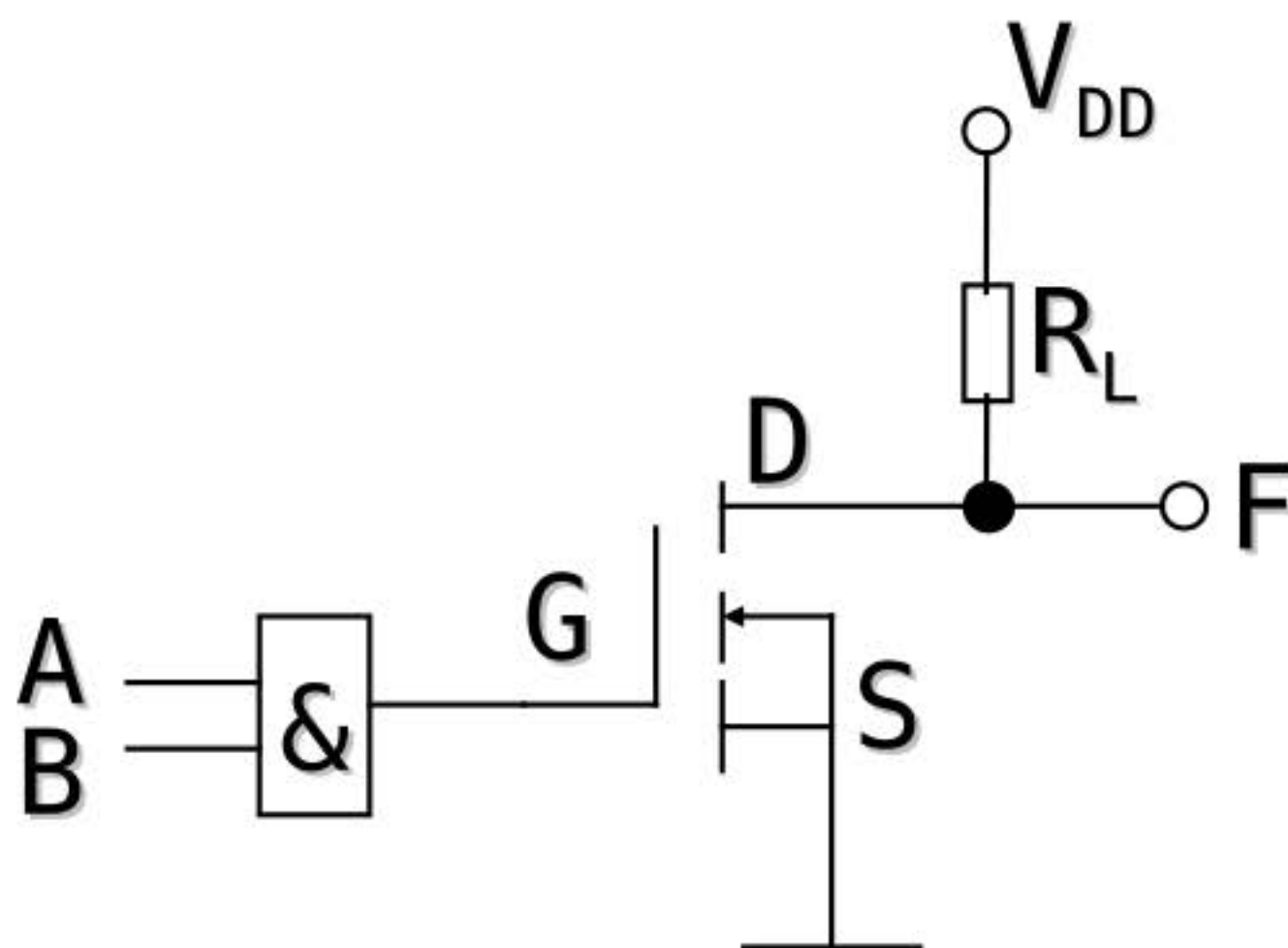
$U_i=0$  :  $T_1(\text{ON})T_2(\text{OFF})$  , 开关 ON ,  $U_0=U_i$



$C=0$  ,  $U_i=1$  :  $T_1(\text{OFF})T_2(\text{OFF})$  , 开关 OFF 。

$U_i=0$  :  $T_1(\text{OFF})T_2(\text{OFF})$  , 开关 OFF<sub>63°</sub>

## 五、CMOS 漏极开路输出门 (OD 门)



和 OC 门一样，OD 门也可实现“线与”，OD 门也必须外加上拉电阻，但 OD 门更多的是用于输出驱动或用于输出电平的转换。

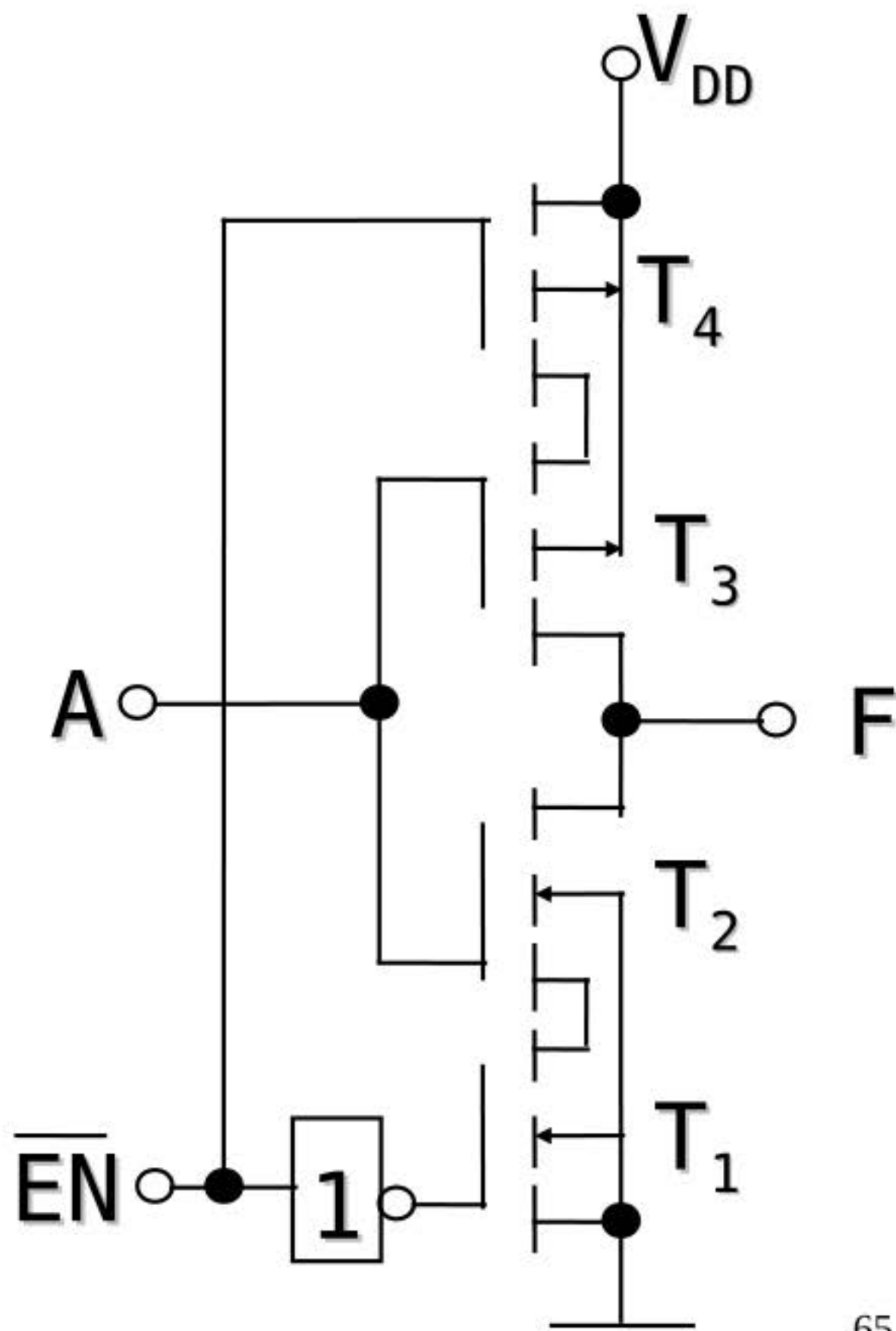


## 六、三态门 (TS)

以 TS 反相器为例:

$\overline{EN}=0$  ;  $F=\overline{A}$

$\overline{EN}=1$  ;  $F=$  高阻态



对 CMOS 电路，工程上：

$U_i > \frac{2}{3} V_{DD}$  ，则输入作为“ 1” ；

$U_i < \frac{1}{3} V_{DD}$  ，则输入作为“ 0” 。

## 七、CMOS 器件闲置输入端的处理

TTL 器件输入端闲置逻辑上等效为“1”。

CMOS 器件输入端不允许浮空闲置，否则会造成逻辑混乱。

一般将与门、与非门的多余输入端接  $V_{DD}$ ；或门、或非门的多余输入端接地。

若和输入端并接会增加电路输入端的电容量，影响开关速度。