

《微型计算机原理与接口技术》

第5版

第11章

DMA控制器8237A

本章主要内容:

§11.1 8237A 的组成与工作原理

§11.2 8237A的时序

§11.3 8237A的编程和应用举例

§11.1 8237A的组成和工作原理

DMA传送

- 用DMA方式传送数据时，传送过程完全由DMA控制器（DMAC）控制。其基本功能：
 - 能向CPU的HOLD脚发出DMA请求信号。
 - CPU响应DMA请求后，DMAC获得总线控制权，由它控制数据的传送，CPU则暂停工作。
 - 能提供读/写存储器或I/O设备的各种控制命令。
 - 确定数据传输的始址和数据长度，每传送1个数据便自动修改地址(+1或-1)，数据长度-1。
 - 传送完毕，能发出结束DMA传送的信号。
 - ▶ CPU在每个非锁定时钟周期结束后，都会检测HOLD脚上有无DAM请求？若有，便转入DMA传送周期。

8237A DMA控制器

- **8237A是高性能可编程DMA控制器，主要特点：**
 - 含4个通道，每通道有64K地址和字节计数能力。
 - 有4种传送方式：单字节传送、数据块传送、请求传送、级联传送。
 - 每个通道的DMA请求可被允许或禁止。
 - 4个通道的DAM请求有不同优先级，优先级可以是固定的，也可以是循环的。
 - 任一通道完成数据传送后，会产生过程结束信号EOP（End of Process），结束DMA传送；还可从外界输入EOP信号，中止正执行的DMA传送。

8237A的两种工作状态

1) 从态方式

- 开始DMA传送前，8237A是系统总线的从属设备，由CPU对它进行编程，如指定通道、传送方式和类型、内存单元起始地址、地址是递增还是递减以及要传送的总字节数等等，CPU也可读取DMAC的状态。

2) 主态方式

- 当8237A取得总线控制权后，它就完全控制了系统，使I/O设备和存储器之间或者存储器与存储器之间进行直接的数据传送。
- ▶ 8237A芯片的内部结构和外部连接与这两种工作状态密切相关。

§11.1 8237A的组成和工作原理

11.1.1 8237A的内部结构

11.1.2 8237A的引脚功能

11.2.3 8237A的内部寄存器

11.1.1 8237A的内部结构

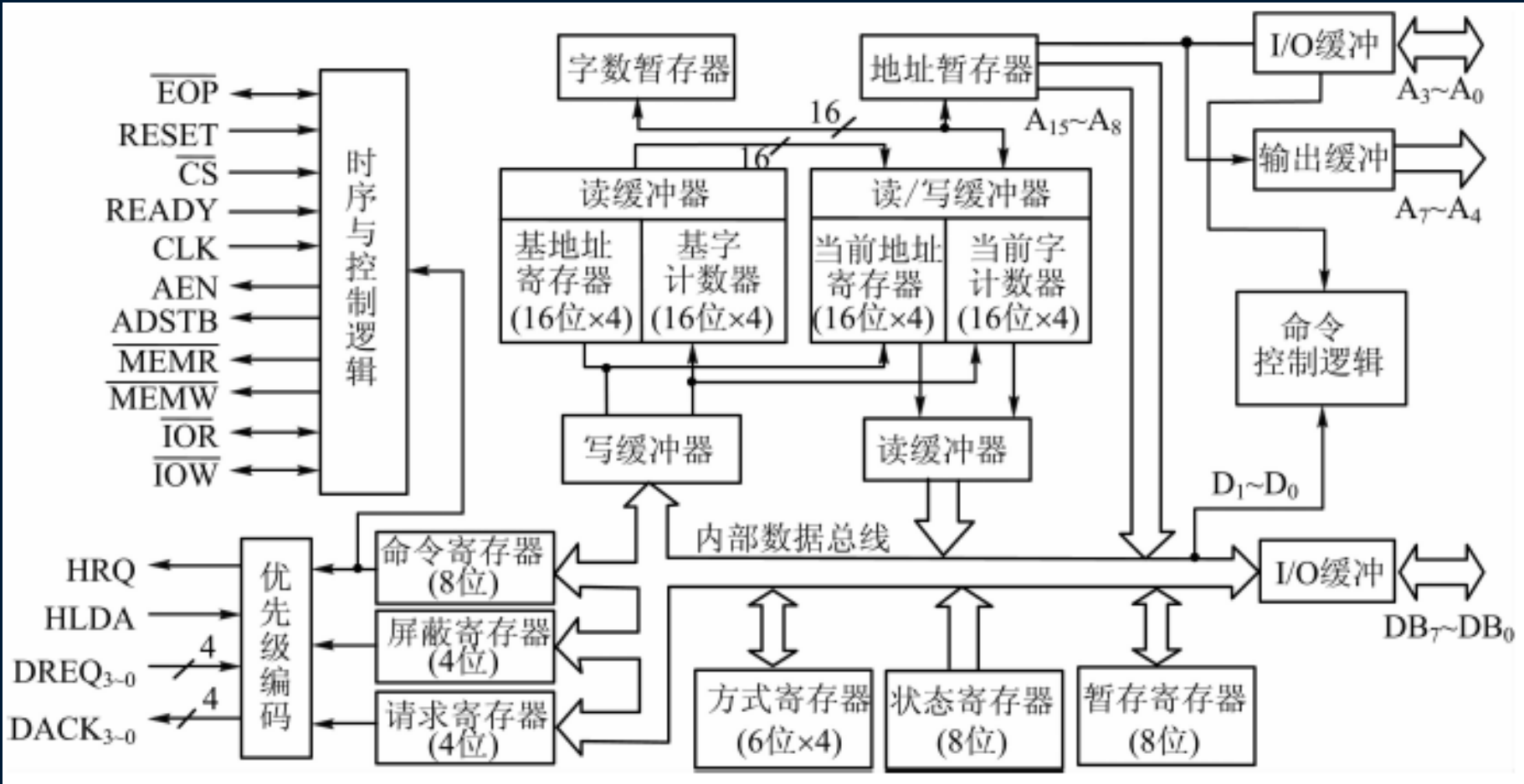


图11.1 8237A的内部结构

8237A内部结构

1. 时序与控制逻辑

- 从态时, 接收系统时钟、复位、片选和读/写等信号, 完成相应控制操作; 主态时, 向系统发控制信号。

2. 优先级编码电路

- 对同时提出DMA请求的多个通道进行排队判优, 决定哪个通道优先级最高。可选固定或循环优先级。某个优先级高的设备服务时, 禁止其它通道请求。

3. 数据和地址缓冲器组

- 8237A的 $A_7 \sim A_4$ 、 $A_3 \sim A_0$ 为地址线; $DB_7 \sim DB_0$ 在从态时传输数据, 主态时传送地址。它们都与三态缓冲器相连, 便于接管或释放。

8237A内部结构

4.命令控制逻辑

- 从态时接收CPU送来的寄存器选择信号 ($A_3 \sim A_0$)，选择寄存器；主态时译码方式字的 $D_1 D_0$ ，以确定操作类型。 $A_3 \sim A_0$ 与 \overline{IOR} 、 \overline{IOW} 配合组成各种操作命令。

5.内部寄存器组

- 每通道有16位基址寄存器、基址计数器、当前地址寄存器、当前字计数器以及6位工作方式寄存器。
- 片内还有命令寄存器、屏蔽寄存器、请求寄存器、状态寄存器和暂存寄存器。
- 不可编程的字数暂存器和地址暂存器。

§11.1 8237A的组成和工作原理

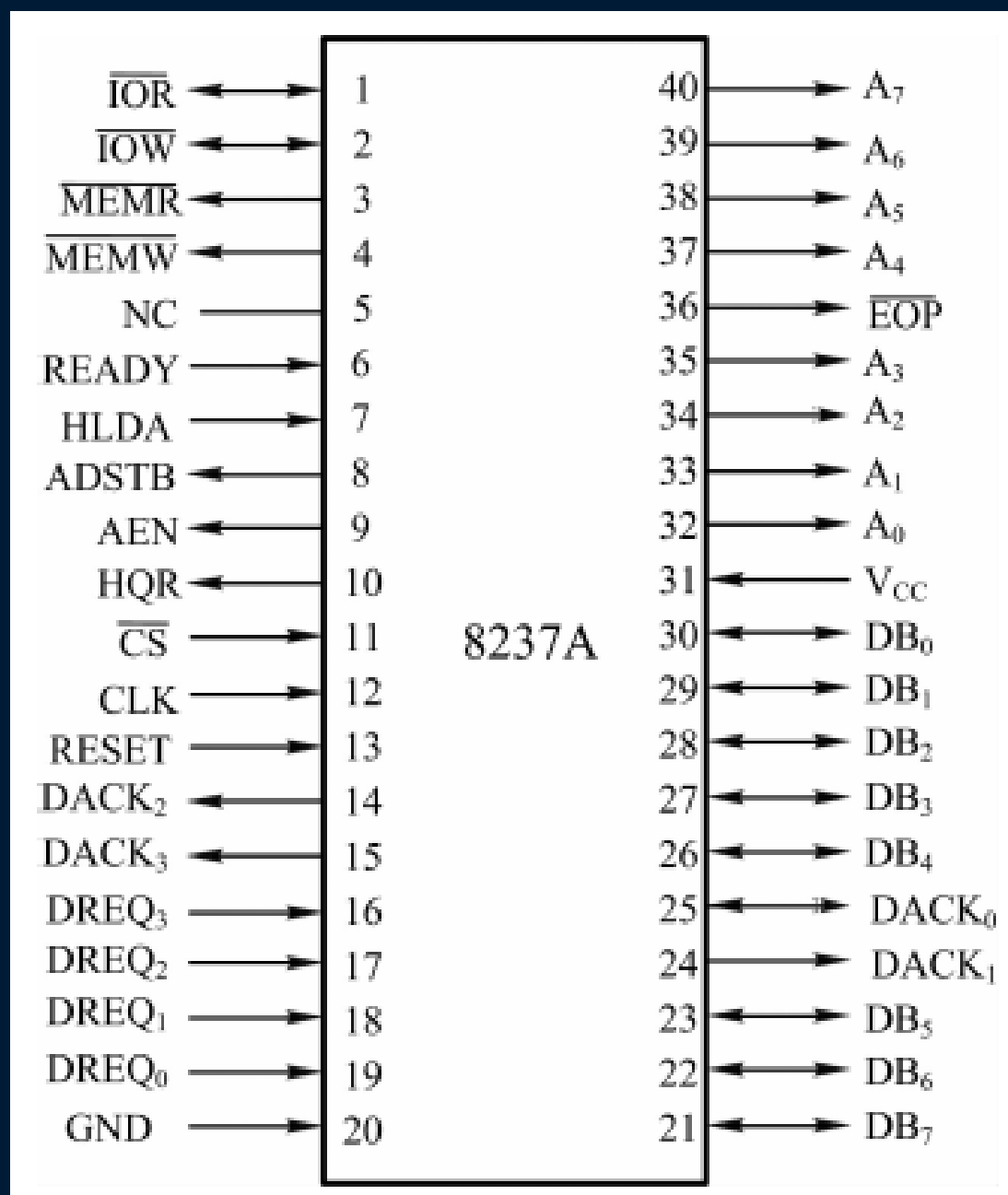
11.1.1 8237A的内部结构

11.1.2 8237A的引脚功能

11.2.3 8237A的内部寄存器

11.1.2 8237A的 引脚功能

8237A为40
引脚DIP封
装, 引脚排
列
➔



8237A引脚功能

1. CLK 时钟信号，输入

- 8237A时钟频率3MHz，8237A-5为5MHz。

2. \overline{CS} 片选信号，输入，低电平有效

- 从态方式下选中8237A，接受CPU对它的编程等。

3. READY 准备好，输入，高电平有效

- 慢速I/O设备或存储器参与DMA传送时，可使READY变低，让8237A在DMA周期中插入等待周期 T_w ；当它们准备就绪时READY变高。

4. $A_3 \sim A_0$ 低4位地址线

- 从态为输入，寻址8237A内部寄存器，实现编程；主态时输出要访问内存的低4位地址。

8237A引脚功能

5. $A_7 \sim A_4$ 4位地址线

- 始终是输出或浮空, 主态时输出4位地址信息 $A_7 \sim A_4$ 。

6. $DB_7 \sim DB_0$ 8位数据线

- 与系统数据总线连。从态时, CPU经数据线读取各有关寄存器内容, 并对各寄存器编程。
- 主态时, 由它们输出高8位地址 $A_{15} \sim A_8$, 并由 \overline{AD} \overline{STB} 信号将它们锁存到外部的高8位地址锁存器中, 与 $A_7 \sim A_0$ 输出的低8位地址构成16位地址。
- 存储器-存储器传送方式下, 源存储器读出的数据, 经它们送暂存寄存器, 暂存器中数据再经它们写到目的存储单元中。

8237A引脚功能

7. AEN 地址允许信号，输出，高电平有效

- 送出锁存的高8位地址，与芯片输出的低8位地址一起构成16位内存偏址。同时使连到CPU的地址锁存器无效，保证地址线上的信号来自DMAC。

8. ADSTB 地址选通信号，输出，高电平有效

- 选通外部地址锁存器，将 $DB_7 \sim DB_0$ 上的高8位地址送到外部的地址锁存器。

9. \overline{IOR} I/O读信号，双向

- 从态时，控制CPU读取8237A 内部寄存器。
- 主态时，与 \overline{MEMV} 配合，控制数据由外设传到存储器中。

8237A引脚功能

10. $\overline{\text{IOW}}$ I/O写信号，双向，低电平有效

- 从态时，控制CPU对8237A内部寄存器编程。
- 主态时，与MEMR相配合，控制数据从存储器传送到外设。

11. MEMR 存储器读，输出，低电平有效

- 主态时，可与 $\overline{\text{IOW}}$ 配合，实现存储器→外□□送，也可控制内存间数据传送，从源地址单元中读出数据。从态时无效。

12. MEMW 存储器写，输出，低电平有效

- 主态时，可与 $\overline{\text{IOR}}$ 配合，实现存储器←外□□送，也可控制内存间数据传送，把数据写入目的单元。从态时无效。

8237A引脚功能

13. $\text{DREQ}_3 \sim \text{DREQ}_0$ 通道3~0的DMA请求信号，输入

- 外设请求DMA服务时，向这些引脚发请求信号，有效极性由编程确定。固定优先级时， DREQ_0 的优先级最高，编程可改变优先级。

14. HRQ 保持请求信号，输出，高电平有效

- 向CPU的HOLD端发出的DMA请求信号，可从8237A任一个未被屏蔽的通道发出。

15. HLDA 保持响应信号，输入，高电平有效

- 与CPU的HLDA相连，CPU收到HRQ信号后，至少经过1个时钟周期后，使HLDA变高，表示已让出总线控制权，8237A收到HLDA信号后，便开始DMA传送。

8237A引脚功能

16. $\text{DACK}_3 \sim \text{DACK}_0$ 通道3~0的DMA响应信号，输出

- 其有效电平极性由编程确定。相应通道开始DMA传送后， DACK_i 有效，通知外部电路现已进入DMA周期。

17. $\overline{\text{EOP}}$ 传输过程结束信号，双向，低电平有效

- DMA传送中，任一通道的字计数器减为0，再由0减为FFFFH而终止计数时，会在 $\overline{\text{EOP}}$ 引脚上输出低电平信号，表示DMA传输结束。
- 也可在 $\overline{\text{EOP}}$ 脚上输入低电平信号来终止DMA传送。
- 若通道设置成自动预置状态，该通道完成一次DMA传送，出现 $\overline{\text{EOP}}$ 信号后，又能自动恢复有关寄存器的初值，继续执行另一次DMA传送。

§11.1 8237A的组成和工作原理

11.1.1 8237A的内部结构

11.1.2 8237A的引脚功能

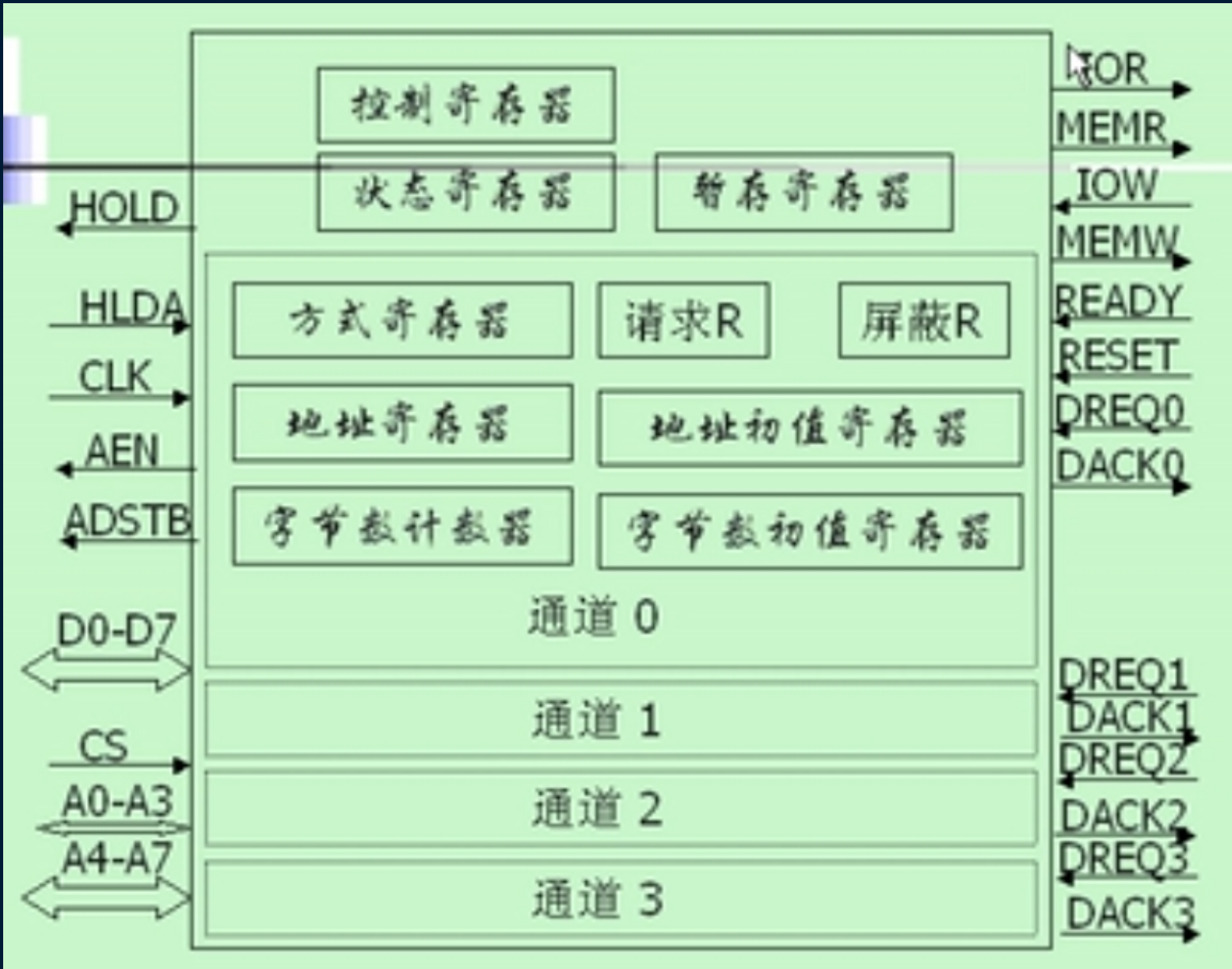
11.2.3 8237A的内部寄存器

11.2.3 8237A的内部寄存器

● 8237A的内部可编程寄存器主要有10种：

表 11.1 8237A 的内部寄存器

名 称	位数	数 量
当前地址寄存器	16	4 （每通道一个）
当前字计数寄存器	16	4 （每通道一个）
基地址寄存器	16	4 （每通道一个）
基字计数寄存器	16	4 （每通道一个）
工作方式寄存器	6	4 （每通道一个）
命令寄存器	8	1 （4 个通道公用一个）
状态寄存器	8	1 （4 个通道公用一个）
请求寄存器	4	1 （每通道 1 位）
屏蔽寄存器	4	1 （每通道 1 位）
暂存寄存器	8	1 （每通道 1 位）



8237A的内部寄存器

1. 当前地址寄存器

- 16位，每通道1个，存放DMA传送的存储器地址值。每传送1个数据，地址值自动+1或-1，指向下个单元。
- 编程时可写入初值，也可被读出，但每次只能读/写8位，所以读/写要两次完成。
- 自动预置操作方式，在 $\overline{\text{EOI}}$ 有效时，会重装入基地址值。

2. 当前字计数寄存器

- 16位，每通道1个，编程时置其初值为实际传送字节数少1。每传送1字节，自动-1。由0→FFFFH时，将产生终止计数信号TC。
- 自动预置操作方式，在 $\overline{\text{EOI}}$ 有效时，会重装入基字计数寄存器的内容。

8237A的内部寄存器

3. 基地址寄存器

- 16位，每通道1个，存放通道当前地址寄存器初值，与当前地址寄存器地址一样，编程时写入相同值。
- 其内容不能读出和修改。用在自动预置操作时，使当前地址寄存器恢复到初值。

4. 基字计数寄存器

- 16位，每通道1个，存放通道当前字计数器初值，该值也是编程时与当前字计数器一起写入的。
- 其内容不能读出和修改，用于自动预置操作时，使当前字计数器恢复到初值。

8237A的内部寄存器

5. 命令寄存器

8位, 控制
8237A的
操作。
由CPU编
程来设置
8327A操
作方式,
复位时清
除。
格式见图
11.3。

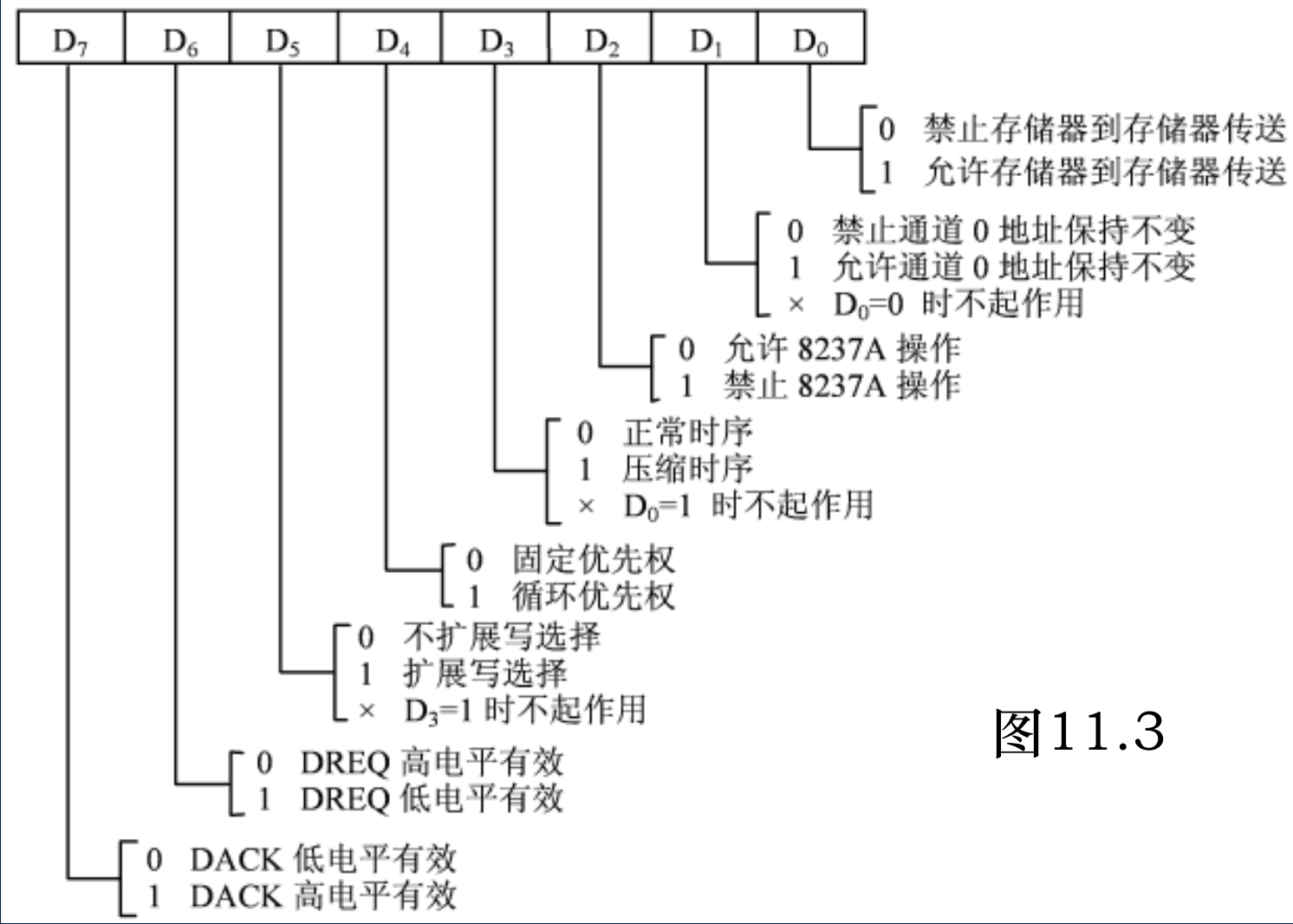


图11.3

8237A的内部寄存器

- **D₀位** 能否进行存储器→存口器口送，D₀=1允许。并规定先用通道0从源单元读入1字节放入暂存器，然后由通道1把该字节写到目的单元，接着两通道的地址分别+1或-1，通道1的字计数器-1，它减为0时产生终止计数信号TC，并输出信号 **\overline{EQ}** 终止DMA服务。
- **D₁位** 存储器→存口器口送时，通道0地址能否保持不变。D₁=1，通道0在传送中保持同一地址，从而可把该单元中的数写入一组存储单元。D₁=0禁止。当D₀=0时这种方法无效。
- **D₂位** 允许或禁止8237A工作，D₂=0允许，D₂=1则禁止。

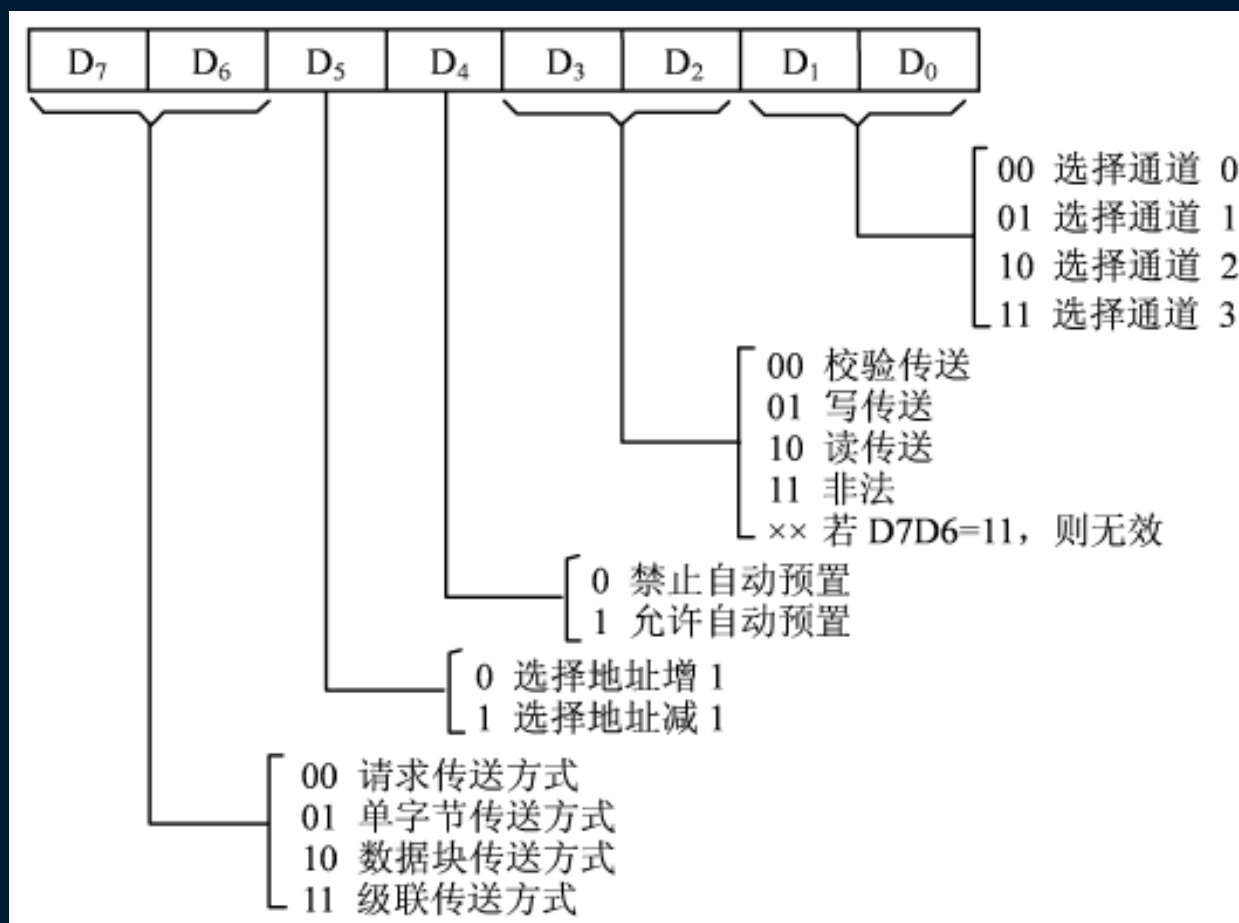
8237A的内部寄存器

- **D₄位 优先权控制。** D₄=0为固定优先权，通道0优先级最高；D₄=1为循环优先权，刚服务过的通道i优先权最低，而通道i+1优先权最高。随着DMA操作不断进行优先权不断循环，防止某通道长时间占用总线。
- **D₆位 决定DREQ的有效电平，** 0高电平有效，1则低电平有效。
- **D₇位 决定DACK的有效电平，** 1高电平有效，0则低电平有效。
- **D₃位和D₅位 有关时序的操作，** 见后面时序讨论。

8237A的内部寄存器

6. 工作方式寄存器

6位，每通道1个，选择DMA的传送方式和类型等，格式↓



8237A的内部寄存器

- **D₁D₀位** 选择通道，并进一步由D₂~D₇指定选定通道的工作方式。这样4个通道可合用1个方式寄存器。
- **D₃D₂位** 决定所选通道的DMA操作类型。从3种DMA传送类型中选定一种：
 - 10: 读传送，存储器→I/O设备，发 $\overline{\text{MEMR}}$, $\overline{\text{IOW}}$
 - 01: 写传送，存储器←I/O设备，发 $\overline{\text{MEMW}}$, $\overline{\text{IOR}}$
 - 00: 校验传送，伪传送，8237A会产生地址信息和 $\overline{\text{EOP}}$ 信号，不会发出读写控制信号，用于测试。
- **D₄位** 所选通道是否进行自动预置操作。如果D₄=1，则选择自动预置。
- **D₅位** 方向控制位。D₅=0数据传送由低址向高址方向进行，每传送1字节，地址+1。D₅=1时传送方向相反。

8237A的内部寄存器

➤ **D₇D₆**位 定义所选通道操作方式。有4种传送方式:

1) 单字节传送方式

- 每次DMA操作只传送1字节。之后字计数器-1，地址寄存器+1或-1，HRQ无效，释放系统总线。当字计数器由0减为FFFFH时，产生终止信号TC。
- 此后即使DREQ继续有效，8237A的HRQ输出仍进入无效状态并让出总线，由CPU控制至少一个总线周期。

2) 数据块传输方式

- 进入DMA服务后，可连续传输一批数据，直到字计数器由0减为FFFFH产生TC信号，或从外部送来EOP信号时，才释放总线，结束DMA传输。

8237A的内部寄存器

3) 请求传送方式

- 也连续传送数据，直到字计数器由0减为FFFFH产生TC, 或外界送来 EO信号。但每传送1字节后，都要测试DREQ端，一旦发现此信号无效，马上停止。
- 地址和字计数器的中间值会被保存在通道的现行地址和字计数器中，外设准备好新数据时，可使DREQ再变为有效，又从断点处继续进行传输。

8237A的内部寄存器

4) 级联传送方式

- 连接多个8237A以扩充DMA通道，连线见图11.5。
- 主片DREQ—从片HRQ，主片DACK—从片HLDA，主片HRQ和HLDA与CPU的HOLD和HLDA相连。1块主片可连4块从片。主片置为级联传送，从片设成其它三种方式。

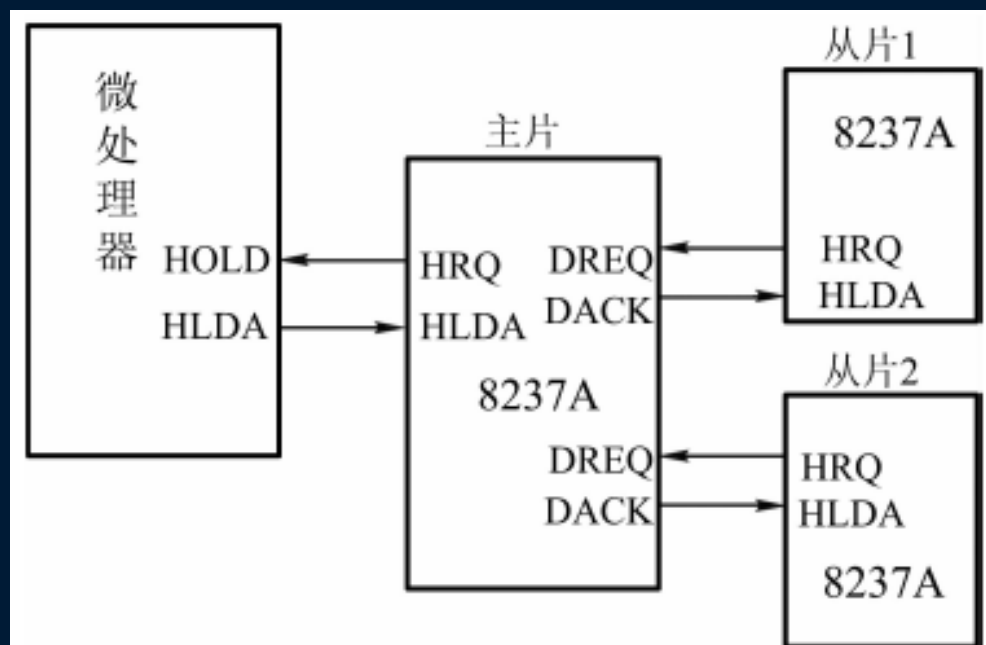
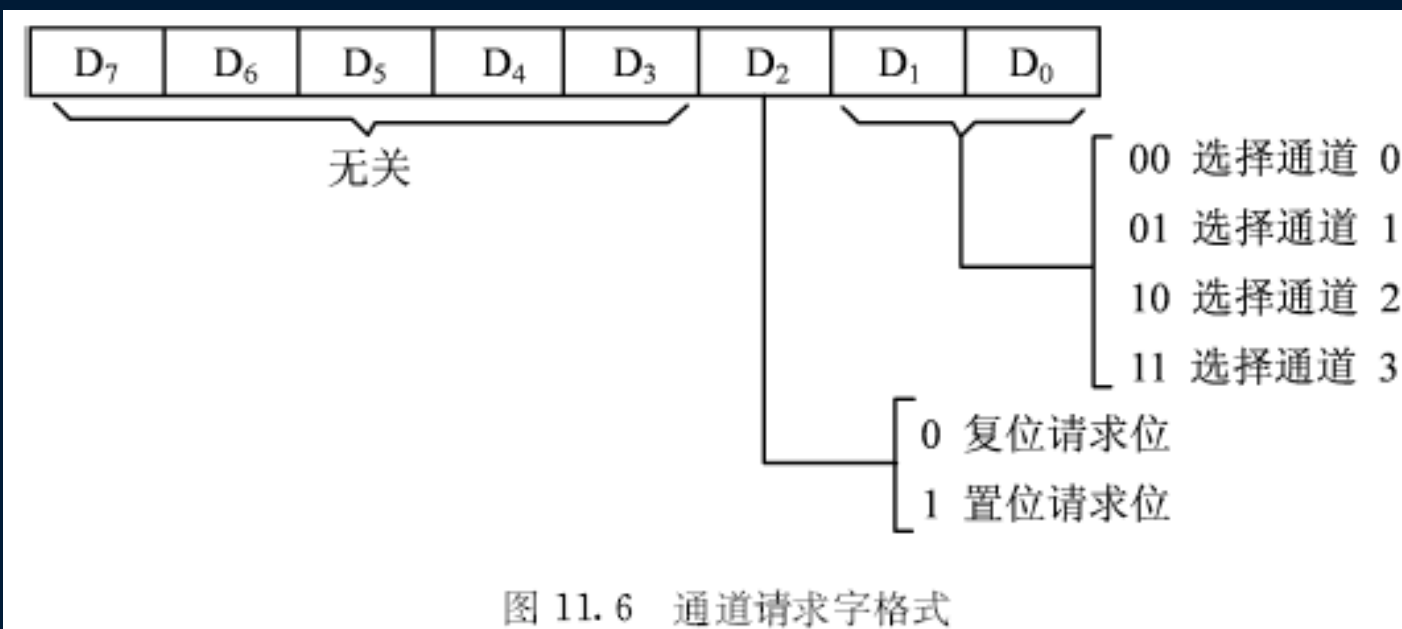


图 11.5 8237A 级联方式连线图

8237A的内部寄存器

7. 请求寄存器

- 相应请求位置1时，对应通道可产生DMA请求。相应位可由DREQ信号置1，也可写入通道请求字来置1或清0。
- D_1D_0 位选通道号， D_2 位为请求位。请求位不能屏蔽，其优先权受优先权逻辑控制，TC或外部的EOP信号能将相应的请求位清0，RESET信号则使整个请求寄存器清0。



8237A的内部寄存器

8. 屏蔽寄存器

➤ 4位，1个/通道。禁止/允许对应通道的DREQ请求进入请求寄存器。有两种屏蔽字，端口地址不同。

1) 通道屏蔽字

- 可对该寄存器写入通道屏蔽字来对单个屏蔽位置1/复位。通道屏蔽字格式与通道请求字格式类似↓

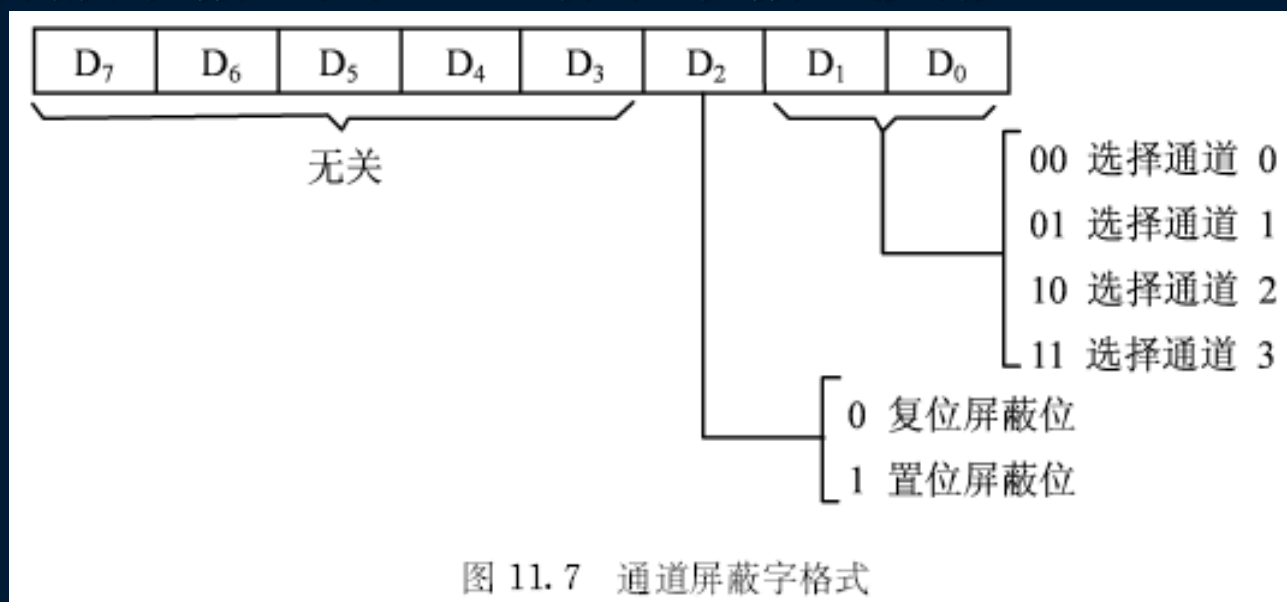
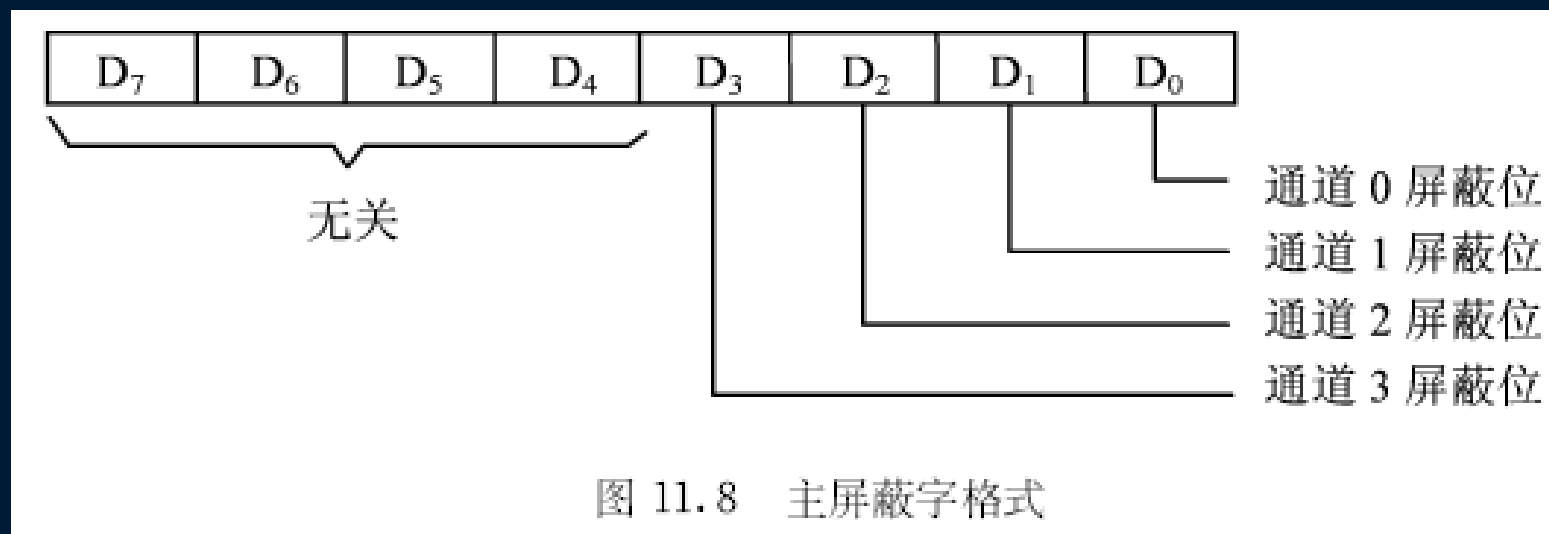


图 11.7 通道屏蔽字格式

8237A的内部寄存器

2) 主屏蔽字

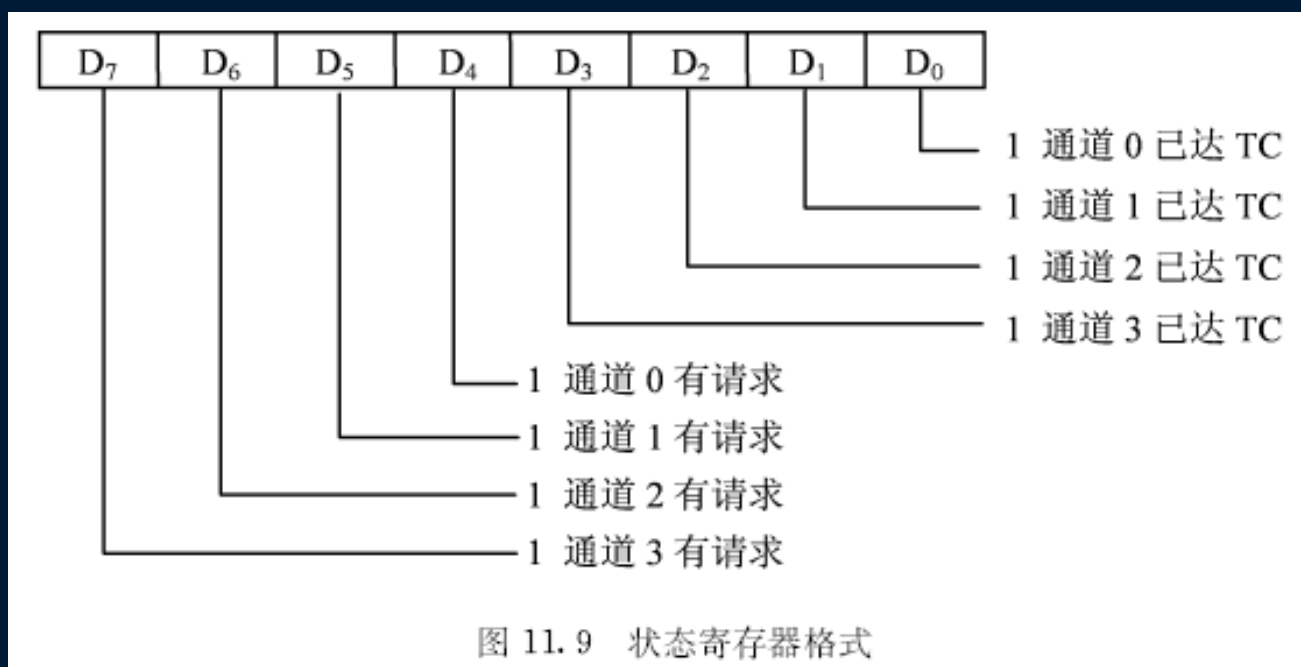
- 还允许用主屏蔽命令设置通道的屏蔽触发器。 $D_3 \sim D_0$ 位对应通道3~0的屏蔽位，1屏蔽，0清除屏蔽。可写入主屏蔽字，一次完成4个通道的屏蔽位设置。
- 可用软件同时清除4个通道的屏蔽位。



8237A的内部寄存器

9. 状态寄存器

➤ 8位状态寄存器存放状态信息，供CPU读出。如D₃~D₀中置1的通道，已达计数终点TC或外部送来了EOP信号。D₇-D₄中置1的通道，DMA请求还未处理。复位或被读出后，相应状态位被清除。状态字格式：



8237A的内部寄存器

10. 暂存寄存器

- 在存储器→存口器传送时，保存所传送的数据。其中始终保存着最后1个传送的字节，RESET信号会将其清除。编程状态下，可由CPU读出这个字节。

11. 软件命令

- 编程状态下，8237A可执行3个附加的特殊软件命令，只要对特定端口进行一次写操作，命令就会生效。

1) 清除先/后触发器

- 8237A仅8根数据线，而地址寄存器和字计数器均为16位，CPU要分两次读写。先/后触发器控制高低字节读写次序。清0读写低8位，随后自动置1，读写高8位。接着又清0，...。对该触发器所在的寄存器执行一次写操作便清0，复位和 $\overline{IO/\overline{MEM}}$ 有效也将它清为0。

8237A的内部寄存器

2) 主清命令

- 主清命令也称为复位命令，功能与RESET信号同，它可使命令寄存器、状态寄存器、请求寄存器、暂存寄存器和内部先/后触发器均清0，而把屏蔽寄存器置1。复位后，8237A进入空闲状态。

3) 清除屏蔽寄存器

- 该命令能清除4个通道的全部屏蔽位，允许各通道接受DMA请求。

8237A的内部寄存器

12. 各寄存器的端口地址

- 对8237A内部寄存器读写时， \overline{CS} 端必须为低电平，该信号由高位地址经I/O译码后产生。
- $A_3 \sim A_0$ 线选择不同寄存器，共占16个I/O端口地址。常将它们与地址总线低4位 $A_3 \sim A_0$ 相连，选择各寄存器。

例如，PC/XT机中，地址 $A_9 \sim A_4 = 000000$ 时，经I/O译码电路选中8237A，使其 \overline{CS} 有效。地址 $A_3 \sim A_0$ 与8237A的 $A_3 \sim A_0$ 脚连接实现片内寻址。因此基地址=00H，记为DMA=00H。由此可得其他寄存器的地址，如

- DMA+00H为通道0基地址与当前地址寄存器地址
- DMA+08H为状态寄存器地址

8237A的内部寄存器

在PC/XT上,8237A各寄存器与读写端口信号配合后形成的端口地址分配表,其中,基地址DMA=000H

表 11.2 8237A 内部寄存器口地址分配表

I/O 口地址 16 进制	寄 存 器	
	读 ($\overline{\text{IOR}}$ 有效)	写 ($\overline{\text{IOW}}$ 有效)
00	通道 0 当前地址寄存器	通道 0 基地址与当前地址寄存器
01	通道 0 当前字计数寄存器	通道 0 基字计数与当前字计数寄存器
02	通道 1 当前地址寄存器	通道 1 基地址与当前地址寄存器
03	通道 1 当前字计数寄存器	通道 1 基字计数与当前字计数寄存器
04	通道 2 当前地址寄存器	通道 2 基地址与当前地址寄存器
05	通道 2 当前字计数寄存器	通道 2 基字计数与当前字计数寄存器
06	通道 3 当前地址寄存器	通道 3 基地址与当前地址寄存器
07	通道 3 当前字计数寄存器	通道 3 基字计数与当前字计数寄存器
08	状态寄存器	命令寄存器
09	—	请求寄存器
0A	—	屏蔽寄存器(通道屏蔽字)
0B	—	工作方式寄存器
0C	—	清除先/后触发器
0D	暂存寄存器	主清命令寄存器
0E	—	屏蔽寄存器(清除屏蔽)
0F	—	屏蔽寄存器(主屏蔽字)

8237初始化流程图

输出主清命令（软件复位）

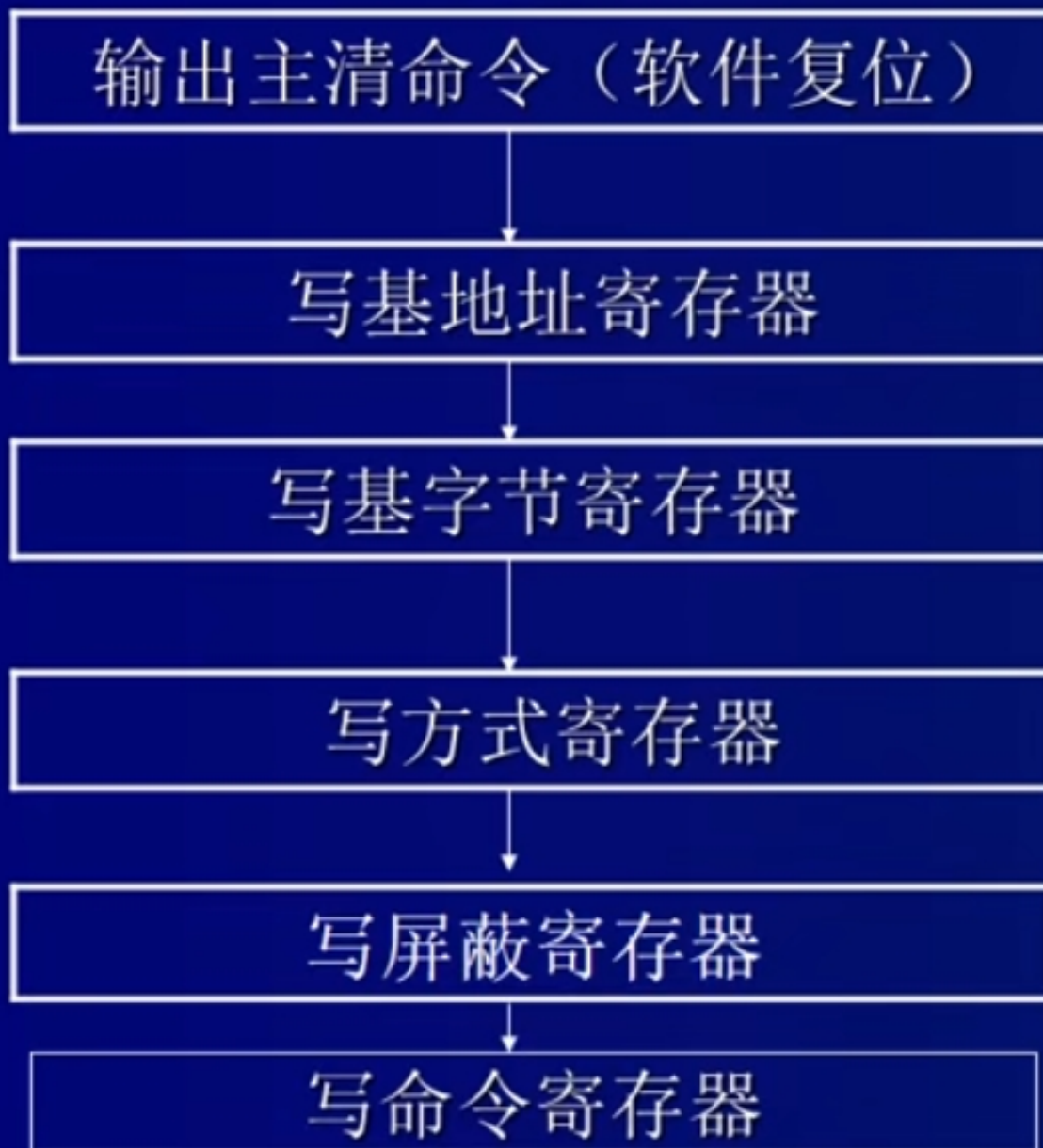
写基地址寄存器

写基字节寄存器

写方式寄存器

写屏蔽寄存器

写命令寄存器



- 例编写外设到内存DMA传送的初始化程序。要求：利用8237通道1，将外设长度为1000个字节的数据块传送到内存2000H开始的连续的存储单元中。采用块传送，外设的DREQ1为高电平有效，DACK1为低电平有效，允许请求，设8237的I/O地址为70H~7FH。

- 初始化程序如下：

START:

OUT 7DH, AL; 软件复位, 先/后触发器为0

MOV AL, 00H

OUT 72H, AL ; 2000H写入基（当前）地址寄存器

MOV AL, 20H

OUT 72H, AL

MOV AX, 1000 ; 传输的字节数1000

DEC AX; 计数值调整为1000-1

OUT 73H, AL;计数值写入基（当前）字节计数器

MOV AL, AH

OUT 73H, AL

MOV AL, 85H ;块传送, 地址增1, 写传送oUT 7BH,
AL ;写方式字

MOV AL, 01H

OUT 7AH, AL;写屏蔽字, 允许通道1请求

MOV AL, 00H ; DACK1=0, DREQ1=1, 允许8237工作

OUT 78H, AL ;写命令字