

《微型计算机原理与接口技术》

第6版

第2章

8086 CPU



§ 2.4 8086的工作模式和 总线操作



工作模式

- CPU工作于最小模式时，送到存储器和I/O接口的所有信号都由CPU产生。
- 工作于最大模式时，某些控制信号由8288总线控制器产生。
- 最大模式主要用于包含数值协处理器（Numeric Data Processor, NDP）8087的系统中。



2.4.1 最小模式系统

2.4.2 最大模式系统

2.4.3 总线操作时序



2.4.1 最小模式系统

1. 系统配置图

◆ 8086工作于最小模式时，系统配置图如图2.10

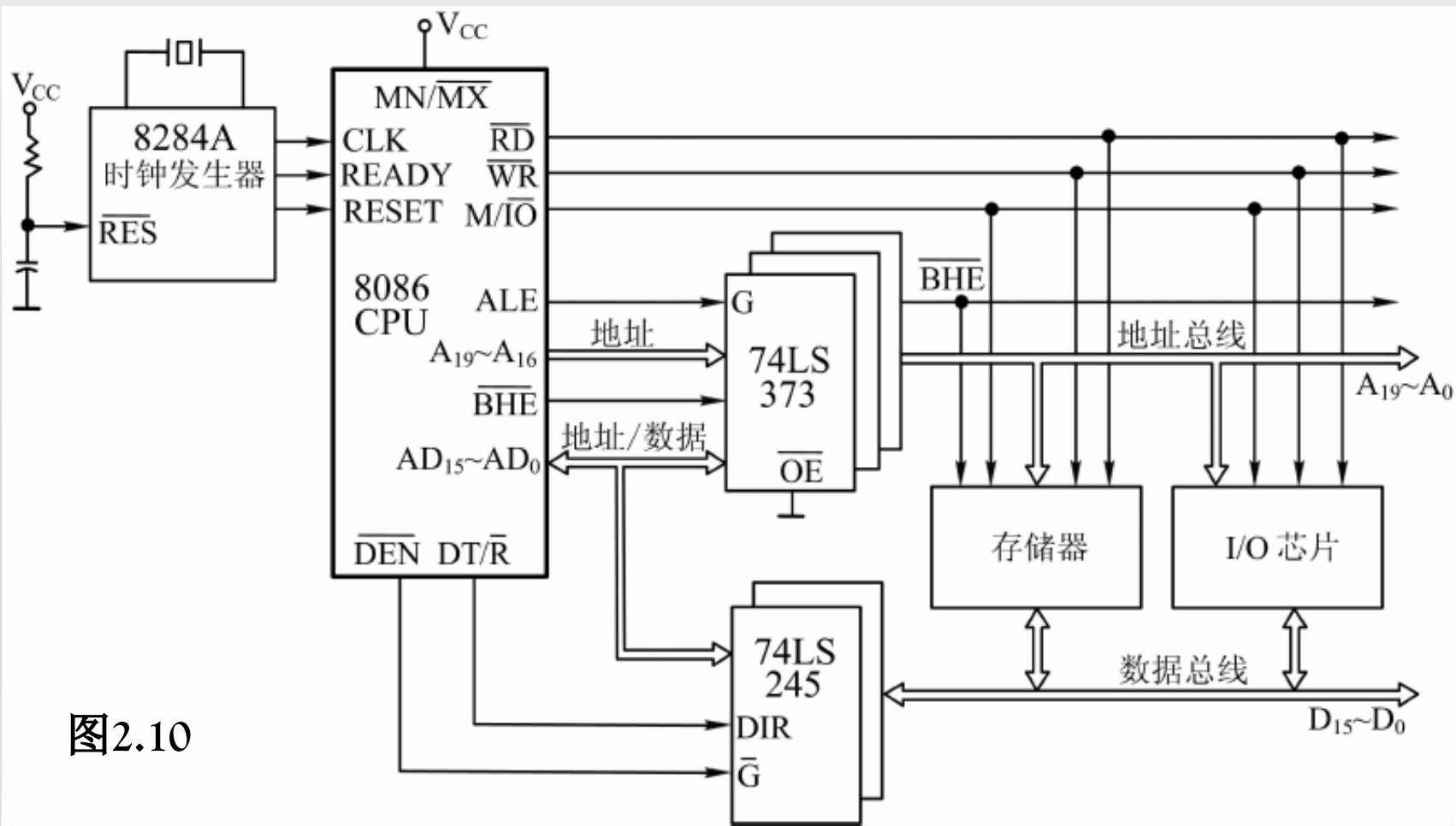


图2.10

最小模式系统配置

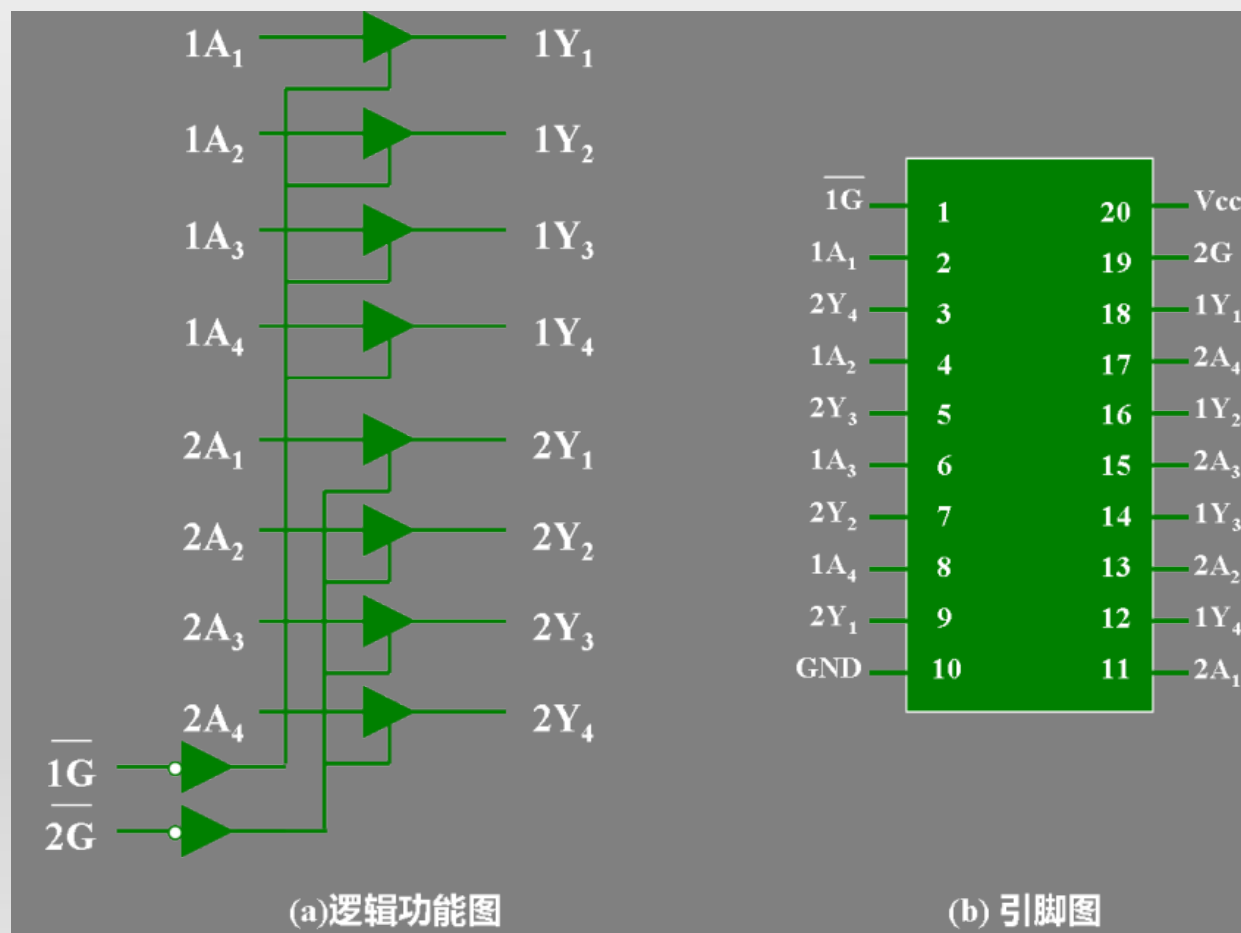
- 硬件包含：8086 CPU、存储器、I/O接口芯片，还有8位地址锁存器74LS373、8位双向数据总线缓冲器74LS245和时钟产生器8284A。
- 3片74LS373锁存器，分离地址/数据线 $AD_{15} \sim AD_0$ 、地址状态线 $A_{19}/S_6 \sim A_{16}/S_3$ 和 **BHE/S₇** 信号。这些总线上先传地址信号，然后被锁存，再传送数据或状态信号。
- 8086系统传送16位数据，要用2片74LS245驱动。8088仅传送8位数据，只要1片缓冲器。缓冲器还可控制数据传送方向。锁存器也具有缓冲功能。
- 8284A产生系统所需的时钟信号。



2. 数据总线缓冲器74LS244和74LS245

◇ 74LS 244 单向数据总线缓冲器

图2.11 74LS 244的逻辑功能和引脚



➤ $\overline{1G} = 0$, 1A₁~1A₄端的信号被传送到1Y₁~1Y₄;

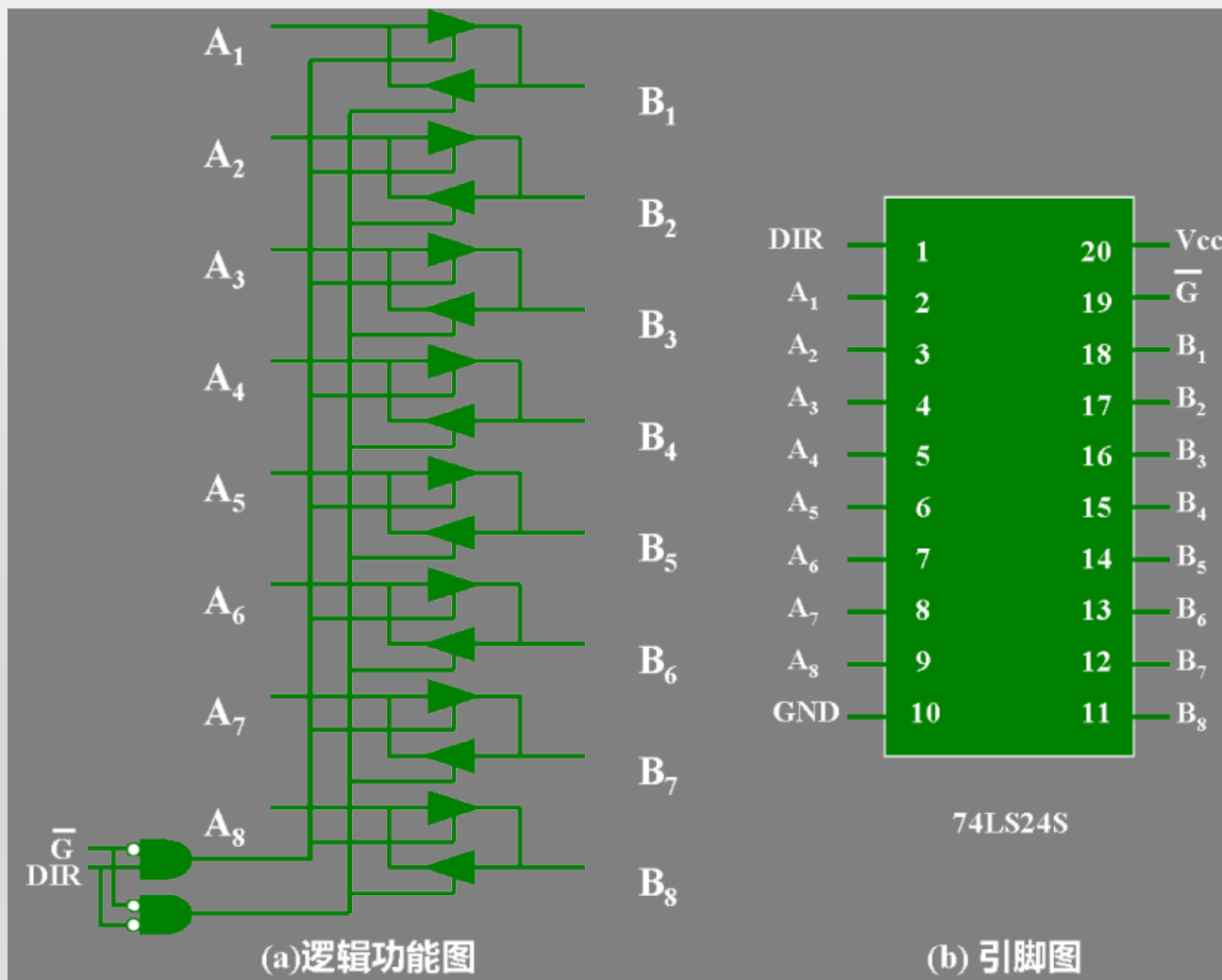
➤ $\overline{2G} = 0$, 2A₁~2A₄端的信号被传送到2Y₁~2Y₄;

➤ 当 $\overline{1G}$ $\overline{2G}$ 1时, 输出呈高阻态。

➤ 常把 $\overline{1G}$ $\overline{2G}$ 起来, 由1个片选信号控制。

◆ 74LS 245 双向数据总线缓冲器---8286

图2.12 74LS245的逻辑功能和引脚图



➤除门控信号 \overline{G} ，还有方向控制端DIR。

➤只有 $\overline{G}=0$ ，数据才能传输， $A \rightarrow B$ 或 $A \leftarrow B$ ；

➤DIR=1, 传输方向 $A \rightarrow B$ ；

➤DIR=0, 传输方向 $A \leftarrow B$ 。

锁存器74LS373---8282

● 74LS373的逻辑功能图和真值表:

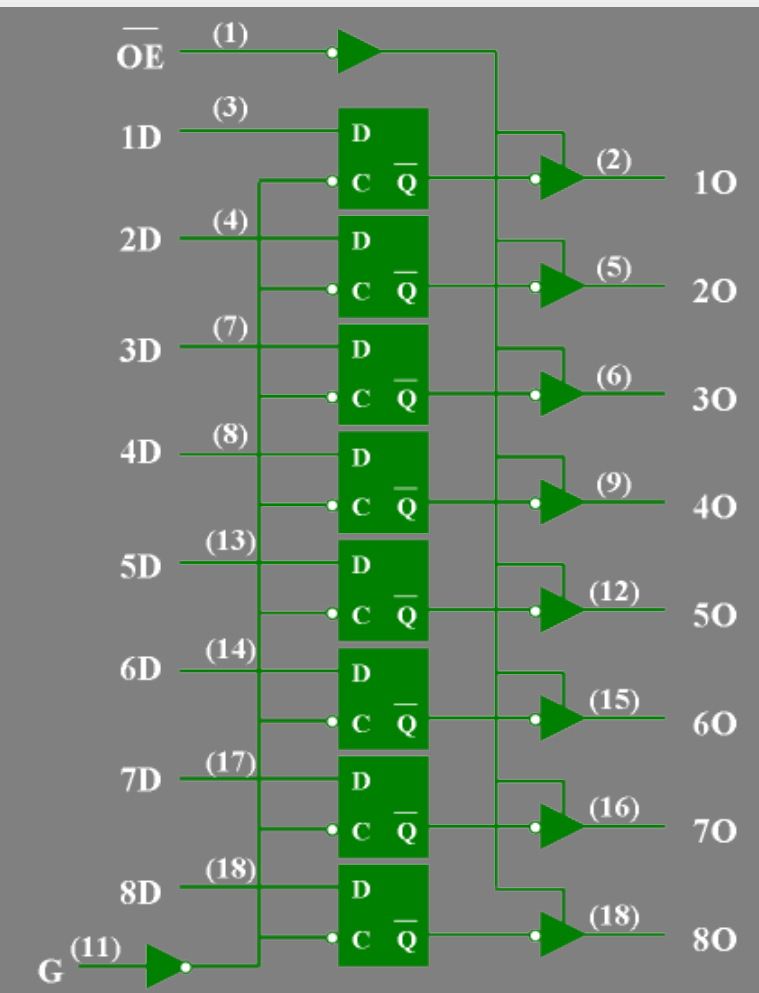


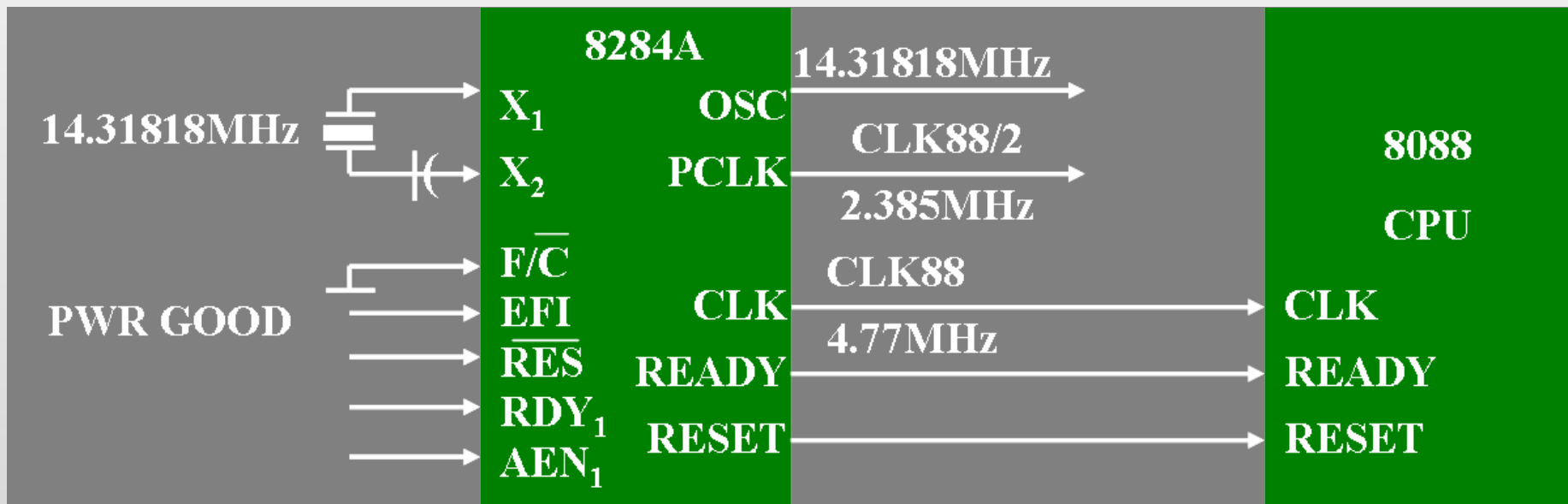
表 2.5 74LS373 的真值表

输入使能端 G	输出允许端 \overline{OE}	输入 D	输出 O
1	0	1	1
1	0	0	0
0	0	×	锁存 Q
×	1	×	高阻态

- 两个控制端：输入使能端G和允许输出端 \overline{OE}
- G=1，触发器D端电平打到Q端，并记忆住
- 若置 \overline{OE} =0，Q 端记忆的电平经三态门反相后，传到输出端O，使O端与D端信号一致
- 如G=1， \overline{OE} =0，输出Q随输入D而变
- 如G=0， \overline{OE} =0，O端为前面锁存的数据，D端变化不影响输出
- 如果 \overline{OE} =1，则G控制无效，输出呈高阻态，与总线断开

时钟发生器8284A

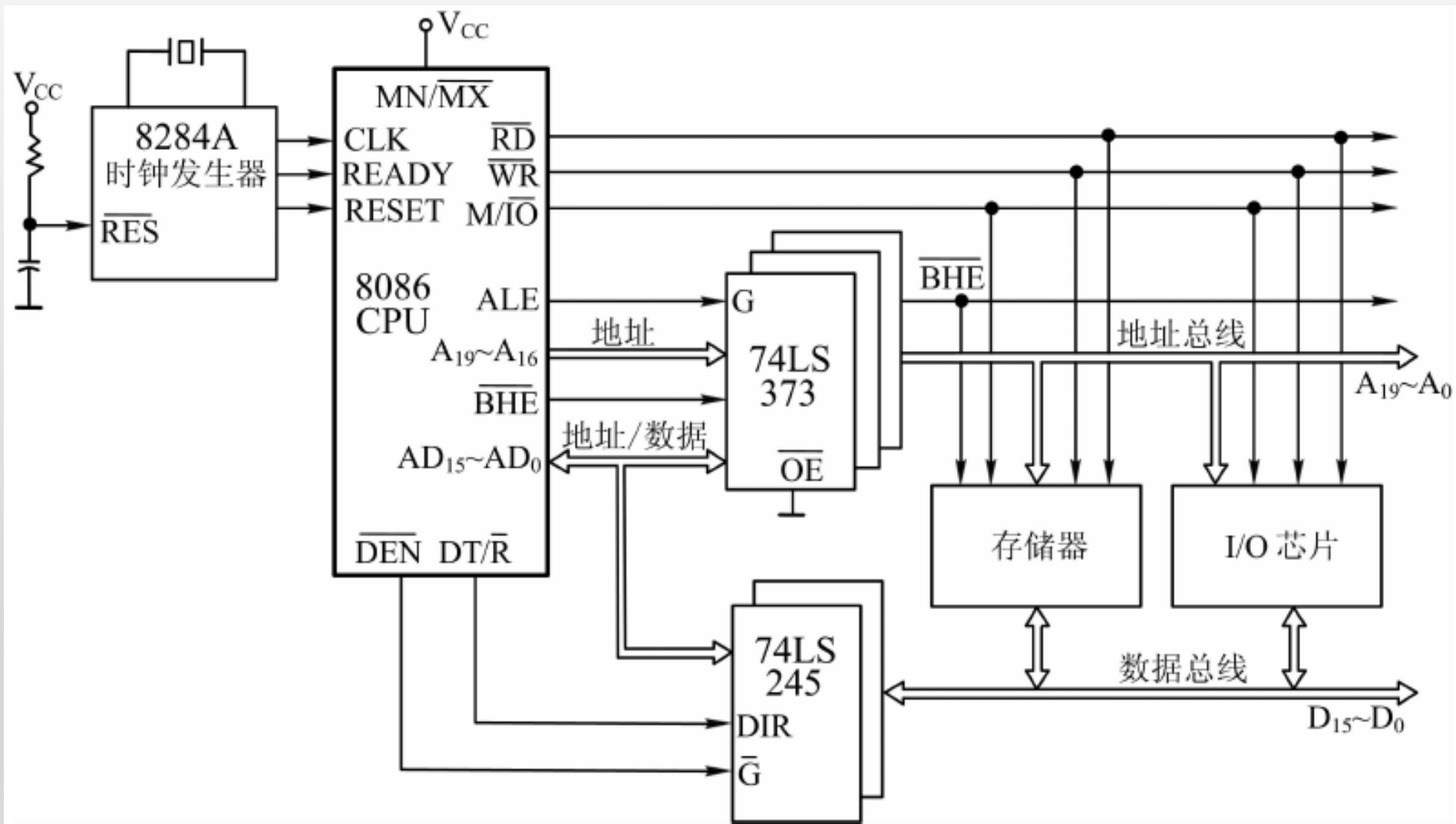
- 在用8088设计的PC/XT中，8284A与CPU的连线：



- 8284A为8086/8088系统提供：

系统时钟信号CLK、复位信号RESET、准备好信号READY以及供外设用的时钟信号。





最小模式系统工作过程

- CPU可从存储器或I/O接口中读出数据，也可向它们写入数据。以读存操作为例说明最小模式工作过程。

1) CPU送出M/ $\overline{\text{IO}}$ 和DT/ $\overline{\text{R}}$ 信号

- $\text{M}/\overline{\text{IO}} = 1$ 选中存储器；
- $\text{DT}/\overline{\text{R}}$ 连到74LS245的DIR, 控制传 $\text{DT}/\overline{\text{R}} = 0$
使DIR=0, 数据A \leftarrow B, CPU准备接收内存读出的数据。

2) CPU先送出地址和 $\overline{\text{BHE}}$ 信号，再送出地址锁存ALE

- $\text{A}_{19}/\text{S}_6 \sim \text{A}_{16}/\text{S}_3$ 、 $\text{AD}_{15} \sim \text{AD}_0$ 、 $\overline{\text{BHE}}$ 送3片74LS373输入；
- 这时，地址/状态线和地址/数据线上传送地址信号；
- 当ALE=1时，分离出的 $\text{A}_{19} \sim \text{A}_0$ 和 $\overline{\text{BHE}}$ 打入74LS373；
- 当ALE=1 \downarrow 0, 20位地址和 $\overline{\text{BHE}}$ 被锁存在74LS373中。



最小模式

3) 74LS373的输出允许端 \overline{OE} 恒接地

➤ 锁存的20位地址和 \overline{BHE} 信号直接送到PC总线上, 也被送到存储器系统, 用来选择存储单元。

4) CPU使 \overline{RD} =0, \overline{DEN} =0

➤ \overline{RD} =0, CPU要从指定存储单元读数据; \overline{DEN} =0, 表示允许收发数据。 \overline{DEN} 与74LS245的G相连, 允许74LS245传送数据。

➤ 由于第1) 步中已设置缓冲器数据传送方向A \leftarrow B, 所以可从存储单元读出数据, 经数据总线D₁₅~D₀, 从74LS245的B端传送到A端, 再从CPU的AD₁₅~AD₀总线送入CPU的寄存器。



2.4.1 最小模式系统

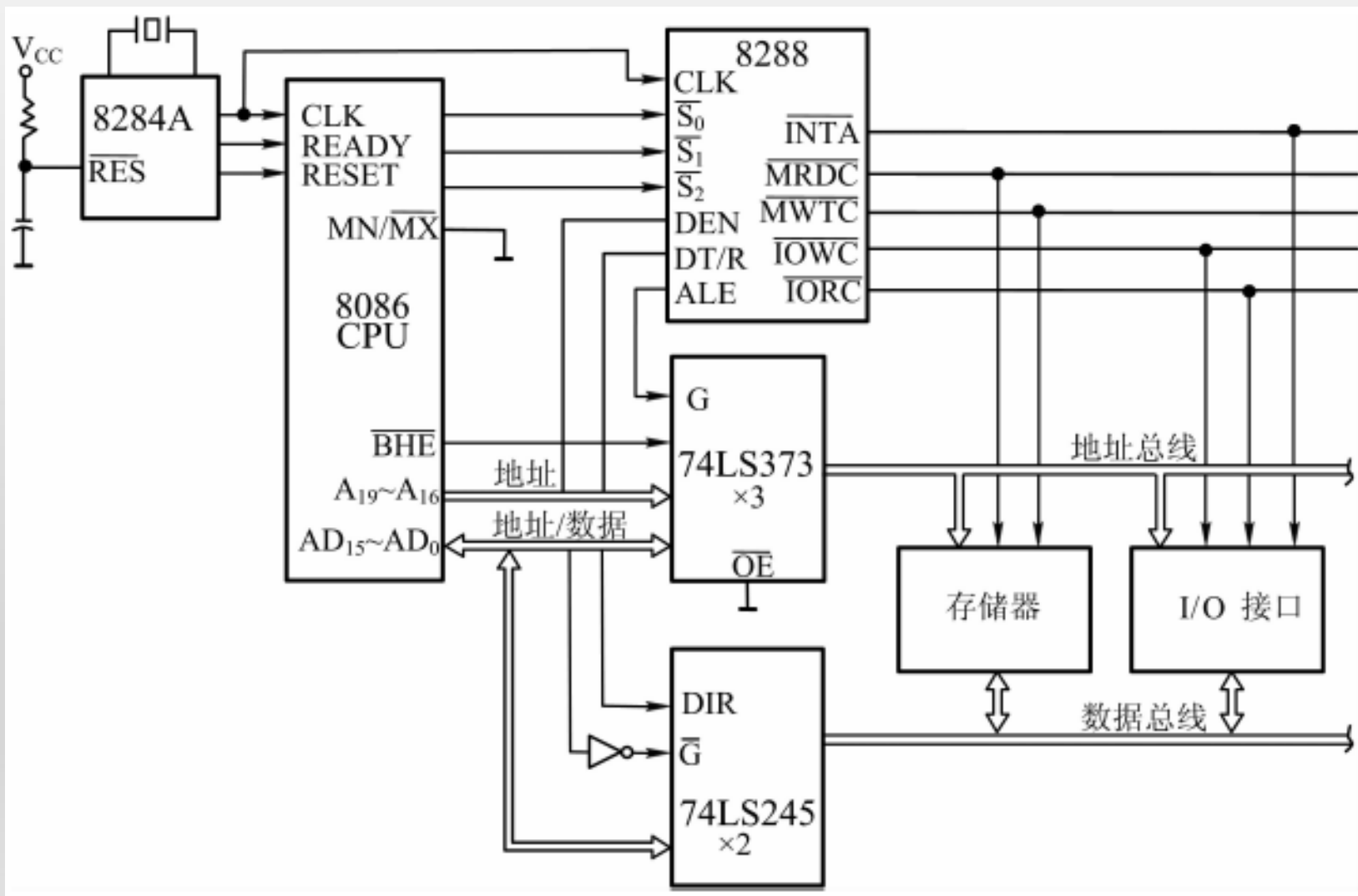
2.4.2 最大模式系统

2.4.3 总线操作时序



2.4.2 最大模式系统

- 8086工作于最大模式时，需增加一片总线控制器



- CPU工作于最大模式时， \overline{WR} 、 $M\overline{IO}$ 、 $DT\overline{R}$ 、 DEN 和 \overline{INTA} 等信号，要由总线控制器8288产生。

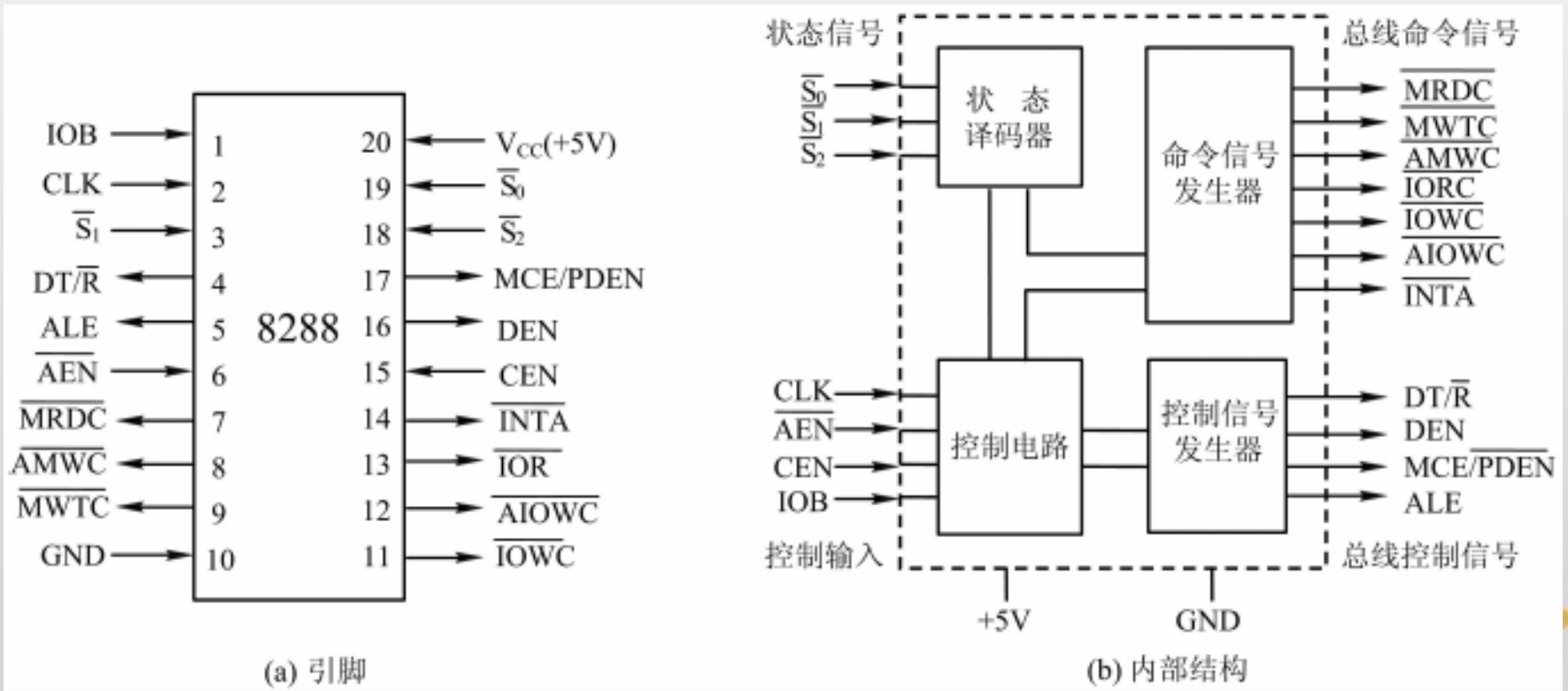


图2.16 8288总线控制器的引脚及内部结构框图

8288的输入输出总线信号

- 其总线信号分成4组，一般信号大致了解即可。

1. 状态输入信号 $\overline{S_2} \sim \overline{S_0}$

8086送来，译码后产生总线周期类型信号。

2. 由外部输入的控制信号

- CLK—时钟输入信号，由8284A时钟发生器提供
- \overline{AEN} —地址允许
- CEN—命令允许
- IOB—I/O总线模式信号

3. 总线控制信号

- DT/ \overline{R} ，DEN（反相后为 \overline{DEN} ），ALE与最小模式类似， \overline{MPDEN} 为主控级联允许/外设数据允许信号

8288的信号

4. 总线命令信号

- 1) $\overline{\text{MRDC}}$ —正常的存储器读信号。是最小模式下
和 $\overline{\text{IO}} = 1$ 的组合, 送到PC总线后称为 $\overline{\text{MEMR}}$
 $\overline{\text{MWTC}}$ 。 $\overline{\text{M/IO}} = 1$ 的组合, 送到PC总线后称为 $\overline{\text{MEMW}}$
- 2) $\overline{\text{AMWC}}$ —正常的存储器写信号。等于最小模式下
和 $\overline{\text{IORC}}$ 的组合, 送到PC总线后称为 $\overline{\text{IOR}}$
。 $\overline{\text{IOWC}}$ —超前的存储器写信号, 有时需给存储器提供一个较早的超前写信号。 $\overline{\text{IOW}}$
- 4) $\overline{\text{ATOWC}}$ —正常的I/O读信号, 是和
的组合,
在PC总线中称为 $\overline{\text{IOA}}$ 。
- 5) —正常的I/O写信号, 等于和

2.4.1 最小模式系统

2.4.2 最大模式系统

2.4.3 总线操作时序



时钟周期、指令周期和总线周期

- ◆ 每两个时钟脉冲上升（下降）沿之间的时间间隔称为T状态，也称为时钟周期（Clock Cycle），T周期
- ◆ 执行一条指令所需要的时间称为指令周期（Instruction Cycle）
- ◆ 从存储器或输入/输出端口存取一个字节（或字）（总线操作）所花费的时间称为一个总线周期（Bus Cycle）
- ◆ `MOV AX,BX ; 2T`
- ◆ `MOV AX,[1000H] ; 10T` 1一次传送
- ◆ `ADD [BX],AL ; 16T+EA` 2次传送



2.4.3 总线操作时序

- 计算机都是在时钟脉冲CLK控制下，一步步进行工作的，完成每种操作都要一定时间。
- 读/写存储器或I/O端口，是8086最基本的操作。
- CPU读写一次存储器或I/O端口的时间叫**总线周期**。
- 执行1条指令的时间称为**指令周期**，1个指令周期可包含1个或几个总线周期。
- 1个总线周期需要4个**系统时钟周期**（ $T_1 \sim T_4$ ），时钟周期也称为**T周期**或**T状态**，它为时钟频率的倒数，是8086 CPU动作的最小单位。
- ▶ 8086工作时钟为5MHz，即T周期为200ns，总线周期为800ns。则CPU与内存或I/O接口间传送数据的最大速率可达每秒125万次。8086-1的频率为10MHz，每秒最多可执行250万条指令，运算速度达2.5 MIPS（百万指令/秒）。

总线周期

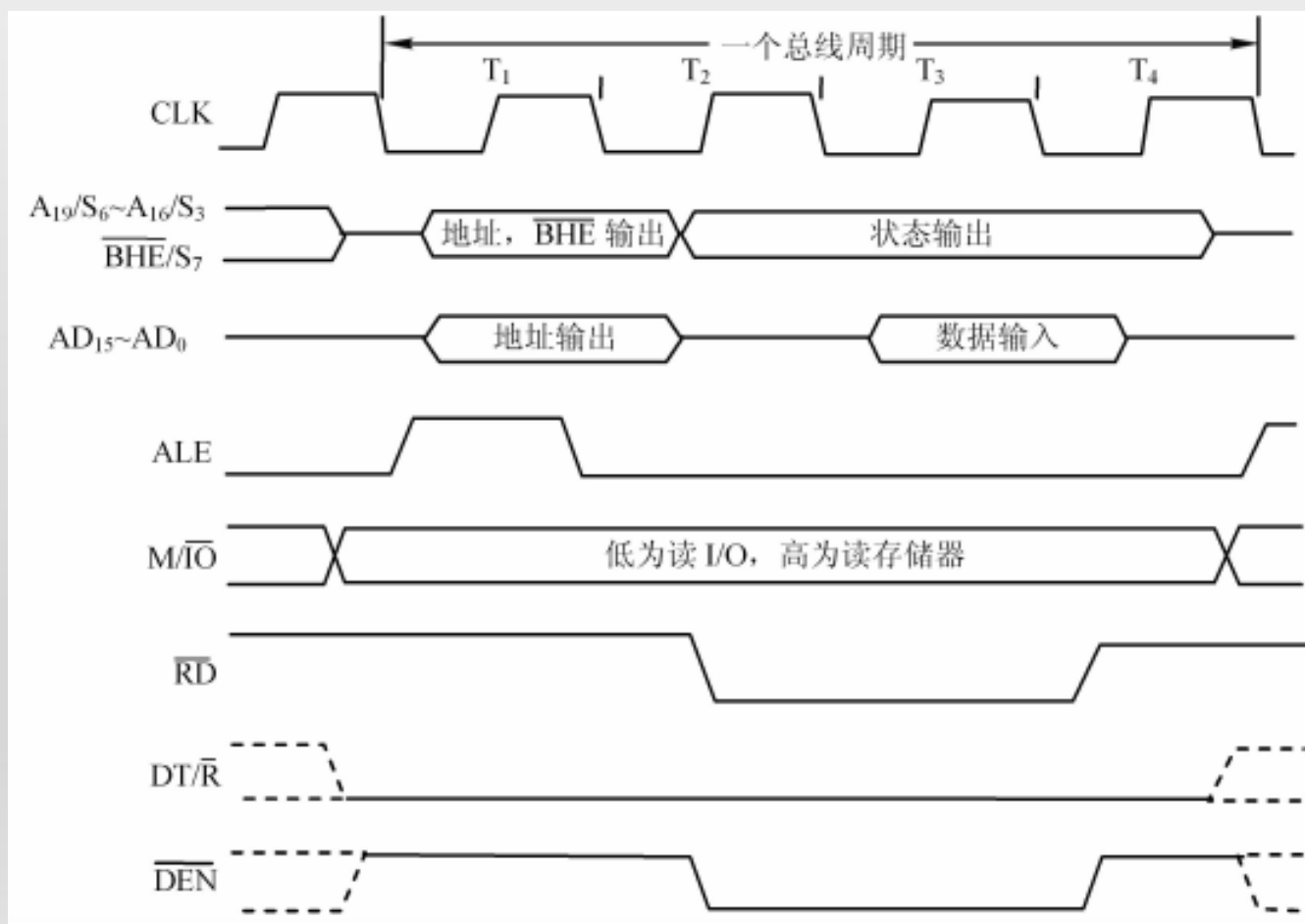
- ❖ T1状态：CPU往多路复用总线上发送地址信息，选中所需寻址的存储单元或外设端口地址。
- ❖ T2状态：CPU从总线上撤销地址，并使总线的低16位浮置成高阻状态，为传送数据作准备。
- ❖ T3状态：总线的高4位继续提供状态信息，低16位将出现由CPU写出的数据，或CPU从存储器或者外设端口读入的数据。
- ❖ 等待状态：有些情况下，I/O或M不能及时配合CPU传送数据，在T3状态启动之前它会能READY引脚向CPU发一个“未准备好”信号。CPU在T3状态之后自动插入若干个时钟周期 T_w 。直到CPU接受到“准备好”信号，自动脱离 T_w 状态进行T4。
- ❖ T4状态：总线周期结束。
- ❖ 空闲周期 T_i ：两个总线周期之间，若干个时钟周期。



1. 最小模式下的读总线周期

- 读总线周期从存储器或I/O端口读出一个数据。

□ 2.17 最小模式下读总线周期时序



最小模式读总线周期

1) T_1 状态

- 首先，由 $\overline{M/\overline{IO}}$ 确定是读内存或I/O端口。时序图中， $\overline{M/\overline{IO}}$ 可能是1或0。若执行读内存指令 $\overline{M/\overline{IO}} = 1$ ， $\overline{I/O}$ 操作 $\overline{M/\overline{IO}} = 0$ 。
- 其次 \overline{OE} 给出指定单元地址以便读出。 T_1 开始，20位地址及 $\overline{A_{19}/S_6} \sim \overline{A_{16}/S_3}$ 、 $\overline{AD_{15}} \sim \overline{AD_0}$ 及 $\overline{S_7}$ 线输出到74LS373锁存器。若读I/O端口，不用传送高4位地址 $\overline{A_{19}} \sim \overline{A_{16}}$ 。
- 同时，从ALE输出地址锁存信号。ALE=1时，地址和打入锁存器，在 $\overline{ALE} = \downarrow$ 时锁定。此后复用信号线就用来传送数据和状态信号。
- 此外，还置 $\overline{DIR} = 0$ ，使74LS245的DIR=0，设定数据传送方向 $A \leftarrow B$ ，允许从内存或I/O端口读入数据。

最小模式读总线周期

2) T_2 状态

- 在 $A_{19}/S_6 \sim A_{16}/S_3$ 、 \overline{BHE}/S_7 总线上传送状态信息。 $AD_{15} \sim AD_0$ 呈高阻态，为接收数据作好准备。
- 在 T_2 状态的后半周期， $\overline{RD} = 0$ ，允许从内存或I/O端口读出数据；数据允许信号 $\overline{DEN} = 0$ ，使74LS245的门控输入 $\overline{G} = 0$ ，允许接收数据。

3) T_3 状态

- 读取数据。数据出现在 $D_{15} \sim D_0$ 上，数据从74LS245的 $B \rightarrow A$ ，经 $AD_{15} \sim AD_0$ 送入CPU寄存器。
- 若是8位数据操作，仅用低8位数据线传送8位数据。
- 与慢速设备交换数据时，需在 T_3 和 T_4 状态之间插入等待周期 T_w 。

最小模式读总线周期

4) T_4 状态

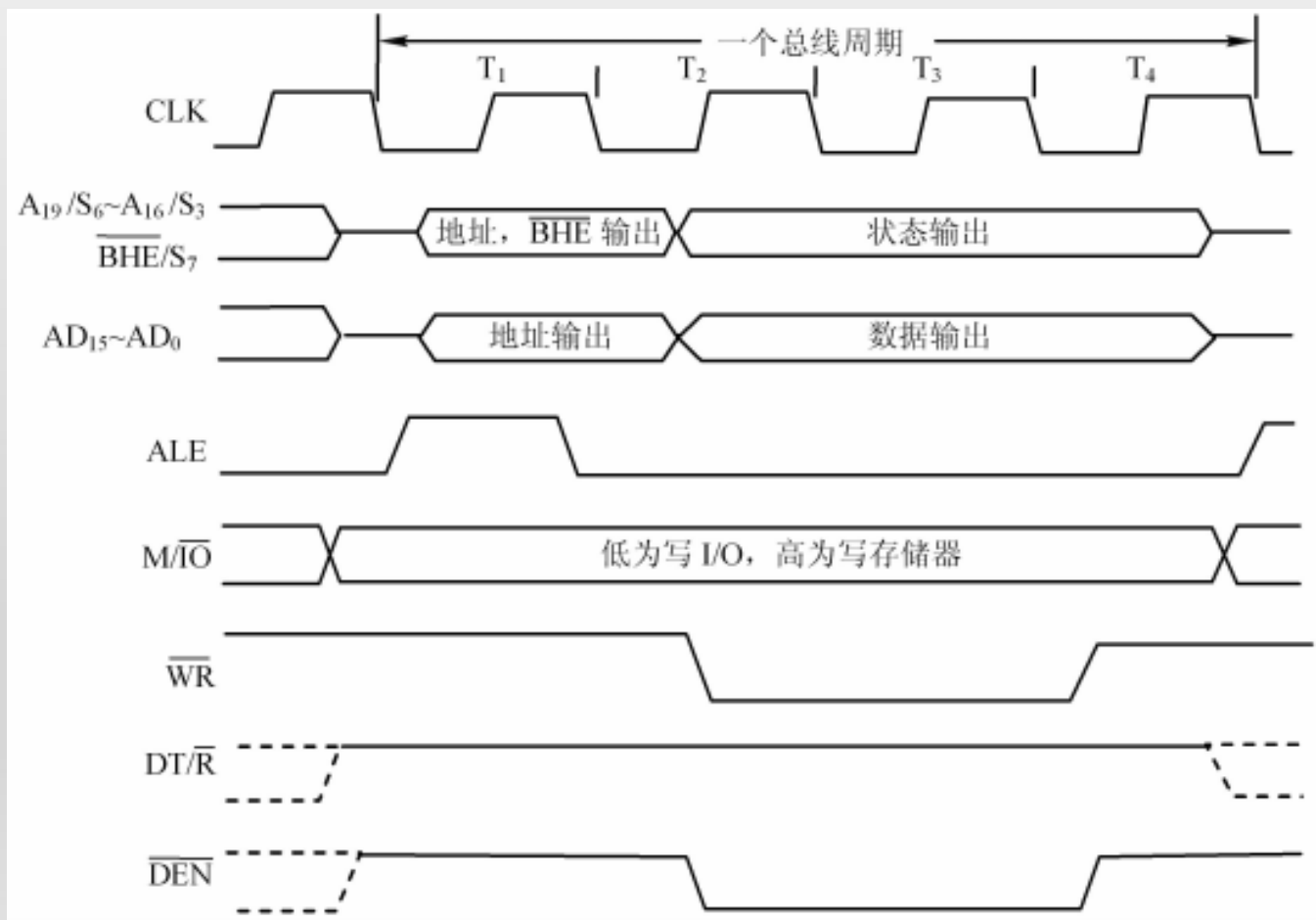
- 数据、状态信号在总线上维持一段时间。到 T_4 后半周期，数据信号撤除，各控制和状态信号无效， \overline{DEN} 无效，禁止收发数据，读总线周期结束。



2. 最小模式下的写总线周期

- CPU把数据写入存储单元或I/O端口。

图2.18 最小模式下写总线周期的时序



最小模式写总线周期

1) T_1 状态

- 有效，指出是写内存还是I/O端口。
 再在 $\overline{\text{BHE}}$
 $\text{A}_{15}/\overline{\text{S}}_6 \sim \text{A}_{16}/\text{S}_3$ 、 $\text{AD}_{15} \sim \text{AD}_0$ 及 $\text{A}_{17}/\overline{\text{S}}_7$ 线上，
 传送20位 $\overline{\text{BHE}}$
 地址和 $\overline{\text{BHE}}$ 。接着 $\text{ALE}=1$ ，锁存地址和 $\overline{\text{BHE}}$ 。
 =1，表示要写数据到内存或I/O端口。

2) T₂状态

- 撤销地址信号,在地址/状态线和 $/S_7$ 上传送状态信号。CPU用锁存的地址,从 $AD_{15} \sim AD_0$ 向缓冲器发送数据,并保持到 T_4 状态中间,保证写数据可靠。
- 还使 WR 和 DEN 有效。允许74LS245向外

最小模式写总线周期

3) T_3 状态

- CPU采样READY线，决定是否要插入等待周期 T_w 。
图2.17中没有画 T_w 周期。

4) T_4 状态

- 从总线上撤消数据，各控制信号和状态信号无效，
 $\overline{DEN} = 1$ ，禁止收发数据，完成一个写总线周期。



3. 最大模式下的读/写总线周期

- 仅说明与最小模式下读/写总线周期的主要不同点，还应搞清 $\overline{\text{MEMW}}$ 、 $\overline{\text{MEMR}}$ 、 $\overline{\text{IOW}}$ 、 $\overline{\text{IOR}}$ 和信号功能。

最大模式读总线周期 $\overline{\text{MEMR}}$ 、 $\overline{\text{IOR}}$

- 在最大模式下无 $\overline{\text{M/IO}}$ 信号，用 $\overline{\text{MEMR}}$ 和 $\overline{\text{RD}}$ 来区分是存储器读还是I/O读周期。
- 如果CPU执行的是存储器读指令，则 $\overline{\text{RD}}=0$ ，同 $\overline{\text{MEMR}}$ 时它还表示 $\overline{\text{M/IO}}=0$ ，CPU进入读存储器总线周期，这时可以用 $\overline{\text{RD}}$ 信号来代替最小模式下的 $\overline{\text{M/IO}}$ 信号。

最大模式读总线周期

- ◆ 若CPU执行I/O读指令，则 \overline{IOR} = 0, 它也表示 \overline{IOR} = 0。
 进入读I/O总线周期，可用 \overline{RD} 信号代替最小模式下的 \overline{RD} 信号，也包含了 \overline{DEN} = 0 的功能。
 \overline{MEMR} 和 \overline{IOR}
- ◆ 最大模式下，ALE、 \overline{RD} 和 \overline{MEMR} 信号由8288产生 $\overline{M/\overline{IO}}$ 和 \overline{DEN} 也由8288输出，它代替最小模式下的 \overline{RD} 和 \overline{MEMR} 。



最大模式写总线周期

- 与读总线周期一样，最大模式下也无 $\overline{M}/\overline{IO}$ 信号。
用 \overline{MEMW} 和 \overline{IOW} 区分存储器写和I/O写。
- 若执行存储器写指令，则进入存储器写总线周期， $\overline{M}/\overline{IO} = 0$ ，它用来代替最小模式下的信号，并包含了 $\overline{WR} = 1$ 的信号。
- 如CPU执行I/O写指令，则进入I/O写总线周期， $\overline{M}/\overline{IO} = 1$ ，它用来代替最小模式下的信号，并包含了 $\overline{WR} = 0$ 的信号。