

《微型计算机原理与接口技术》

第6版

第2章

8086 CPU



§2.2 8086 CPU的引脚功能



Intel 8086



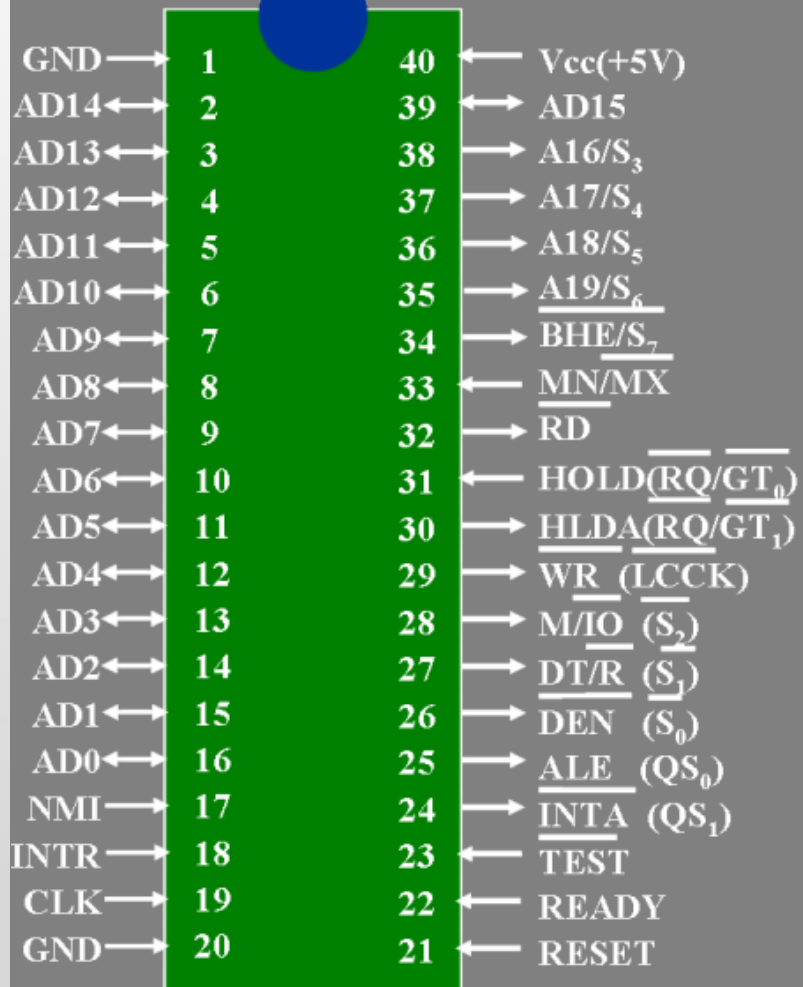
- ◆ 8086的40条引脚按功能分为4部分---地址总线、数据总线、控制总线以及其他（时钟与电源等）
- ◆ 地址总线20根，数据总线16根
- ◆ 电源：1根 GND：1根 clock：1根
- ◆ 控制总线？
- ◆ 地址数据线：地址线与数据线分时复用。节省出16根线，做为控制总线。



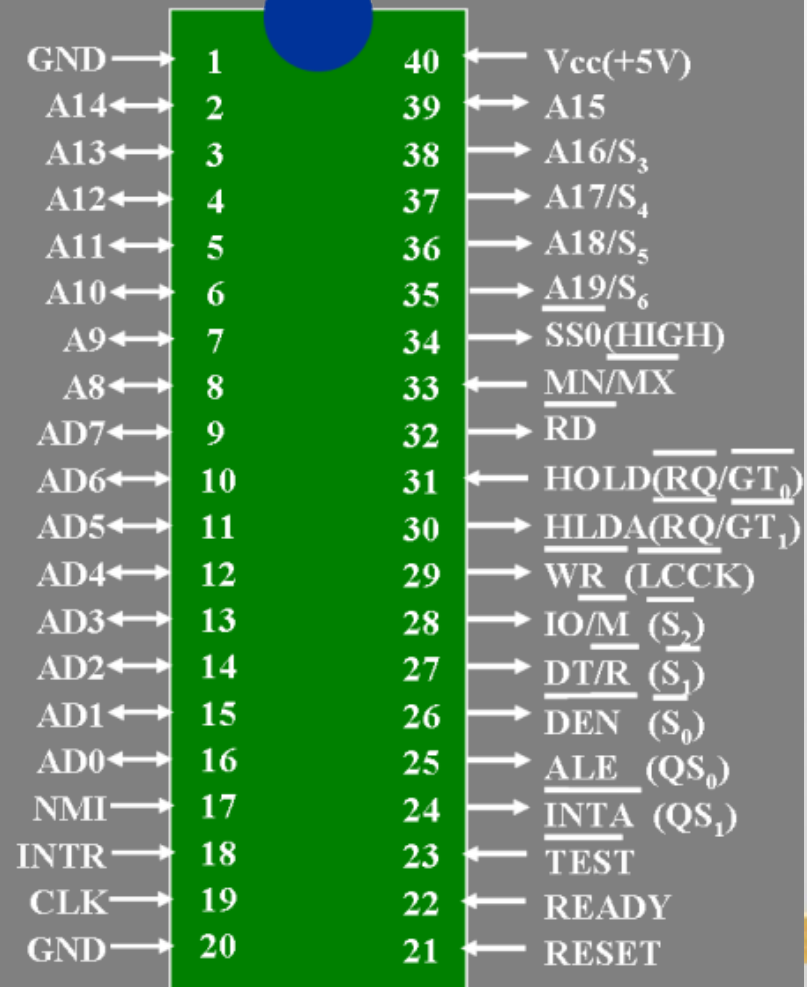
学习过程中的注意事项

- ◆ (1) 引脚的功能：指引脚信号的定义、作用；通常用英文单词或其缩写表示。
- ◆ (2) 信号的流向：信号从芯片向外输出，还是从外部输入芯片，或者是双向的。
- ◆ (3) 有效电平：起作用的逻辑电平，高、低有效，上升、下降边沿有效。
- ◆ (4) 三态能力：输出正常的低电平、高电平外，还可以输出高阻的。





(a)8086的引脚信号



(b)8088的引脚信号

() 最大模式信号, → 数据传输方向, **RD** 低电平有效

1. $AD_{15} \sim AD_0$ (Address Data Bus)

- 分时复用的地址数据引脚线，具有双向、三态功能。
- 在总线周期T1期间作为地址线A15~A0用，此时输出存储单元的低16位地址。
- 在T2~T3期间作为数据线的D15~D0用，是双向的。
- 当CPU响应中断时，以及系统总线处理“保持响应”状态时，A15~A0处于悬空状态



2. $A_{19}/S_6 \sim A_{16}/S_3$ (Address/Status)

- 地址/状态分时复用，输出引脚。
- 在T1期间，作为地址线 $A_{19} \sim A_{16}$ ，对存储单元进行读写时，高四位地址由 $A_{19} \sim A_{16}$ 输出（需要锁存），就和 $A_{15} \sim A_0$ 组合在一起构成20位地址总线 $A_{19} \sim A_0$ 。I/O操作时，高4位无效，仅用 $A_{15} \sim A_0$ 寻址。

- 在T₂~T₄期间，用作状态信号 $S_6 \sim S_3$

表 2.1 S_4 、 S_3 组合对应的状态

S_4	S_3	状 态
0	0	当前正在使用 ES
0	1	当前正在使用 SS
1	0	当前正在使用 CS, 或未使用段寄存器
1	1	当前正在使用 DS

连。

=1表
表中

寄存



3. \overline{RD} (Read)

- 读信号。输出、三态、低电平有效
- 当 $\overline{RD} = 0$ 时，允许CPU从存储器或I/O端口读出数据。

4. \overline{WR} (Write)

- 写信号。输出，三态，低电平有效
- 当 $\overline{WR} = 0$ 时，允许CPU向存储器或I/O端口写入数据。



5. $\overline{\text{IO}}$ (Memory/Input and Output)

- 存储器或I/O端口控制信号。输出，三态
- 它为高电平时访问内存, 这时地址数据总线A19~A0提供20位存储器地址
- 低电平时访问I/O端口。这时地址数据总线A15~A0提供16位I/O地址。
- 8088该引脚为 $\text{IO}/\overline{\text{IO}}$ ，= 1 访I/O端口，= 0 访存。



例

- ◇ 当 $\overline{WR} = 1$, $\overline{RD} = 0$, $M/\overline{IO} = 1$ 时, 表示CPU
当前正在执行什么操作? _____



6. CLK

- 时钟信号，是外部时钟产生器8284A提供的基本定时脉冲。
- 8086: $f_{CLK}=5\text{MHz}$
- 8086-1: $f_{CLK}=10\text{MHz}$, 8086-2: $f_{CLK}=8\text{MHz}$

7. RESET

- 复位信号，输入、高电平有效。至少要维持4个时钟周期。而初次接通电源时所引起的复位，则要求维持的高电平不能小于 $50\mu\text{s}$
- 复位后CPU停止所有操作，总线无效；使DS、ES、SS、FLAGS、IF清0，CS: IP=FFFF: 0000H；使指令队列变空，禁止中断。
- 复位结束后，CPU执行重新启动过程。



8. 与中断有关的信号

1) INTR (Interrupt Request)

- 可屏蔽中断请求信号
- 当INTR=1时，若FLAGS的IF=1，则允许CPU响应可屏蔽中断；若IF=0，则不能响应。
- 当INTR信号为高电平时，表示外部设备有中断请求，CPU在每个指令周期的最后一个T状态检测此引脚，一旦测得此引脚为高电平，并且中断允许标志位IF=1，则CPU在当前指令周期结束后，响应中断请求，转去执行中断处理程序。



8. 与中断有关的信号

2) NMI (Non-Maskable Interrupt)

- 不可屏蔽中断请求信号
- 这类中断不能用软件屏蔽，也不受IF标志的影响。当该引脚电平出现由低到高变化时，无论中断允许标志IF是0或1，CPU都会在当前指令周期结束后响应中断请求，转去执行中断处理程序。

3) **INTA** (Interrupt Acknowledge)

- 中断响应信号。
- 是在CPU响应外部可屏蔽中断请求后，向外设发出的回答信号。目的是获得中断类型码



9. HOLD (Hold Request)

HLDA (Hold Acknowledge)

- 总线保持请求/总线保持响应信号
- HOLD总线请求信号：
- 最小模式系统中，除CPU以外的其它总线控制器，如DMA控制器申请使用系统总线的请求信号



10. ALE (Address Latch Enable)

- 地址锁在允许，输出、三态
- ALE引脚高电平有效
- 当复用引脚 $AD_{15} \sim AD_0$ 和 $A_{19}/S_6 \sim A_{16}/S_3$ 正在传送地址信息，CPU提供ALE有效电平，将地址信息锁在地址锁存器中

11. DT/ \overline{R} (Data Transmit/Receive)

- 数据发送/接收信号，用来控制数据传送的方向：
 - $DT/\overline{R}=1$ ，CPU用写操作向外部发送
 - $DT/\overline{R}=0$ ，CPU读取外部传送过来的

12. \overline{DEN} (Data Enable)

- 数据允许信号。输出、三态、低电平有效。
- $\overline{DEN}=0$ 才允许CPU发送或接收数据。



13 READY

- 准备就绪信号。使CPU和低速的存储器或I/O设备之间实现速度匹配的信号。
 - $READY=0$ ，被访问的存储器或I/O端口还未准备好， $READY=1$ ，已准备好。
 - CPU在每个总线周期的T3状态对READY引脚进行检测，若检测到 $READY=1$ ，则总线周期按正常时序进行读、写操作；不需要插入等待状态 T_w 。若测得 $READY=0$ ，则表示存储器或I/O设备工作速度较慢，没有准备好数据，则CPU在T3和T4之间自动插入一个或几个等待状态 T_w 来延长总线周期，直到检测到READY为高电平后，才使CPU退出等待进行T4状态，完成数据传送。



14. TEST

- 测试信号。
- 输入、低电平有效
- 它与WAIT指令配合使用，当CPU执行WAIT指令时，CPU处于等待状态，一旦检测到TEST 信号为低电平，则结束等待状态，继续执行WAIT指令下面的指令。



15. 最小模式/最大模式复用信号

- 图2.1中，24~31引脚为最小/最大模式复用信号，下面是带（）的最大模式信号。

1) QS_1 、 QS_0 (Instruction Queue Status)

- 指令队列状态信号。指示CPU中指令队列的当前状态组合功能：

表 2.2 QS_1 、 QS_0 组合功能

QS_1	QS_0	指令队列状态
0	0	无操作
0	1	从指令队列中取出第一个字节
1	0	队列已空
1	1	从指令队列中取出后续字节



2) $\overline{S_2}$ $\overline{S_0}$ (Bus Cycle Status)

- 总线周期状态信号。CPU将它们传送给8288总线控制器，经8288译码后产生CPU的总线周期类型信号：

表 2.3 $\overline{S_2} \sim \overline{S_0}$ 组合产生的总线周期类型

$\overline{S_2}$	$\overline{S_1}$	$\overline{S_0}$	指令队列状态
0	0	0	中断响应信号
0	0	1	读 I/O 端口
0	1	0	写 I/O 端口
0	1	1	暂停(HALT)
1	0	0	取指令
1	0	1	读存储器
1	1	0	写存储器
1	1	1	无总线周期



3) $\overline{\text{LOCK}}$

- 总线封锁信号。

4) $\overline{\text{RQ/GT}}_1$ $\overline{\text{RQ/GT}}_2$ (Request/Grant)

- 总线请求信号输入/总线请求允许信号输出。



16. $\overline{\text{BHE}}/\text{S}_7$ (Bus High Enable/Status)

- 高8位总线允许/状态信号，它用在8086中。
- 低电平时，高8位数据总线 $\text{D}_{15} \sim \text{D}_8$ 有效。状态位 S_7 始终为1。
- $\overline{\text{BHE}}$ 在总线周期的T1状态时输出， S_7 在T2-T4时输出。
- 8086中，当 $\overline{\text{BHE}}$ S_7 引脚上输出 $\overline{\text{BHE}}$ 信号时，表示总线高AD15-AD8上的数据有效，奇存储体选择。
- 8088中，34引脚不是 $\overline{\text{BHE}}/\text{S}_7$ ，而是被赋予另外的信号；最小方式时，它为 SS_0 ；最大方式时，它恒为高电平。
- S_7 在8086中未被赋予定义

$\overline{\text{S}}_2 \square \overline{\text{S}}_0$

17. \overline{SS}_0

- 8088最小模式信号，相当于最大模式下的 S_0 信号。

- $\overline{IO}/\overline{M}$ 、 $\overline{DT}/\overline{R}$ 与 \overline{SS}_0 组合产生的总线信号 $\overline{S}_2 \square \overline{S}_0$

与

组合产生的信号一样，见表2.3。



18. $\overline{MN}/\overline{MX}$ (Minimum/Maximum)

- 最小/最大模式选择信号。
- $\overline{MN}/\overline{MX}$ 接+5V，CPU工作于最小模式，组成单处理器系统。全部控制信号由CPU本身提供。
- $\overline{MN}/\overline{MX}$ 接地，CPU工作于最大模式，支持构成多处理器系统。控制信号由8288总线控制器提供

19. V_{cc} 和 GND

- V_{cc} 电源输入，为CPU提供+5V电源。
- GND是接地引脚。

